

汉芝电子股份有限公司

iMQ Technology Inc.

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

# SQ7613 中文产品规格书

## V1.5

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 目录

1.产品简介.....	10
1.1 功能特性.....	10
1.2 重点说明.....	11
1.3 系统模块图.....	13
1.4 引脚配置/说明.....	14
1.5 I/O 线路图.....	21
2.电气特性.....	24
2.1 极限参数.....	24
2.2 工作条件.....	25
2.2.1 工作条件.....	25
2.2.2 时钟源.....	25
2.2.3 I/O 特性.....	26
2.3 直流(DC)特性.....	27
2.4 上电复位电气特性.....	29
2.5 BROR 电气特性.....	30
2.6 LVD 电气特性.....	31
2.7 ADC 电气特性.....	32
2.8 FLASH 电气特性.....	33
3. 中央处理器(CPU).....	34
3.1 符号对照.....	35
3.2 核心寄存器.....	37
3.2.1 8 位通用寄存器.....	37
3.2.2 16 位通用寄存器.....	38
3.2.3 程序状态字.....	39
3.2.4 堆栈指针(SP).....	40
3.2.5 程序计数器(PC).....	40
3.3 寻址模式.....	41
3.3.1 寄存器间接寻址.....	41
3.3.2 直接寻址.....	42
3.3.3 寄存器寻址(r 或 rr).....	42

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

3.3.4 立即寻址(n 或 mn) .....	42
3.3.5.相对寻址.....	43
3.3.6 绝对寻址.....	43
3.3.7 矢量寻址.....	43
3.3.8 直接位寻址 .....	43
3.3.9 寄存器间接位寻址 .....	44
3.4 指令流水線 .....	45
3.4.1 寄存器对寄存器运行 .....	45
3.4.2 寄存器对存储器运行.....	45
3.4.3 存储器对寄存器运行.....	46
3.4.4 存储器对存储器运行.....	46
3.4.5 跳转 .....	47
3.4.6 子过程调用及返回 .....	48
3.4.7 软件中断(SWI).....	49
3.5 指令集总结 .....	50
3.5.1 数据传送及交换指令 .....	50
3.5.2 算数逻辑单元(ALU)指令 .....	51
3.5.3 位移/旋转及半字节操作指令.....	54
3.5.4 位及标志操作指令 .....	55
3.5.5 跳转指令.....	57
3.5.6 呼叫、返回、软件中断以及无操作指令 .....	58
4.寻址区域.....	59
4.1 系统存储器架构.....	60
4.1.1 系统控制寄存器 .....	62
4.1.2 系统外围线路及控制寄存器 .....	65
4.2 外围存储器 .....	69
4.2.1 外围存储器区域 1.....	69
5.系统运行.....	73
5.1 工作模式 .....	73
5.1.1 一般模式.....	75
5.1.2 睡眠模式.....	75

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

5.1.3 深眠模式.....	75
5.1.4 低功耗模式 .....	76
5.2 复位控制线路 .....	77
5.2.1 复位架构.....	77
5.2.2 复位控制.....	78
5.2.3 复位功能.....	80
5.2.4 装置初始化 .....	81
5.2.5 复位信号产生因素 .....	83
5.3 上电复位线路.....	86
5.3.1 上电复位架构 .....	86
5.3.2 上电复位功能 .....	86
5.4 掉电复位 (BROR) .....	87
5.4.1 掉电复位架构 .....	87
5.4.2 掉电复位功能 .....	87
5.4.3 掉电复位控制 .....	88
5.5 电压检测线路.....	89
5.5.1 电压检测架构 .....	89
5.5.2 电压检测控制 .....	90
5.5.3 电压检测功能 .....	91
5.5.4 电压检测寄存器设定.....	93
5.6 唤醒 KWU .....	94
5.6.1 唤醒 KWU 架构 .....	94
5.6.2 唤醒 KWU 控制寄存器.....	95
5.6.3 KWU 控制寄存器 .....	98
5.7 中断 .....	99
5.7.1 非屏蔽中断 .....	99
5.7.2 屏蔽中断.....	99
5.7.3 中断列表.....	100
5.7.4 中断控制器 (INTC).....	102
5.7.5 中断标帜寄存器 (IFRx, x=0~10) .....	103
5.7.6 中断允许寄存器 x (IERx, x=0~10) .....	105

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

5.7.7 中断优先级变更 .....	106
5.7.8 中断处理.....	107
5.8 外部中断控制线路.....	108
5.8.1 外部中断架构 .....	108
5.8.2 外部中断控制 .....	109
5.8.3 外部中断功能 .....	110
5.9 系统供电监控.....	114
5.9.1 系统供电监控控制寄存器 .....	114
6.系统时钟控制器 .....	116
6.1 时钟源 .....	116
6.2 时钟切换 .....	117
6.3 时钟监控 .....	118
6.4 时钟控制寄存器.....	119
6.5 系统及外围电路时钟 .....	124
6.5.1 功能性门控时钟 .....	124
7. 12 位 ADC.....	129
7.1 功能叙述.....	130
7.1.1 ADC 控制寄存器.....	130
7.1.2 数据缓存器 .....	131
7.1.3 多重信道扫描 .....	131
7.1.4 ADC 时钟源选择.....	131
7.1.5 ADC 参考 .....	131
7.1.6 ADC 事件源 .....	131
7.1.7 ADC 阶层比较.....	132
7.1.8 中断产生.....	132
7.1.9 ADC 工作模式.....	133
7.1.10 停止 AD 工作 .....	136
7.1.11 ADC 工作流程.....	137
7.2 注意事项 .....	139
7.2.1 模拟信号输入引脚电压范围 .....	139
7.2.2 模拟信号输入引脚作 I/O 埠用 .....	139

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

7.2.3 噪声抑制.....	139
7.3 ADC 寄存器.....	140
8. FLASH 存储控制器(FMC) .....	149
8.1 功能叙述 .....	149
8.2 FLASH 储存控制寄存器.....	150
9. 通用 I/O.....	154
9.1 I/O 埠控制寄存器.....	156
9.2 I/O 埠寄存器 .....	157
9.2.1 P0 端口寄存器.....	157
9.2.2 P1 端口寄存器.....	160
9.2.3 P2 端口寄存器.....	162
9.2.4 P3 端口寄存器.....	164
9.2.5 P4 端口寄存器.....	166
9.2.6 P5 端口寄存器.....	168
10 乘法器(MAC).....	170
10.1 工作模式.....	170
10.2 乘法器寄存器 .....	173
11 外围网络互连系统(PNI) .....	178
11.1 功能叙述 .....	178
11.2 PNIC 操作流程.....	179
11.3 PNIC 控制寄存器.....	180
11.4 PNIC 范例架构图.....	191
12.定时器/计数器 .....	192
12.1 看门狗定时器(WDT) .....	192
12.1.1 看门狗定时器架构.....	192
12.1.2 看门狗定时器控制.....	193
12.2 分频器输出(DVOB) .....	200
12.2.1 分频器输出架构.....	200
12.2.2 分频器输出控制.....	200
12.2.3 分频器输出功能.....	201
12.3 时基定时器(TBT) .....	202

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

12.3.1 时基定时器架构.....	202
12.3.2 时基定时器控制.....	203
12.3.3 时基定时器功能.....	204
12.4 16 位定时器.....	206
12.4.1 16 位定时器计数器控制.....	208
12.4.2 低功耗功能.....	214
12.4.3 定时器功能.....	215
12.4.4 噪声抑制.....	231
13.通用异步收发器 (UART).....	232
13.1 UART 架构.....	232
13.2 UART 控制.....	237
13.3 防止 UARTxCR1 与 UARTxCR2 寄存器改变的保护机制.....	237
13.4 收发数据格式.....	238
13.5 红外线数据收发模式.....	239
13.6 收发波特率 (BAUD RATE).....	240
13.6.1 收发波特率计算方法.....	242
13.6.2 如何以 TCA 作为 UART 的时钟源.....	244
13.7 数据取样方法.....	246
13.8 接收数据的噪声抑止.....	248
13.9 发送/接收工作.....	249
13.9.1 资料发送工作.....	249
13.9.2 数据接收工作.....	249
13.10 状态标帜.....	250
13.10.1 同位错误标帜.....	250
13.10.2 数据框错误标帜.....	251
13.10.3 溢出错误标帜.....	252
13.10.4 接收缓存器已满标帜.....	255
13.10.5 发送忙碌标帜.....	255
13.10.6 发送缓存器已满标帜.....	256
13.11 接收流程.....	257
14.串行总线接口(SBI)/I2C.....	259

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

14.1 通信格式.....	259
14.1.1 I2C 总线.....	259
14.1.2 通用数据格式.....	260
14.2 框图 .....	261
14.3 控制 .....	262
14.4 功能.....	268
14.4.1 低功耗功能.....	268
14.4.2 选取从属地址配对检测与广播呼叫检测.....	268
14.4.3 选取数据传输的时钟数与选取应答或单一应答模式 .....	269
14.4.4 串行时钟 .....	272
14.4.5 选取主控/从属 .....	274
14.4.6 选取传输/接收 .....	274
14.4.7 生成开始/停止条件 .....	275
14.4.8 中断服务需求发布与释放 .....	276
14.4.9 设定串行总线接口模式 .....	276
14.4.10 软件复位.....	277
14.4.11 仲裁丢失检测功能 .....	277
14.4.12 从属地址配对检测 .....	278
14.4.13 广播呼叫检测.....	279
14.4.14 最后接收位的监控 .....	279
14.4.15 从属位址与位址辨识模式说明 .....	280
14.5 I2C 总线的数据传输 .....	281
14.5.1 设备初始化 .....	281
14.5.2 开始条件与从属地址产生 .....	281
14.5.3 字数据传输.....	282
14.5.4 停止条件产生.....	287
14.5.5 重新启动 .....	288
14.6 AC 规格.....	289
15 同步串行收发器(SIO).....	291
15.1 框图 .....	291
15.2 控制 .....	292



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

15.3 低耗电功能.....	295
15.4 功能.....	296
15.4.1 传送模式.....	296
15.4.2 串行时钟.....	296
15.4.3 触发沿选择.....	297
15.5 传送模式.....	298
15.5.1 8 位传送模式.....	298
15.5.2 8 位接收模式.....	303
15.5.3 8 位传送/接收模式.....	308
15.6 AC 特性.....	313
16 安全功能.....	314
16.1 循环冗余校验(CYCLIC REDUNDANCY CHECK, CRC).....	314
16.1.1 CRC 功能概述.....	314
16.1.2 CRC 控制寄存器.....	314
16.2 数据正确性确认(DATA INTEGRITY CHECK, DIC).....	317
16.2.1 DIC 功能概述.....	317
16.2.2 DIC 控制寄存器.....	319
附录 A. 仿真调适功能(ON-CHIP DEBUG).....	322
附录 B. 产品型号信息.....	324
附录 C. 封装信息.....	325
附录 D. 使用注意事项.....	327
修改记录.....	333

## 1. 产品简介

### 1.1 功能特性

#### ◆ 基本信息

- 工作电压范围: 2.0V ~ 5.5V
- 工作温度范围: -40°C ~ 85°C
- 最高工作频率 24 MHz
- 指令集完全兼容于Toshiba TLCS-870/C1

#### ◆ 存储配置

- 64 KB Flash
- 4 KB RAM

#### ◆ 工作功耗

- 普通模式 170  $\mu$ A/MHz @ 3.3V
- 深眠模式 1  $\mu$ A @ 3.3V · 掉电复位 · CPU以及RAM保持寄存器

#### ◆ 多样化系统时钟源

- 16 MHz外部高速时钟
- 锁相环(PLL)
- 多种内部低功耗参考时钟 · 包含
  - 32 kHz
  - 16 MHz

#### ◆ I/O

- 29个I/O引脚
- 具备3组UART · 2组I2C以及2组SIO

#### ◆ 内置乘法器与除法器

- 16位乘以16位与32位加法
- 32位除以32位

#### ◆ 定时器/计数器

- 8个16位定时器 · 具计数器 · 外部触发定时器 · 脉宽测量与PPG输出模式
- 看门狗定时器

#### ◆ 中断控制器

- 8个外部中断输入(EINT0~EINT7)

#### ◆ 12位ADC

- 有7个输入埠
- 1个ADC器外部参考电压源选择

#### ◆ 低电压检测 (LVD)系统

- 2.35V/2.65V/2.85V/3.15V/3.98V/4.2V/4.5V

#### ◆ 掉电复位检测(BROR)系统,共4级

- 1.9V/2.25V/2.55V/2.75V

#### ◆ 安全加密防护功能

- 程序保护

#### ◆ 封装形式

- LQFP 7x7 32引脚
- QFN(5x5) 32引脚

#### ◆ 应用项目

- 家电应用
- 消费性电子
- 需要保护开发程序之应用

## 1.2 重点说明

SQ7613 核心使用 TLCS-870/C1 指令集架构，为一高效节能且具低电门数运算核心，其可变长度指令集提供 38 组核心指令，9 种寻址模式，指令操作码长度从 1 位到 5 位，一般指令多为 2 至 4 位。

核心为三阶管线设计，指令队列以及核心功能单元可于单周期中频繁执行指令，哈佛结构可使系统同时取出指令以及数据存取，特定硬件专门处理指令与数据对齐，增进工作效能。

内置 64KB Flash、4KB RAM、多样的 I/O 端口功能、多组定时器与计数器、时钟产生器，以及高精度的 12 位 ADC 器。多种内部与外部时钟源可根据用户所需频率选取，亦可支持数字外设以及精准模拟特性，用户可依性能、耗电等不同需求进行工作模式的优化调整。

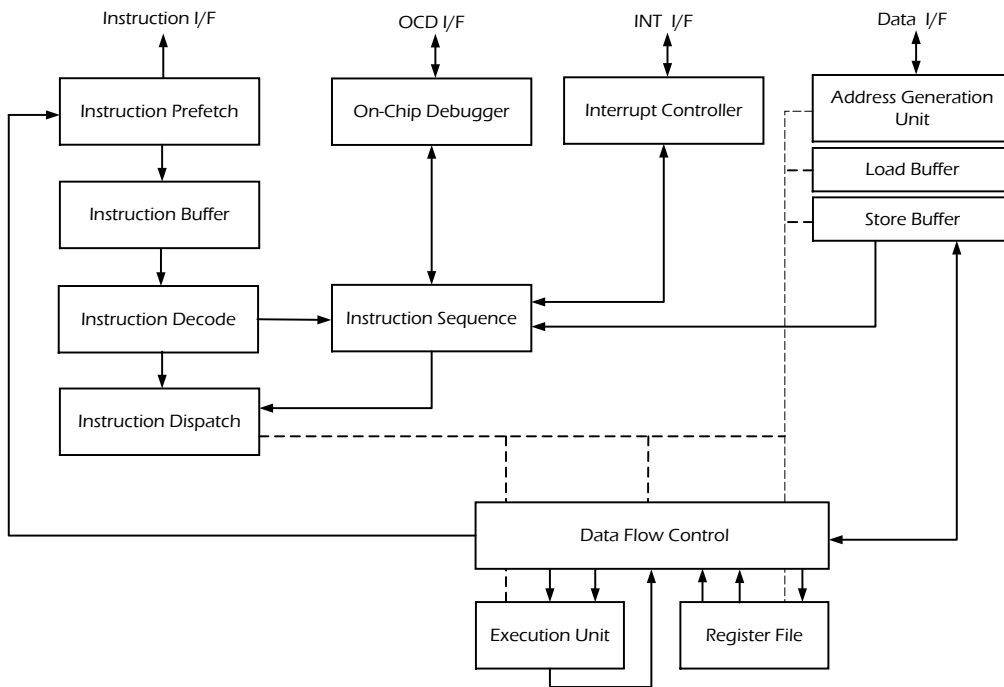


图 1-1 核心工作模块图

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

产品型号	SQ7613LQ032SETR	SQ7613N5032SETR
脚位数 (IO 数)	32 (29)	32 (29)
工作电压	2.0~5.5V	2.0~5.5V
工作温度	-40~85C	-40~85C
外部唤醒	8	8
Flash 容量 /烧写 次数	64K Bytes/10 万次	64K Bytes/10 万次
RAM	4K Bytes	4K Bytes
ADC	12-bit x 7-CH (VDD,外)	12-bit x 7-CH (VDD,外)
中断	外部: 8 内部: 28	外部: 8 内部: 28
内部晶振 / 精度	16MHz +/- 1% @ 0~50C +/- 1.5% @ -20~70C +/- 3% @ -40~85C	16MHz +/- 1% @ 0~50C +/- 1.5% @ -20~70C +/- 3% @ -40~85C
外部晶振	1~16MHz	1~16MHz
BROR	4 级	4 级
低电压检测	8 级 (+/- 3%)*2	8 级 (+/- 3%)*2
定时器/ 计数器	16bit x 8	16bit x 8
	WDT,TBT	WDT,TBT
PWM/PPG	16bit x 8	16bit x 8
传输	UART x 3, SIO x 2, I2C x 2	UART x 3, SIO x 2, I2C x 2
在线仿真	有	有
封装	LQFP32	QFN32 (5x5)

Note 1: 「VDD」表示 ADC 使用 VDD 为内部参考电压;「外」表示 ADC 使用外部参考电压。

Note 2: SQ 系列产品具 8 级 LVD, 精度最小可达±3%, 各级的详细规格请参阅产品规格书。

### 1.3 系统模块图

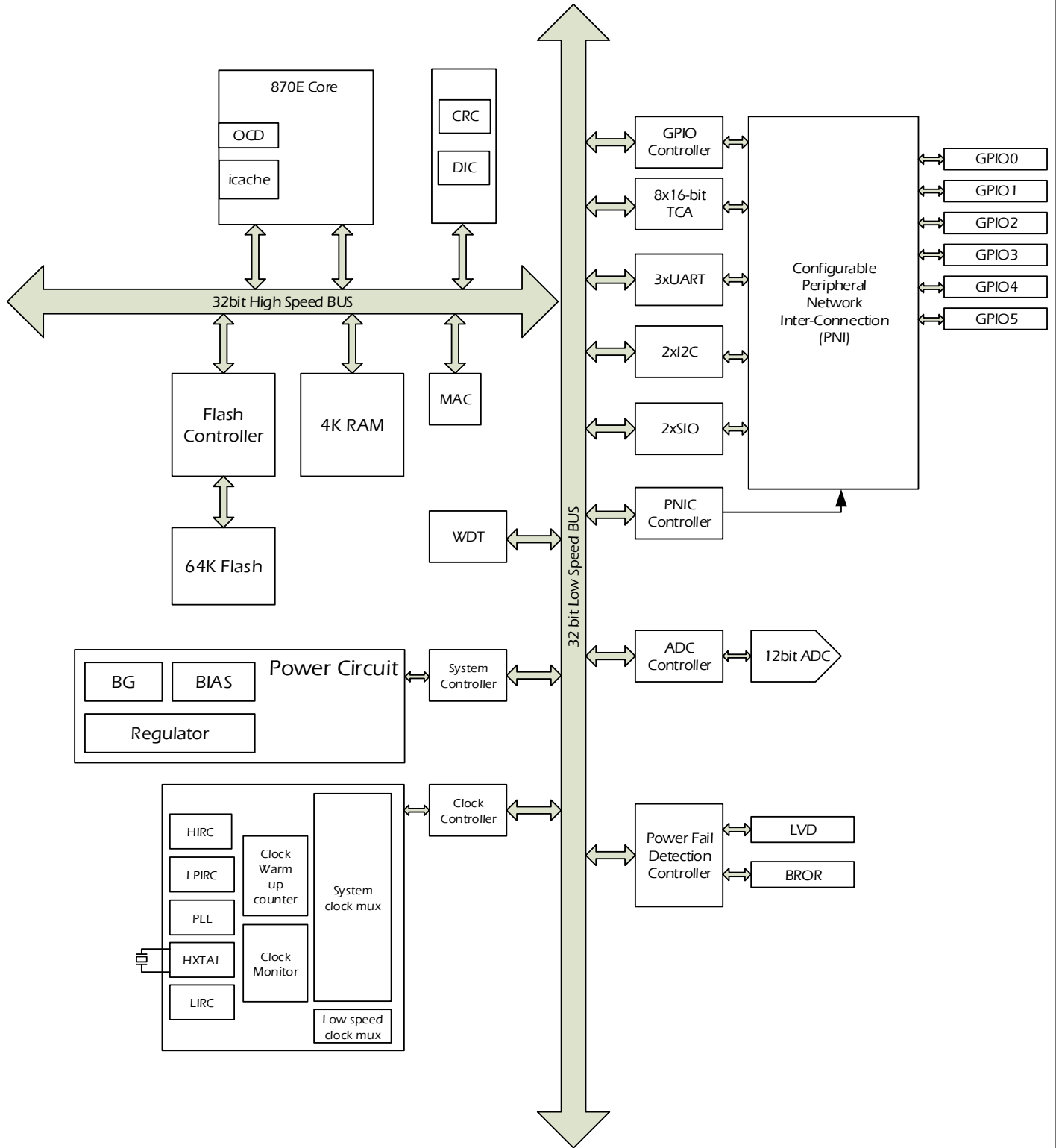


图 1-2 SQ7613 系统模块图

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 1.4 引脚配置/说明

LQFP32 (7x7) - SQ7613LQ032SETR/ OFN32 (5x5) - SQ7613N5032SETR

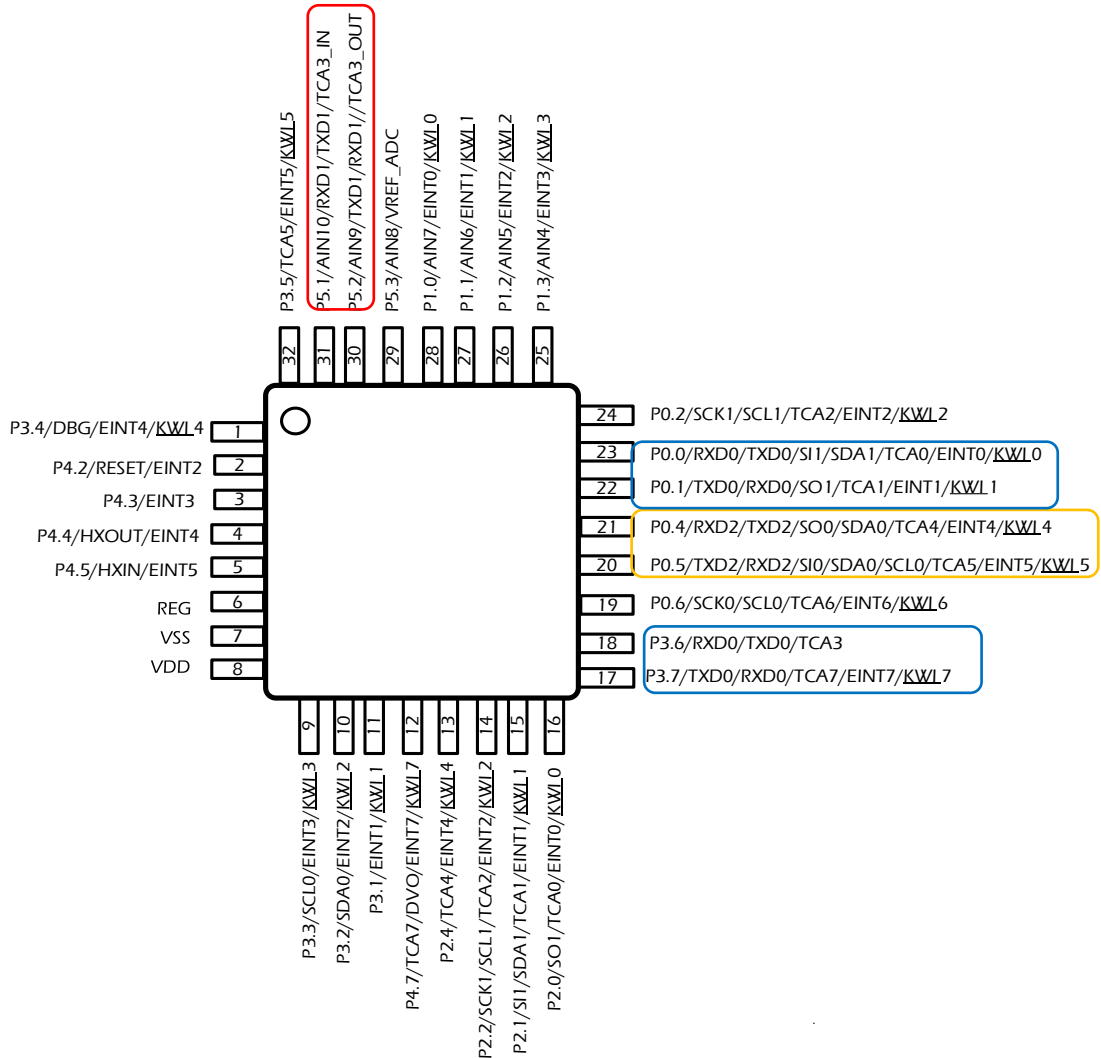


图 1-3 LQFP-32 封装型态引脚配置

注 1 : SQ7613 支持 4 线仿真。4 线仿真需连接 P3.4/DBG、P4.2/RESET、VDD、GND。客户在系统板上所预留之仿真脚位，请参考外部参考线路图进行设计，不建议增加其它元器件以免影响仿真特性或功能。

注 2 : SQ7613 烧录以 4 线 OCDE 脚位进行，客户在系统板上所预留之烧录脚位，请参考下图进行设计，不建议增加其它元器件以免影响烧录特性或功能。4 线 OCDE 脚位，相同于仿真脚位(P3.4/DBG、P4.2/RESET、VDD、VSS)。烧录单颗 IC 内的 64KByte 程序空间所需时间约 9 秒。iMQ 仿真器(MQ-Link)与烧录器(Flash Writer)支持此种烧录模式。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注 3 : TCAX 为 Timer Input/output 功能，但 P5.1/TCA3\_IN 为 Timer Input 功能，P5.2/TCA3\_OUT 为 Timer output 功能。

注 4 : UART 脚位需依以下配对使用，若选择 P0.0 为 RXD0，则需使用 P0.1 为 TXD0 。

UART0	TXD0/RXD0	P0.0/RXD0/TXD0 P0.1/TXD0/RXD0	P3.6/RXD0/TXD0 P3.7/TXD0/RXD0
UART1	TXD1/RXD1	P5.1/RXD1/TXD1 P5.2/TXD1/RXD1	
UART2	TXD2/RXD2	P0.4/RXD2/TXD2 P0.5/TXD2/RXD2	

I2C0	SCL0/SDA0	P0.6/SCL0 P0.5/SDA0	P0.5/SCL0 P0.4/SDA0	P3.3/SCL0 P3.2/SDA0
I2C1	SCL1/SDA1	P0.2/SCL1 P0.0/SDA1	P2.2/SCL1 P2.1/SDA1	

SIO0	SCK0/ SI0/ SO0	P0.6/SCK0 P0.5/SI0 P0.4/SO0	
SIO1	SCK1/SI1 / SO1	P0.2/SCLK1 P0.0/SI1 P0.1/SO1	P2.2/SCLK1 P2.1/SI1 P2.0/SO1

注 5 : I/O 与唤醒、外部中断对照表如下：

引脚名称					引脚/端口功能	
					Key-on Wakeup	External Interrupt
P0.0	P1.0	P2.0	-		<u>KWI</u> 0	EINT0
P0.1	P1.1	P2.1	P3.1		<u>KWI</u> 1	EINT1
P0.2	P1.2	P2.2	P3.2		<u>KWI</u> 2	EINT2
-	P1.3	-	P3.3 P3.6		<u>KWI</u> 3	EINT3
P0.4	-	P2.4	P3.4		<u>KWI</u> 4	EINT4
P0.5	-	-	P3.5		<u>KWI</u> 5	EINT5
P0.6	-	-	-	-	<u>KWI</u> 6	EINT6
-	-	-	P3.7	P4.7	<u>KWI</u> 7	EINT7
				P4.2		EINT2
				P4.3		EINT3
				P4.4		EINT4
				P4.5		EINT5

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

32引脚 编号	引脚名称与端口/选择功能	I/O类型	功能叙述
1	P3.4/DBG/EINT4/KWI 4	I/O (Type A)	P3.4为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 外部中断EINT4与唤醒输入引脚KWI 4、在线烧录DBG引脚与P3.4共享引脚。
2	P4.2/RESET/EINT2	I/O (Type A)	P4.2为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 RESET、外部中断EINT2与P4.2共享引脚，为低电平有效(low-active)。
3	P4.3/EINT3	I/O (Type A)	P4.3为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 外部中断EINT3与P4.3共享引脚。
4	P4.4/HXOUT/EINT4	I/O (Type B)	P4.4为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 高速外部参考时钟连接 HXOUT、外部中断EINT4 与P4.4共享引脚。
5	P4.5/HXIN/EINT5	I/O (Type B)	P4.5为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 高速外部参考时钟连接 HXIN、外部中断EINT5 与P4.5共享引脚。
6	REG	- (Type C)	- 注：REG pin无法供电给外部线路使用
7	VSS	接地	接地
8	VDD	电源	VDD电源输入
9	P3.3/SCL0/EINT3/ KWI3	I/O (TypeA)	P3.3为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 I2C引脚SCL0、外部中断EINT3与唤醒输入引脚KWI 3与P3.3共享引脚。
10	P3.2/SDA0/EINT2/ KWI2	I/O (Type A)	P3.2为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 I2C引脚SDA0、外部中断EINT2与唤醒输入引脚KWI 2与P3.2共享引脚。
11	P3.1/EINT1/ KWI1	I/O (Type A)	P3.1为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 外部中断EINT1与唤醒输入引脚KWI 1与P3.1共享引脚。
12	P4.7/TCA7/DVO/EINT7/ KWI7	I/O (Type A)	P4.7为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 16位定时器TCA7、分频器输出DVO引脚DVO、外部中断EINT7与唤醒输入引脚KWI 7与P4.7共享引脚。



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

32引脚 编号	引脚名称与 端口/选择功能	I/O类型	功能叙述
13	P2.4/SCL0/TCA4/EINT4/ KWI4	I/O (Type A)	P2.4为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 I2C引脚SCL0、16位定时器TCA4、外部中断EINT4与唤醒输入引脚KWI 4与P2.4共享引脚。
14	P2.2/SCK1/SCL1/TCA2/EINT 2/ KWI2	I/O (Type A)	P2.2为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 SIO引脚SCK1、I2C引脚SCL1、16位定时器TCA2、外部中断EINT2与唤醒输入引脚KWI 2与P2.2共享引脚。
15	P2.1/SI1/SDA1/TCA1/EINT1 / KWI1	I/O (Type A)	P2.1为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 SIO引脚SI1、I2C引脚SDA1、16位定时器TCA1、外部中断EINT1与唤醒输入引脚KWI 1与P2.1共享引脚。
16	P2.0/SO1/TCA0/EINT0/ KWI0	I/O (Type A)	P2.0为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 SIO引脚SO1、16位定时器TCA0、外部中断EINT0与唤醒输入引脚KWI 0与P2.0共享引脚。
17	P3.7/TXD0/RXD0/TCA7/EIN T7/ KWI7	I/O (Type A)	P3.7为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 UART引脚TXD0/RXD0、16位定时器TCA7、外部中断EINT7与唤醒输入引脚KWI 7与P3.7共享引脚。
18	P3.6/RXD0/TXD0/TCA3	I/O (Type A)	P3.6为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 UART引脚RXD0/TXD0、16位定时器TCA3与P3.6共享引脚。
19	P0.6/SCK0/SCL0/TCA6/EINT 6/ KWI6	I/O (Type A)	P0.6为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 SIO引脚SCK0、I2C引脚SCL0、16位定时器TCA6、外部中断EINT6与唤醒输入引脚KWI 6与0.6共享引脚。
20	P0.5/TXD2/RXD2/SIO/SDA0/ SCL0/TCA5/EINT5/ KWI5	I/O (Type A)	P0.5为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 UART引脚TXD2/RXD2、SIO引脚SIO、I2C引脚SDA0、16位定时器TCA5、外部中断EINT5与唤醒输入引脚KWI 5与P0.5共享引脚。
21	P0.4/RXD2/TXD2/SO0/SDA 0/TCA4/EINT4/ KWI4	I/O (Type A)	P0.4为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 UART引脚RXD2/TXD2、SIO引脚SO0、I2C引脚SDA0、16位定时器TCA4、外部中断EINT4与唤醒输入引脚KWI 4与P0.4共享引脚。
22	P0.1/TXD0/RXD0/SO1/TCA 1/EINT1/ KWI1	I/O (Type A)	P0.1为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 UART引脚TXD0/RXD0、SIO引脚SO1、16位定时器TCA1、外部中断EINT1与唤醒输入引脚KWI 1与P0.1共享引脚。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

32引脚 编号	引脚名称与端口/选择功能	I/O类型	功能叙述
23	P0.0/RXD0/TXD0/SI1/SDA1/TCA0/EINT0/ KWI0	I/O (Type A)	P0.0为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 UART引脚RXD0/TXD0、SIO引脚SI1、I2C引脚SDA1、16位定时器TCA0、外部中断EINT0与唤醒输入引脚KWI0与P0.0共享引脚。
24	P0.2/ SCK1/SCL1/TCA2/EINT2/ KWI2	I/O (Type A)	P0.2为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 SIO引脚SCK1、I2C引脚SCL1、16位定时器TCA2、外部中断EINT2与唤醒输入引脚KWI2与P0.2共享引脚。
25	P1.3/AIN4/EINT3/ KWI3	I/O (Type D)	P1.3为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN4、外部中断EINT3与唤醒输入引脚KWI3与P1.3共享引脚。
26	P1.2/AIN5/EINT2/ KWI2	I/O (Type D)	P1.2为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN5、外部中断EINT2与唤醒输入引脚KWI2与P1.2共享引脚。
27	P1.1/AIN6/EINT1/ KWI1	I/O (Type D)	P1.1为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN6、外部中断EINT1与唤醒输入引脚KWI1与P1.1共享引脚。
28	P1.0/AIN7/EINT0/ KWI0	I/O (Type D)	P1.0为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN7、外部中断EINT0与唤醒输入引脚KWI0与P1.0共享引脚。
29	P5.3/AIN8/VREF_ ADC	I/O (Type D)	P5.3为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN8、ADC参考电压输入 VREF_ADC与 P5.3共享引脚。
30	P5.2/AIN9/TXD1/RXD1/TCA3_OUT	I/O (Type D)	P5.2为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN9、UART脚TXD1/RXD1、16位定时器TCA3_OUT与P5.2共享引脚。
31	P5.1/AIN10/RXD1/TXD1/TC A3_IN	I/O (Type D)	P5.1为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 ADC输入AIN10、UART脚RXD1/TXD1、16位定时器TCA3_IN与P5.1共享引脚。
32	P3.5/ TCA5/EINT5/ KWI5	I/O (Type A)	P3.5为双向可编程I/O端口，可以软件编程设定连接引脚内置上拉电阻或下拉电阻。 16位定时器/计数器引脚TCA5、外部中断EINT5与唤醒输入引脚KWI5与P3.5共享引脚。

以下为在使用 SQ7613 产品时建议的外部参考线路，若使用到相关引脚功能时，请参考所对应的接线建议：

1. 进行 ADC 输入滤波 :

### ADC Input Filter

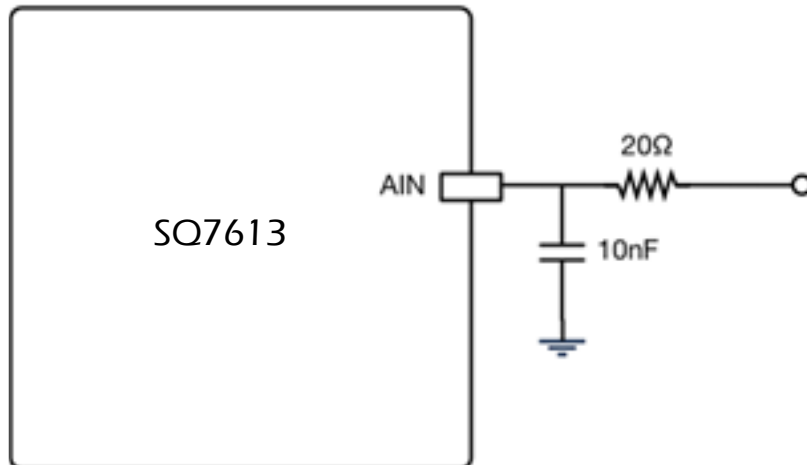


图 1-4 SQ7613 建议外部参考线路(进行 ADC 输入滤波)

2. 使用外部参考时钟引脚 :

### External Crystal

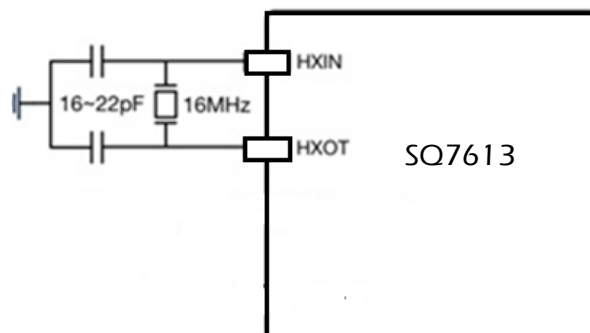


图 1-5 SQ7613 建议外部参考线路(使用外部参考时钟引脚)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

3. 电源去耦(power decoupling) :

Power Decoupling Cap

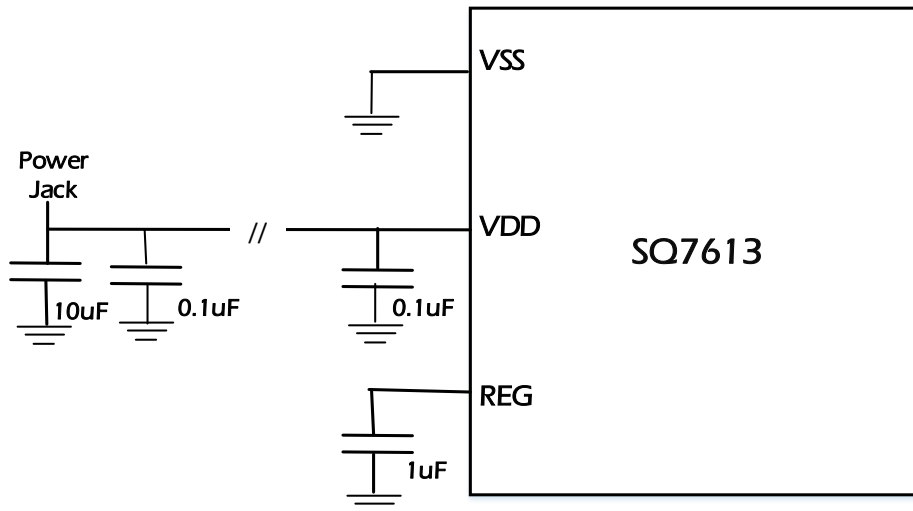


图 1-6 SQ7613 建议外部参考线路(电源去耦-POWER DECOUPLING)

注：上图近 IC 端(VDD)的 0.1uF,应该尽可能靠近 IC

4. 复位引脚与仿真引脚 :

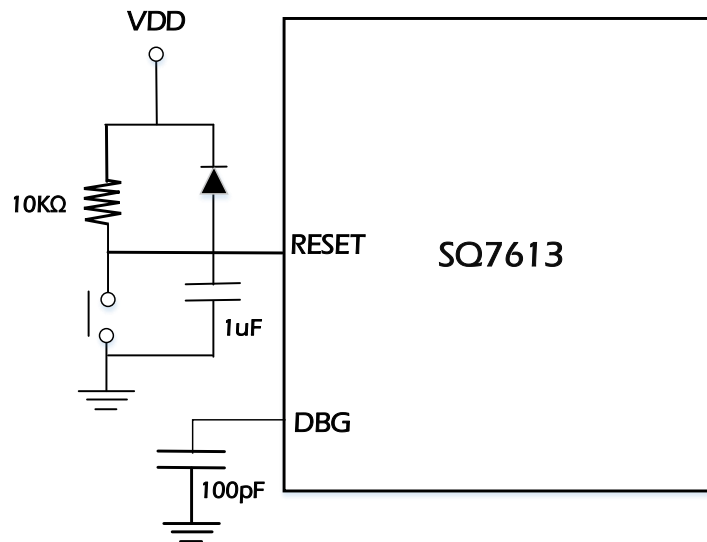


图 1-7 SQ7613 建议外部参考线路(复位引脚与仿真引脚)

### 1.5 I/O 线路图

I/O类型	I/O线路图	叙述
Type A		<p>GPIO(无ADC 输入功能) DBG引脚 RESET引脚</p>

I/O类型 (Circuit Type)	I/O线路图	叙述
Type B		连接外部参考时钟引脚

I/O类型 (Circuit Type)	I/O线路图	叙述
Type C		REG 引脚
Type D		GPIO(具ADC 输入功能)

## 2. 电气特性

### 2.1 极限参数

单片机操作时切勿超过以下任一项极限参数值。即使仅是极短时间，也可能造成单片机损坏或性能衰退，严重者可能导致起火或爆炸、造成伤害。因此，请确保采用本单片机设计开发之产品，或系统不超过以下极限参数值。

( $V_{SS} = 0V$ )

参数	符号	引脚	极限参数	单位
工作电压范围	$V_{DD}$		-0.3 to 6.0	V
输入电压范围	$V_{IN}$	全部数位元引脚	-0.3 to $V_{DD}+0.3$	V
最大输出电流		全部 I/O 引脚	100	mA
储存温度范围	$T_{STG}$		-50 to 125	°C



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 2.2 工作条件

以下定义出当装置于电压及温度最大/最小值运行时其电气特性。除非另有说明，否则标准条件是在「室温 25°C 及标准工作电压  $V_{DD}=3.3V$ 」下测定而得。

### 2.2.1 工作条件

参数	符号	测试条件	最小	标准	最大	单位
工作电压	$V_{DD}$		2.0	3.3	5.5	V
模拟工作电压	$V_{DDA}$		2.0	3.3	5.5	V
复位电压(注)	$V_{RST}$		1.89	1.95	2.01	V
工作温度	$T_a$		-40	25	85	°C

注：复位电压使用 BROR 第一阶

### 2.2.2 时钟源

参数	符号	测试条件	最小	标准	最大	单位
外部时钟源						
外部高速时钟(注 1)	$f_{XIN}$		1		16	MHz
内部时钟源						
内部低速时钟	$f_{LIRC}$	$T_A = 25^\circ C$	-25%	32	+ 25%	kHz
低功耗内部时钟	$f_{LPIRC}$	$T_A = 25^\circ C$	- 1%	1	+ 1%	MHz
		$T_A = 0 \sim 50^\circ C$ (注 2)	- 1%	1	+ 1%	
		$T_A = -20 \sim 70^\circ C$ (注 2)	- 1.5%	1	+ 1.5%	
		$T_A = -40 \sim 85^\circ C$	- 3%	1	+ 3%	
内部高速时钟	$f_{HIRC}$	$T_A = 25^\circ C$	- 1%	16	+ 1%	MHz
		$T_A = 0 \sim 50^\circ C$ (注 2)	- 1%	16	+ 1%	
		$T_A = -20 \sim 70^\circ C$ (注 2)	- 1.5%	16	+ 1.5%	
		$T_A = -40 \sim 85^\circ C$	- 3%	16	+ 3%	
锁相环	$f_{PLL}$	$T_A = 25^\circ C$	(注 3)	24	(注 3)	MHz

注 1：外部高速时钟在启动后到完全起振约 2.5ms(16MHz, 25°C)。

注 2：此规格为  $V_{DD} = 5V \pm 10\%$ (即 4.5~5.5V)条件下。

注 3：锁相环( $f_{PLL}$ ) 精准度同 PLL 时钟源(16MHz 外部高速时钟  $f_{XIN}$  与内部时钟  $f_{LPIRC}$ )，为 +/- 1%。

## 2.2.3 I/O 特性

VDD=3.3V, Ta=-40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
低电压输入	V <sub>IL</sub>		0		0.25 VDD	V
高电压输入	V <sub>IH</sub>		0.75 VDD		VDD	V
端口引脚之低电压输出	V <sub>OL_050</sub>	IOL=5 mA			0.4	V
端口引脚之高电压输出	V <sub>OH_015</sub>	IOH=1.5 mA	VDD-0.4			V
低电平输出电流	I <sub>OL</sub>	0.1xVDD	2.5	6.7		mA
		0.3xVDD	7	15		mA
高电平输出电流	I <sub>OH</sub>	0.9xVDD	1	2.4	-	mA
		0.7xVDD	3	5.8		mA
上拉电阻	R <sub>PULLUP</sub>		10	20	40	kΩ
下拉电阻	R <sub>PULLDN</sub>		10	20	40	kΩ

VDD=5V, Ta=-40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
低电压输入	V <sub>IL</sub>		0		0.25 VDD	V
高电压输入	V <sub>IH</sub>		0.75 VDD		VDD	V
端口引脚之低电压输出	V <sub>OL_100</sub>	IOL=10 mA			0.6	V
端口引脚之高电压输出	V <sub>OH_035</sub>	IOH= 3.5 mA	VDD-0.6			V
低电平输出电流	I <sub>OL</sub>	0.1xVDD	6	13.5		mA
		0.3xVDD	15	31		mA
高电平输出电流	I <sub>OH</sub>	0.9xVDD	2.5	4.8	-	mA
		0.7xVDD	6.5	12		mA
上拉电阻	R <sub>PULLUP</sub>		10	20	40	kΩ
下拉电阻	R <sub>PULLDN</sub>		10	20	40	kΩ

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 2.3 直流(DC)特性

Operating @ 3.3V, Ta=-40~85°C

参数	符号	测试条件	最小	标准	最大	单位
普通模式 (LIRC 启动 · 由 Flash 执行)	I <sub>DD_NO</sub>	LPIRC 为 PLL 时钟源, 系统时钟为 24MHz, f <sub>LPIRC</sub> =1MHz,fsysclk=24MHz (PLL)	-	5.5	8.5	mA
	I <sub>DD_N1</sub>	内部高速时钟(HIRC)为系统时钟, f <sub>HXIN</sub> =0MHz,fsysclk=16 MHz (HIRC)	-	2.7	4.2	mA
	I <sub>DD_N2</sub>	LIRC 为系统时钟 所有时钟都关闭,仅 LIRC 启动, fsysclk=32KHz	-	0.7	1.1	mA
	I <sub>DD_N3</sub>	外部高速时钟(HXTAL)为系统时钟 fsysclk=16MHz (HXTAL)	-	3.8	5.7	mA
睡眠模式 (LIRC 启动 · CPU 时钟停止运行)	I <sub>DD_SL0</sub>	LPIRC 为 PLL 时钟源, 系统时钟为 24MHz, f <sub>LPIRC</sub> =1MHz,fsysclk=24MHz (PLL)	-	2.7	4.1	mA
	I <sub>DD_SL1</sub>	内部高速时钟(HIRC)为系统时钟, f <sub>HXIN</sub> =0MHz,HIRC 16 MHz (HIRC)	-	1.3	2.1	mA
	I <sub>DD_SL2</sub>	LIRC 为系统时钟 fsysclk=32KHz	-	0.7	1.1	mA
	I <sub>DD_SL3</sub>	外部高速时钟(HXTAL)为系统时钟 fsysclk=16MHz (HXTAL)	-	2.0	3.1	mA
深眠模式 (LIRC 启动 · CPU 以及 RAM 为保持寄存器模式)	I <sub>DD_DS0</sub>			1.0	-	uA

Operating @ 3.3V, Ta=25°C

参数	符号	测试条件	最小	标准	最大	单位
深眠模式 (LIRC 启动 · CPU 以及 RAM 为保持寄存器模式)	I <sub>DD_DS0</sub>		0.8	1.0	-	uA

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

Operating @ 5V, Ta=40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
普通模式 (LIRC 启动 · 由 Flash 执行)	I <sub>DD_NO</sub>	LPIRC 为 PLL 时钟源, 系统时钟为 24MHz, f <sub>LPIRC</sub> =1MHz, fsysclk=24MHz (PLL)	-	5.5	8.5	mA
	I <sub>DD_N1</sub>	内部高速时钟(HIRC)为系统时钟, f <sub>HXIN</sub> =0MHz, fsysclk=16 MHz (HIRC)	-	2.7	4.2	mA
	I <sub>DD_N2</sub>	LIRC 为系统时钟 所有时钟都关闭, 仅 LIRC 启动, fsysclk=32KHz	-	0.8	1.2	mA
	I <sub>DD_N3</sub>	外部高速时钟(HXTAL)为系统时钟 fsysclk=16MHz (HXTAL)	-	3.8	5.7	mA
睡眠模式 (LIRC 启动 · CPU 时钟停止运 行)	I <sub>DD_SL0</sub>	LPIRC 为 PLL 时钟源, 系统时钟为 24MHz, f <sub>LPIRC</sub> =1MHz, fsysclk=24MHz (PLL)	-	2.7	4.1	mA
	I <sub>DD_SL1</sub>	内部高速时钟(HIRC)为系统时钟, f <sub>HXIN</sub> =0MHz, HIRC 16 MHz (HIRC)	-	1.3	2.1	mA
	I <sub>DD_SL2</sub>	LIRC 为系统时钟 fsysclk=32KHz	-	0.8	1.2	mA
	I <sub>DD_SL3</sub>	外部高速时钟(HXTAL)为系统时钟 fsysclk=16MHz (HXTAL)	-	2.0	3.1	mA
深眠模式 (LIRC 启动 · CPU 以及 RAM 为保持寄存器模式)	I <sub>DD_DS0</sub>		-	1.1	-	uA

Operating @ 5V, Ta=25°C						
参数	符号	测试条件	最小	标准	最大	单位
深眠模式 (LIRC 启动 · CPU 以及 RAM 为保持寄存器模式)	I <sub>DD_DS0</sub>		0.9	1.1	-	uA

## 2.4 上电复位电气特性

Ta=40~85°C

符号	叙述	最小	标准	最大	单位
tPPW	上电复位最小脉宽 Power-on reset minimum pulse width	1	-	-	ms
tPWUP	上电复位后到 CPU ready 时间(注) Warming-up time after a reset is clear and CPU ready	-	4	-	ms
tVDD	上电时间 Power supply rise time	0.5	-	5	ms

注: 此 tPWUP 不包含 BOOTROM code 执行时间; BOOTROM code 执行时间约需 50ms。

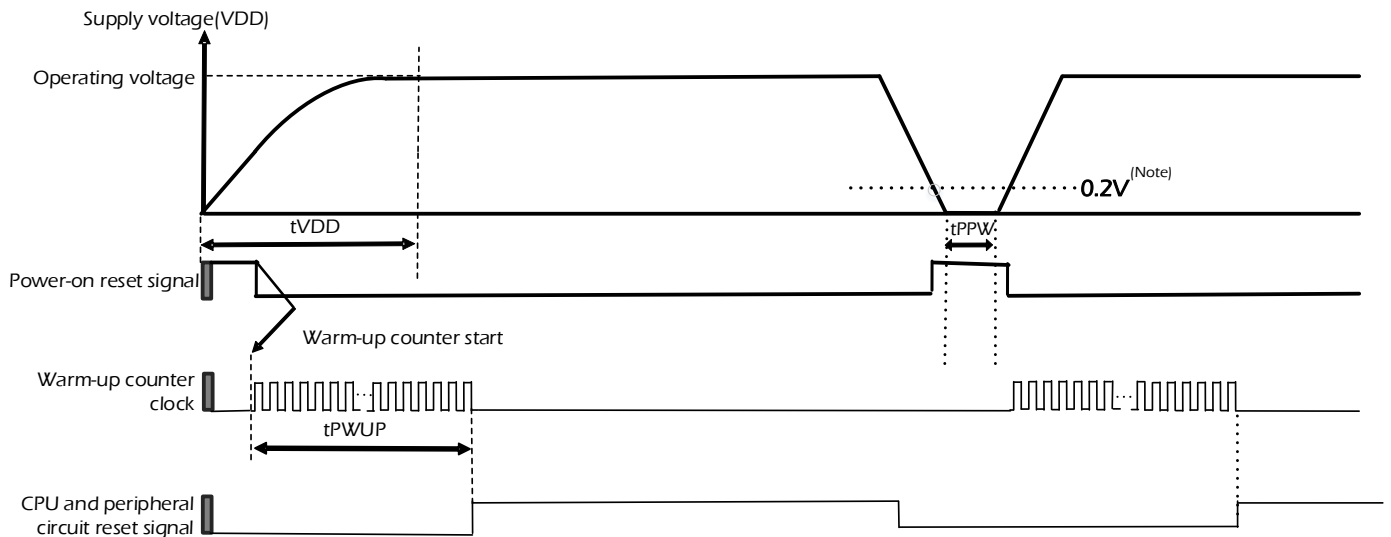


图 2-1 上电复位时序图

Note: 当系统下电时, 电压需低于 0.2V 再重新上电, 才能确保重新上电后的 IC 动作正常。

## 2.5 BROR 电气特性

Ta=-40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
BROR detected voltage	VBRORON1	第一阶,BRORCFG=00	1.84	1.90	1.96	V
	VBROROFF1		1.89	1.95	2.01	V
	VBRORON2	第二阶,BRORCFG=01	2.18	2.25	2.32	V
	VBROROFF2		2.23	2.30	2.37	V
	VBRORON3	第三阶,BRORCFG=10	2.47	2.55	2.63	V
	VBROROFF3		2.52	2.60	2.68	V
	VBRORON4	第四阶,BRORCFG=11	2.67	2.75	2.83	V
	VBROROFF4		2.72	2.80	2.88	V

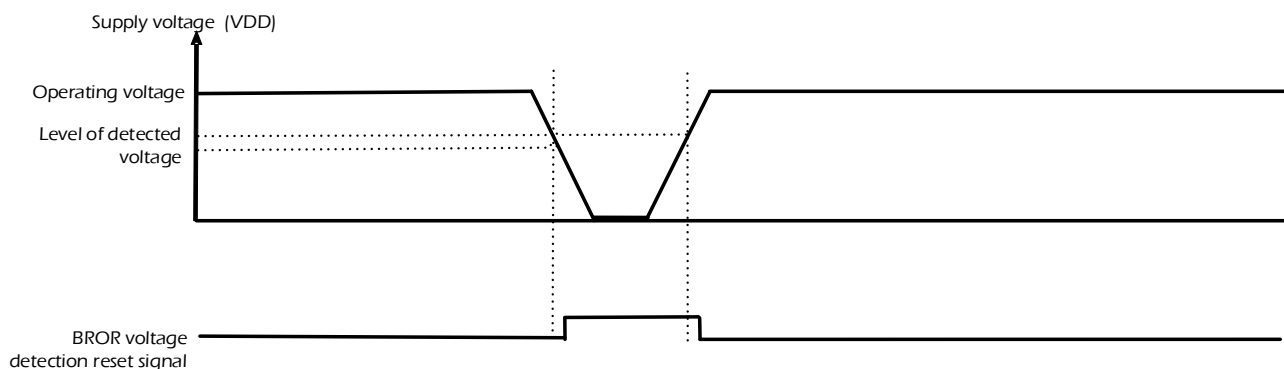


图 2-2 BROR 复位

Note : 当发生 BROR 时，请勿再执行任何动作。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 2.6 LVD 电气特性

Ta=-40~85°C						
参数	符号	测试条件	最小	标准	最大	单位
LVD 检测电压	VLVD1	Falling Mode,第一阶, LVDCFG=000 (Note)	1.94	2.00	2.06	V
	VLVD2	Falling Mode,第二阶, LVDCFG=001	2.28	2.35	2.42	V
	VLVD3	Falling Mode,第三阶, LVDCFG=010	2.57	2.65	2.73	V
	VLVD4	Falling Mode,第四阶, LVDCFG=011	2.76	2.85	2.94	V
	VLVD5	Falling Mode,第五阶, LVDCFG=100	3.06	3.15	3.24	V
	VLVD6	Falling Mode,第六阶, LVDCFG=101	3.86	3.98	4.1	V
	VLVD7	Falling Mode,第七阶, LVDCFG=110	4.07	4.20	4.33	V
	VLVD8	Falling Mode,第八阶, LVDCFG=111	4.37	4.50	4.64	V

符号	叙述	最小	标准	最大	单位
tVLTON	Voltage detecting detection response time	-	1	10	us

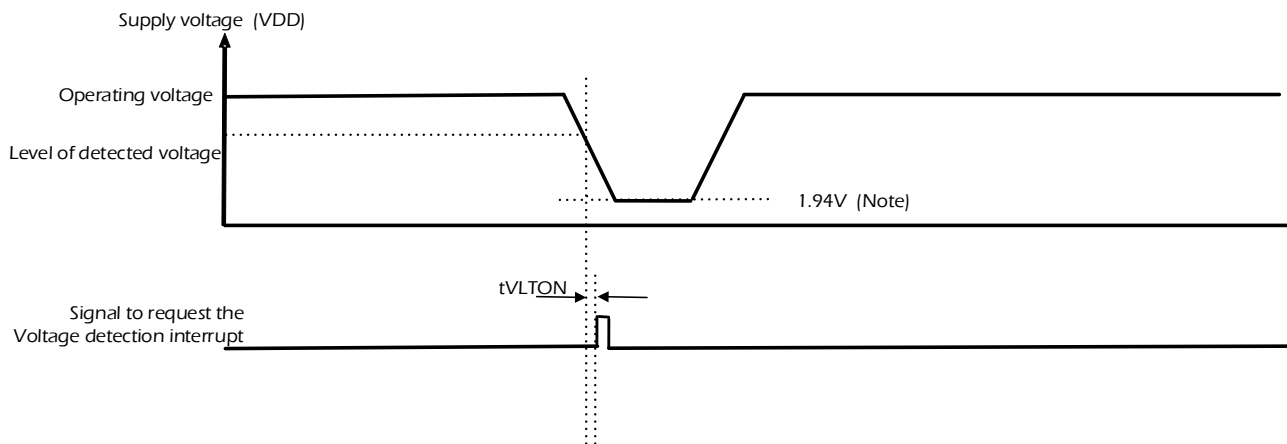


图 2- 3 LVD 中断

Note : 可能会触发 BROR

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 2.7 ADC 电气特性

VREF_ADC=VDD 4.5V ≤ VDD ≤ 5.5V, TA= -45~85°C						
参数	符号	测试条件	最小	标准	最大	单位
分辨率	RES <sub>ADC</sub>			12		bits
最大转换速率	f <sub>ADC</sub>				470	KSPS
微分非线性误差(DNL)	DNL <sub>ADC</sub>				±2.5	LSB
积分非线性误差(INL)	INL <sub>ADC</sub>				±3.5	LSB
绝对增益精度	E <sub>GAIN</sub>				±5	LSB
偏移误差	E <sub>OFFSET</sub>				±4.5	LSB
输入电压范围	V <sub>ADC_RNG</sub>				VDD	V
VREF_ADC电压范围	V <sub>REF_ADC</sub>		VDD <sup>注</sup>			V

注：VREF\_ADC=VDD · 电压范围 2~5.5V

VREF_ADC=VDD 2V ≤ VDD ≤ 5.5V, TA= -45~85°C						
参数	符号	测试条件	最小	标准	最大	单位
分辨率	RES <sub>ADC</sub>			12		bits
最大转换速率	f <sub>ADC</sub>				470	KSPS
微分非线性误差(DNL)	DNL <sub>ADC</sub>				±4	LSB
积分非线性误差(INL)	INL <sub>ADC</sub>				±5	LSB
绝对增益精度	E <sub>GAIN</sub>				±6	LSB
偏移误差	E <sub>OFFSET</sub>				±6	LSB
输入电压范围	V <sub>ADC_RNG</sub>				VDD	V
VREF_ADC电压范围	V <sub>REF_ADC</sub>		VDD <sup>注</sup>			V

注：VREF\_ADC=VDD · 电压范围 2~5.5V

注：ADC sample rate =  $\frac{1}{22} \times \frac{f_{sysclk}}{ADCKDIV}$

当系统主频为 24MHz, ADCKDIV 设为 0x02 · ADC Sample rate:  $\frac{1}{22} \times \frac{24MHz}{2^2} = 272.727kps$



## 2.8 Flash 电气特性

( $V_{SS} = 0V$ ,  $2.0V \leq V_{DD} \leq 5.5V$ ,  $T_{OPR} = -40$  to  $85^{\circ}C$ )

参数	测试条件	最小	标准	最大	单位
Flash 存储器保证烧写次数		-	-	100,000	次
Flash 存储器烧写时间	烧写时间(per byte)	-	-	7.5	$\mu s$
Flash 存储器擦除时间	整颗擦除 chip erase	-	-	40	ms
	区块擦除 sector erase (1 区块 = 512 字节)	-	-	5	

### 3. 中央处理器(CPU)

SQ7613 产品架构为 870E 核心

- 丰富指令集可支持 C 语言编码更精简
  - 9 种寻址模式
  - 乘法与除法器指令
  - 位操作指令
  - 16 位算术逻辑单元(ALU)及下载/储存指令
  - 跳转与呼叫指令
  
- 寄存器文件支持快速上下文切换
  - 2 个 8 位以及 16 位通用寄存器(GPRs)
  - 2 组 8 个 8 位 GPRs
  - 2 组 8 个 16 位 GPRs
  - 16 位程序计数器(PC)
  - 16 位堆栈指针(SP)
  - 7 位程序状态字 (PSW)
  
- 存储空间
  - 64 KB Flash
  - 4KB RAM

### 3.1 符号对照

符号	描述	符号	描述
A	A register	r,g	8-bit register
W	W register	rr, gg	16-bit register
B	B register	n	4-bit or 8-bit immediate data
C	C register	mn	16-bit immediate data
D	D register	d	Signed 5-bit or 8-bit displacement
E	E register	x,y	8-bit direct address
H	H register	vw, uz	16-bit direct address
L	L register	(XX)	Memory contents at the address specified by XX
WA	WA register	(xx+1, XX)	Two consecutive bytes from the memory location specified by XX
BC	BC register	b	Bit number (0 to 7)
DE	DE register	.b	Content of bit specified by b
HL	HL register	↔	Exchange
IX	IX register	+	Add
IY	IY register	-	Subtract
PC	Program Counter	x	Multiply
SP	Stack Pointer	÷	Division
PSW	Program Status Word	&	Bitwise AND
JF	Jump Status flag		Bitwise OR
CF	Carry flag	^	Bitwise exclusive OR
HF	Half carry flag	null	No operation
SF	Sign flag	\$	Start address of instruction being executed
VF	Overflow flag	(src)	Source memory
/CF	Inverse of carry flag	(dst)	Destination memory
IMF	Interrupt Master Enable flag	(srcdst)	Source and destination memory
NxtOp	Address of next operation	RBS	Register Bank Selector

表 3-1 文件内所使用符号

助记符	描述	助记符	描述
ADD	Add	OR	Logical OR
ADDC	Add with carry	POP	Pop up
AND	Logical AND	PUSH	Push down
CALL	Call	RET	Return from subroutine
CALLV	Vector call	RETI	Return from maskable interrupt service routine
CLR	Clear bit/byte	RETN	Return from non-maskable interrupt service routine
CMP	Compare	ROLC	Rotate left through carry
DAA	Decimal adjust for 8-bit addition	ROLD	Rotate left digit
DAS	Decimal adjust of 8-bit subtraction	RORC	Rotate right through carry
DEC	Decrement byte/word (Register)	RORD	Rotate right digit
DI*	Disable maskable interrupt	SET	Bit test and set
DIV	Divide byte quotient	SHLC	Logical shift left
EI*	Enable interrupt	SHLCA	Arithmetic shift left
INC	Increment byte/word (Register)	SHRC	Logical shift right
J*	Optimized jump	SHRCA	Arithmetic shift right
JP	Absolute jump	SUB	Subtract
JR	Relative jump	SUBB	Subtract with borrow
JRS	Short relative jump	SWAP	swap nibble
LD	Load bit/byte/word (Register)/effective address	SWI	Software interrupt
LDW	Load word (Memory)	TEST*	Bit test
MUL	Multiply	XCH	Exchange
NEG	Negate	XOR	Logical exclusive OR
NOP	No operation	OR	Logical OR

表 3-2 指令助记符

注: 上方标注星号(\*)之指令助记符为扩充汇编机器指令

### 3.2 核心寄存器

寄存器组及核心寄存器如下图

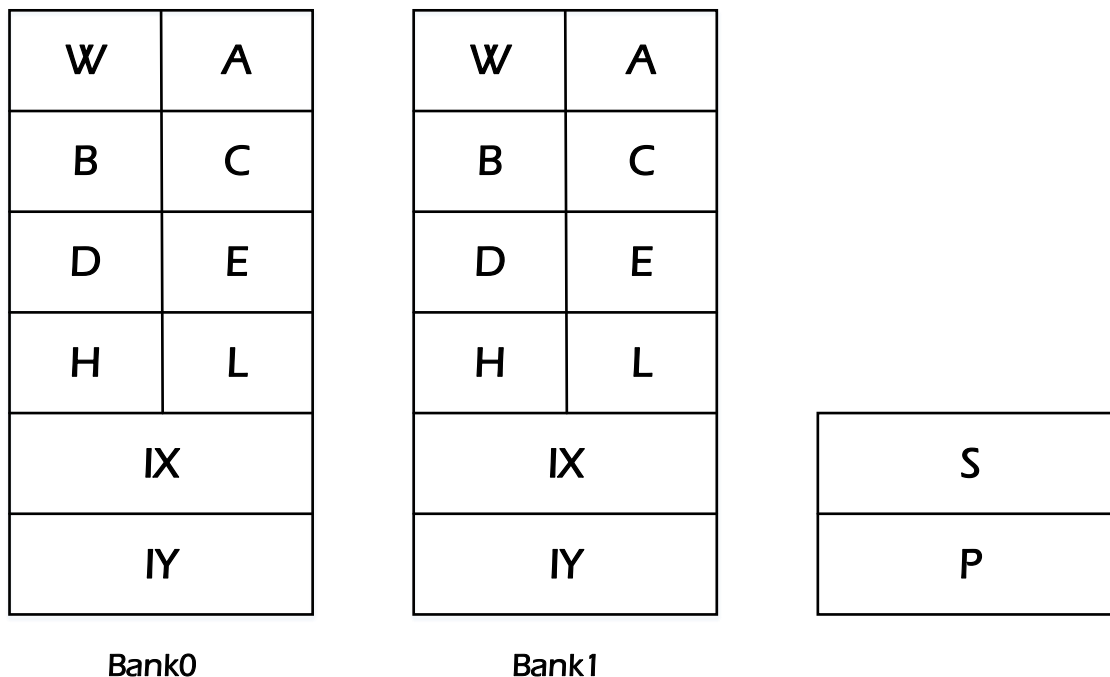


图 3-1 核心寄存器

#### 3.2.1 8 位通用寄存器

产品拥有 2 组相同的寄存器组，每组皆由 8 个 8 位寄存器所组成，这些通用寄存器是 W、A、B、C、D、E、H 及 L。这些寄存器也可相互配对成 16 位寄存器对 WA、BC、DE 以及 HL。当系统复位时，这些寄存器亦会复位为 0。

下列各章节将分别描述寄存器的特殊用途。

##### A 寄存器

利用 A 寄存器，位操作指令可指定一寄存器中的某个位，测试其数值或令其改变数值。A 寄存器也可支持 PC 相对寄存器间接寻址。

范例如下：

SET (0x56).A ; A 寄存器指定存储器 0x0056 位置并设置为 1

LD A(PC+A) ; 加载存储器 PC+A 位置之内容至 A 寄存器

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### C 寄存器

于除法指令中，C 寄存器作为除数寄存器，亦可于寄存器索引寻址时作为补偿值之寄存器。

范例如下：

```

DIV  WA, C    ; C 为除数
LD   A,(HL+C) ; C 为偏移量补偿寄存器
    
```

### DE 寄存器

于寄存器间接寻址时，此 16 位 DE 寄存器保存操作数所在的存储器地址。

范例如下：

```
LD  A, (DE) ; DE 为保存存储器地址之寄存器
```

### HL 寄存器

寄存器间接寻址时，此 16 位 HL 寄存器保存操作数所在的存储器地址。索引寻址时，HL 寄存器当作索引寄存器使用。

范例如下：

```

LD  A, (HL) ; HL 为保存存储器地址之寄存器
LD  A, (HL+0x52) ; HL 为索引寄存器
LD  A, (HL+C) ; HL 为索引寄存器
    
```

## 3.2.2 16 位通用寄存器

产品有 2 个 16 位通用寄存器 IX 和 IY。寄存器间接寻址时，IX 和 IY 寄存器保存操作数所在的存储器地址。索引寻址时，IX 和 IY 寄存器当作索引寄存器使用。当系统复位时 IX 和 IY 寄存器则会复位为 0。

范例如下：

```

LD  A, (IX) ; IX 为保存存储器地址之寄存器
LD  A, (IY+0x52) ; IY 为索引寄存器
LD  IX, (0x3A) ; IX 为通用寄存器
    
```

在非多重中断操作时，核心寄存器功能可用来存储通用寄存器。在中断开始时，设定运算指令(如范例：LD RBS,1)，核心寄存器功能将可进行存储或转换。中断结束后，不需再重新执行运算指令，RETI 指令将会依 PSW 内容，自动将核心寄存器恢复主任务执行时的寄存器。

注：两个核心寄存器(BANK0 与 BANK1)都可使用。各核心寄存器由 8 位通用寄存器(W,A,B,C,D,E,H 与 L)和 16 位通用寄存器(IX 与 IY)所组成。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

范例：主任务使用 BANK0，透过指令转换为 BANK1。

```

PINTxx :          LD          RBS,1          ;Switches to the register bank BANK1
                Interrupt processing
                RETI          ;RETURN
                                (Makes a return automatically to
                                BANK0 that was being used by the
                                main task when the PSW is restored)
    
```

### 3.2.3 程序状态字

程序状态字 PSW 位于地址 0x003F 的特殊功能寄存器 SFR 中。程序状态字 PSW 包含以下 6 个标帜位：

跳转状态标帜位 Jump Status Flag, JF

零标帜位 Zero Flag, ZF

进位标帜位 Carry Flag, CF

半进位标帜位 Half Carry Flag, HF

正负号标帜位 Sign Flag, SF

溢位标帜位 Overflow Flag, VF

除了通用的装载指令，专用指令亦可存取程序状态字组。下方表格列出条件跳转指令(例如“JJ cc,a”及“JRS cc,a”指令)中标志位的状况。

条件代码	描述	标志位状态
T	1	JF = 1
F	0	JF = 0
Z	Zero	ZF = 1
NZ	Not zero	ZF = 0
CS	Carry set	CF = 1
CC	Carry clear	CF = 0
VS	Overflow set	VF = 1
VC	Overflow clear	VF = 0
M	Minus	SF = 1
P	Plus	SF = 0
EQ	Equal	ZF = 1
NE	Not equal	ZF = 0
LT	Unsigned less than	CF = 1
GE	Unsigned greater than or equal to	CF = 0
LE	Unsigned less than or equal to	(CF ^ ZF) = 1
GT	Unsigned greater than	(CF ^ ZF) = 0
SLT	Signed less than	(SF ^ VF) = 1
SGE	Signed greater than or equal to	(SF ^ VF) = 0
SLE	Signed less than or equal to	ZF ^ (SF ^ VF) = 1
SGT	Signed greater than	ZF ^ (SF ^ VF) = 0

表 3-3 条件代码表

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.2.4 堆栈指针(SP)

堆栈指针 SP 是一个 16 位寄存器，用来存放堆栈区中下一个可用空闲区域的地址。执行堆栈指令 PUSH、调用一个子程序或系统中断后，堆栈指针 SP 会减 1。执行弹出指令 POP、由子程序或中断返回前，堆栈指针 SP 加 1。堆栈区中的地址次序安排是由高至低排列。

### 3.2.5 程序计数器(PC)

程序计数器 PC 是个 16 位寄存器，用来指示下一条要被执行的指令在程序存储器的地址。复位后，中央处理器 CPU 会将保存在矢量表中的复位矢量，装载进程序计数器 PC。CPU 接着读取并执行程序计数器所指示的地址所保存的指令。



### 3.3 寻址模式

SQ7613 产品线具备 9 种寻址模式，其中部分模式拥有不只一种类型，皆会于之后的章节分别描述。

寻址模式	类型数
寄存器间接寻址	7
直接寻址	2
寄存器寻址	1
立即寻址	1
相对寻址	2
绝对寻址	1
矢量寻址	1
直接位寻址	2
寄存器间接位寻址	1
总计	18

表 3-4 寻址模式及类型数量列表

#### 3.3.1 寄存器间接寻址

寄存器间接寻址(HL), (DE), (IX), (IY)

16 位寄存器组 HL、DE、IX 及 IY 内容为有效地址。

范例：LD A,(HL)

寄存器间接加以 8 位偏移寻址(HL+d), (IX+d), (IY+d)

16 位寄存器 HL、IX、IY 内容，再加入符号扩展之 8 位偏移量 d 脚本，为有效地址。

范例：LD A,(HL + 0x12)

寄存器索引寻址(HL + C)

寄存器 HL 内容，再加入符号扩展之 C 寄存器内容，为有效地址。

范例：LD A, (HL + C)

堆栈指针间接加以自动前置递增寻址(+SP)

堆栈指针 SP 递增内容为有效地址，而递增的 SP 不会影响到标志位。请注意，此寻址模式只能使用于指定源存储器地址。

范例：LD A, (+SP)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

堆栈指针间接加以自动递减寻址(SP-)

SP 为有效地址，于数据处理后，SP 的内容会自动递减，此寻址模式只能使用于指定目标储存器地址。

范例：LD (SP-),A

堆栈指针间接加以 8 位偏移寻址(SP+d)

SP 内容，并于脚本中符号扩展 8 位偏移量 d，结合以上为有效地址。

范例：LD WA, (SP + 0xD6)

PC 相对寄存器间接寻址(PC+A)

程序计数器 PC 内容，再加入符号扩展之 A 寄存器内容，为有效地址，此寻址模式只能使用于指定源地址。

范例：LD A, (PC + A)

### 3.3.2 直接寻址

8 位直接寻址(x)

有效地址直接指定为 8 位脚本 x，地址范围由 0x0000 至 0x00FF。

范例：LD A, (0x87)

16 位直接寻址(vw)

有效地址直接指定为 16 位脚本 vw，地址储存范围由 0x0000 至 0xFFFF。

范例：LD A, (0x5678)

### 3.3.3 寄存器寻址(r 或 rr)

r 或 rr 寄存器指令操作码之指定子可选定欲存取之寄存器。

范例：LD A, B

### 3.3.4 立即寻址(n 或 mn)

n 或 mn 寄存器指令操作码之指定子可选定欲存取之寄存器。

范例：LD A, 0x53

No. : TDDS01-57613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.3.5. 相对寻址

PC 相对加以 8 位偏移寻址

程序计数器 PC 内容，并于脚本中符号扩展 8 位偏移量  $d$ ，结合以上为有效地址。仅 JR 指令具有此寻址模式。

范例：JR \$ + 2 + 0x35

PC 相对加以 5 位偏移寻址

程序计数器 PC 内容，并于脚本中符号扩展 8 位偏移量  $d$ ，结合以上为有效地址。仅 JRS 指令具有此寻址模式。

范例：JRS \$ + 2 + 0x14

### 3.3.6 绝对寻址

有效位置为 16 位指令操作码指定。

范例：JR 0x0F1A3

### 3.3.7 矢量寻址

4 位运算符乘 2 后加入矢量呼叫表上方地址，并指出 16 位跳转目标地址(矢量地址)。只有 CALLV 指令拥有此寻址模式。

### 3.3.8 直接位寻址

寄存器位寻址

寄存器以及位指定子之指令操作码可于寄存器中选定一位位置，并对其值进行测试或是更换。

范例：SET A.3

存储器位寻址

存储器位寻址模式，脚本之位指定子选定于存储器中的位，其位所在位置由(HL)、(DE)、(IX)、(IY)、(HL+d)、(IX+d)、(IY+d)、(HL+C)、(+SP)、(SP+d)、(PC+A)、(x)或(vw)指出，并于此特定位进行位操作。

范例：SET (HL).1

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.3.9 寄存器间接位寻址

于存储器位寻址模式，A 寄存器中 3 个低位指定寄存器中的任一位，其所在位置由(HL)、(DE)、(IX)、(IY)、(HL + d)、(IX + d)、(IY + d)、(HL + C)、(+SP)、(SP + d)、(PC + A)、(x)或(vw)指出，并于此特定位置进行位操作。

范例：SET (HL).A

### 3.4 指令流水線

产品线核心使用三阶流水线执行指令动作，指令包含利用额外存取循环之存储器读存取

- 寄存器对寄存器运行
- 寄存器对存储器运行
- 存储器对寄存器运行
- 存储器对存储器运行
- 转跳
- 子过程调用及返回
- 软件中断(SWI)

#### 3.4.1 寄存器对寄存器运行

此运行方式为三阶流水线，详如下列所述。

寄存器对寄存器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	指令运行时间，执行单元会对指令进行作业，其结果会于执行循环结束后写回至寄存器堆



#### 3.4.2 寄存器对存储器运行

此运行方式为三阶流水线，详如下列所述。

寄存器对存储器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行单元会对指令进行作业，其结果于执行循环结束后写回储存数据缓冲器。缓冲器内的数据会于下一个循环时传送至总线接口

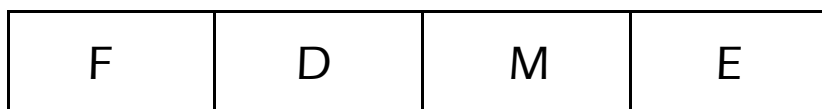


No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.4.3 存储器对寄存器运行

此类型的操作具存储器读取，因此有另一个存储器存取循环。

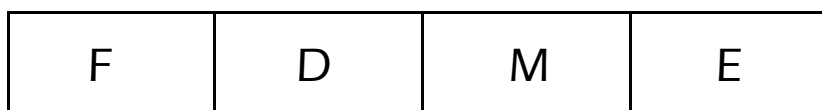
存储器对寄存器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
M	存储器存取循环，产生地址并传送至数据总线接口
E	运行时间，装载的数据会返回且执行单元进行作业，其结果会于执行循环结束后写回寄存器堆



### 3.4.4 存储器对存储器运行

此类型的操作在存储器写循环后进行存储器读取，因此具另一个存储器存取循环。

存储器对存储器运行之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
M	存储器存取循环，产生地址并传送至数据总线接口
E	运行时间，装载的数据会返回且执行单元进行作业，其结果会于执行循环结束后写回寄存器堆。其缓冲器内的数据会于下一个循环时传送至总线接口



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.4.5 跳转

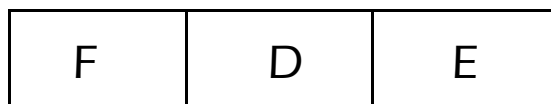
两种跳转类型：

跳转类型 1		跳转类型 2	
寻址模式	操作码	寻址模式	操作码
寄存器寻址	JP gg	寄存器间接寻址	JP (src*) *src: DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A
立即寻址	JP mn	直接寻址	JP (src*) *src: X, Ww
相对寻址	1) PC 相对加以 8 位偏移寻址 JR T, \$+2+d, etc. 2) PC 相对加以 5 位偏移寻址 JRS T, \$+2+d, etc.		
绝对寻址	JP 0x0F1A3		

◆ 类型 1 流水线：

此种转跳类型有三阶流水线作业，详如下列所述。

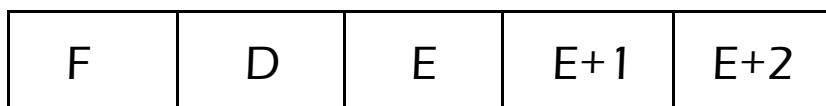
跳转类型 1 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行单元会对指令进行作业，其结果会于执行循环结束后写回至寄存器堆



◆ 类型 2 流水线：

此种跳转类型有五阶流水线作业，详如下列所述。

跳转类型 2 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，数据单元产生间接地址后传送至数据总线接口
E+1	转跳目标地址返回并储存于装载数据缓冲器
E+2	指令取出地址产生



No. : TDDS01-57613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.4.6 子过程调用及返回

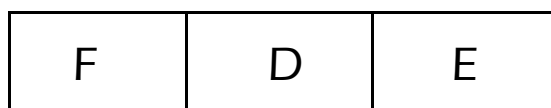
两种呼叫类型：

呼叫类型 1		呼叫类型 2	
寻址模式	操作码	寻址模式	操作码
寄存器寻址	-	寄存器寻址	-
立即寻址	-	直接寻址	-
绝对寻址	CALL 0x0F1A3		
矢量寻址	CALLV 0x9		

#### ◆ 类型 1 流水线

此种呼叫类型有三阶流水线作业，详如下列所述。

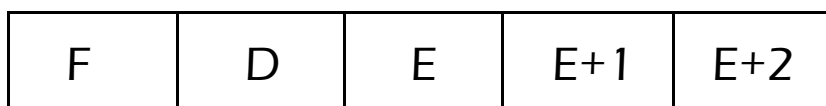
呼叫类型 1 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行单元会对指令进行作业，其结果会于执行循环结束后写回至寄存器堆



#### ◆ 类型 2 流水线

此种跳转类型有五阶流水线作业，详如下列所述。

呼叫类型 2 之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，数据单元产生间接地址后传送至数据总线接口
E+1	转跳目标地址返回并储存于装载数据缓冲器
E+2	指令取出地址产生



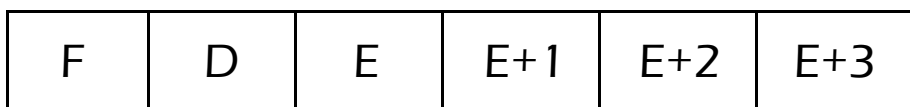


No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.4.7 软件中断(SWI)

软件中断指令有六阶流水线作业，详如下列所述。

软件中断之流水线作业	
代码	阶段工作
F	指令取出阶段，指令执行码会由编码存储器返回
D	指令译码阶段，指令被译码后传送至作业单元
E	运行时间，执行 SWI 指令，指令单元接收中断矢量地址同时产生指令取出地址。在此循环，PSW 推至堆栈区
E+1	中断矢量返回且将指令缓冲器视为转跳指令输入。在此循环，下一个操作码地址被推至堆栈区
E+2	译码跳转目标地址
E+3	指令单元矢量传至 SWI 中断程序



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.5 指令集总结

指令集可分成六个群族如下，并于各个节说明；此章节亦会描述指令助记符以及执行循环

数据传送及交换指令

算术逻辑单元(ALU)指令

位移/旋转及半字节操作指令

位及标志操作指令

转跳指令

呼叫、返回、软件中断以及无操作指令

#### 3.5.1 数据传送及交换指令

运算动作	描述	汇编语言	指令周期
Move	8-bit register to register operation	ld r, g	1
	16-bit register to register operation	ld rr, gg	1
	8-bit immediate to register	ld r, n	1
	16-bit immediate to register	ld rr, mn	1
	16-bit SP register move operation	ld SP, SP+d	1
	16-bit SP register move operation	ld SP, SP-d	1
Load	8-bit memory to register operation	ld r, (src*)	1
	16-bit memory to register	ld rr, (src*)	1
Store	8-bit register to memory	ld (dst*), r	1
	16-bit register to memory	ld (dst*), rr	1
	8-bit immediate to memory	ld (dst*), n	1
	16-bit immediate to memory	ld (dst*), mn	1
Push	16-bit register to memory stack	push rr	1
	8-bit PSW register to memory stack	push PSW	1
Pop	16-bit register from memory stack	pop rr	1
	8-bit PSW register from memory stack	pop PSW	1
Exchange	8-bit register to register	xch r, g	1
	16-bit register to register	xch rr, gg	1
	8-bit register to memory	xch r, (src*)	1
	16-bit register to memory	xch rr, (src*)	1
注 : src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A dst: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, SP-			

表 3-5 数据传送及交换指令

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.5.2 算术逻辑单元(ALU)指令

运算动作	描述	汇编语言	指令周期
Compare	8-bit register to an immediate value	cmp g,n	1
	16-bit register to an immediate value	cmp gg,mn	1
	8-bit register to another register	cmp r,g	1
	16-bit register to another register	cmp rr,gg	1
	8-bit register to memory content	cmp r,(src*)	1
	8-bit memory content to an immediate value	cmp (src*),n	1
	16-bit register to a memory content	cmp rr,(src*)	1
Add	8-bit register to an immediate value	add g,n	1
	16-bit register to an immediate value	add gg,mn	1
	8-bit register to another register	add r,g	1
	16-bit register to another register	add rr,gg	1
	8-bit register to memory content	add r,(src*)	1
	8-bit memory content to an immediate value	add (srcdst*),n	1
	16-bit register to a memory content	add rr,(src*)	1
Add with carry	8-bit register to an immediate value	addc g,n	1
	16-bit register to an immediate value	addc gg,mn	1
	8-bit register to another register	addc r,g	1
	16-bit register to another register	addc rr,gg	1
	8-bit register to memory content	addc r,(src*)	1
	8-bit memory content to an immediate value	addc (srcdst*),n	1
	16-bit register to a memory content	addc rr,(src*)	1
Substract	8-bit register to an immediate value	sub g,n	1
	16-bit register to an immediate value	sub gg,mn	1
	8-bit register to another register	sub r,g	1
	16-bit register to another register	sub rr,gg	1
	8-bit register to memory content	sub r,(src*)	1
	8-bit memory content to an immediate value	sub (src*),n	1
	16-bit register to a memory content	sub rr,(src*)	1
Substract with borrow	8-bit register to an immediate value	subb g,n	1
	16-bit register to an immediate value	subb gg,mn	1
	8-bit register to another register	subb r,g	1

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

运算动作	描述	汇编语言	指令周期
	16-bit register to another register	subb rr,gg	1
	8-bit register to memory content	subb r,(src*)	1
	8-bit memory content to an immediate value	subb (srcdst*),n	1
	16-bit register to a memory content	subb rr,(src*)	1
bitwise logical AND	8-bit register to an immediate value	and g,n	1
	16-bit register to an immediate value	and gg,mn	1
	8-bit register to another register	and r,g	1
	16-bit register to another register	and rr,gg	1
	8-bit register to memory content	and r,(src*)	1
	8-bit memory content to an immediate value	and (srcdst*),n	1
	16-bit register to a memory content	and rr,(src*)	1
bitwise logical OR	8-bit register to an immediate value	or g,n	1
	16-bit register to an immediate value	or gg,mn	1
	8-bit register to another register	or r,g	1
	16-bit register to another register	or rr,gg	1
	8-bit register to memory content	or r,(src*)	1
	8-bit memory content to an immediate value	or (srcdst*),n	1
	16-bit register to a memory content	or rr,(src*)	1
bitwise logical exclusive-OR	8-bit register to an immediate value	xor g,n	1
	16-bit register to an immediate value	xor gg,mn	1
	8-bit register to another register	xor r,g	1
	16-bit register to another register	xor rr,gg	1
	8-bit register to memory content	xor r,(src*)	1
	8-bit memory content to an immediate value	xor (srcdst*),n	1
	16-bit register to a memory content	xor rr,(src*)	1
Increment	8-bit register operation	dec r	1
	16-bit register operation	dec rr	1
	8-bit memory operation	dec (srcdst*)	1
Decrement	8-bit register operation	dec r	1
	16-bit register operation	dec rr	1
	8-bit memory operation	dec (srcdst*)	1

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

运算动作	描述	汇编语言	指令周期
Add with 8-bit packed BCD number	8-bit register operation	daa g	1
Subtract with 8-bit packed BCD number	8-bit register operation	das g	1
Multiply	8-bit register operation	mul mreg1*,mreg2*	1
Divide	8-bit register operation	div dreg1*, C	9
Negate	16-bit register operation	neg CS, gg	1
注： src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A srcdst: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A mreg1: W, B, D, H mreg2: A, C, E, L dreg1: WA, DE, HL			

表 3-6 算术逻辑单元(ALU)指令

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.5.3 位移/旋转及半字节操作指令

运算动作	描述	汇编语言	指令周期
Shift	8-bit register, logical shift left by one	shlc g	1
	8-bit register, logical shift right by one	shrc g	1
	16-bit register, arithmetic shift left by one	shlca gg	1
	16-bit register, arithmetic shift right by one	shrca gg	1
Rotate	8-bit register, rotate left with carry flag	rolc g	1
	8-bit register, rotate right with carry flag	rorc g	1
	8-bit memory-to-memory, rotate left and concatenate	rold A,(src*)	1
	8-bit memory-to-memory, rotate right and concatenate	rord A,(src*)	1
Swap	8-bit register, swap the high and low nibbles	swap g	1

注：

src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A

表 3-7 位移/旋转及半字节操作指令

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.5.4 位及标志操作指令

运算动作	描述	汇编语言	指令周期
Bit set	Set a bit of an 8-bit register using a 3-bit b field	set g.b	1
	Set a bit of a memory content using a 3-bit b filed	set (src*).b	1
	set a bit of a memory content using the loworder 3 bits of A register	set (src*).A	1
Bit clear	clear a bit of an 8-bit register using a 3-bit b field	clr g.b	1
	clear a bit of a memory content using a 3-bit b filed	clr (src*).b	1
	clear a bit of a memory content using the loworder 3 bits of A register	clr (src*).A	1
Bit complement	complement a bit of an 8-bit register using a 3bit b field	cpl g.b	1
	complement a bit of a memory content using a 3-bit b filed	cpl (src*).b	1
	complement a bit of a memory content using the low-order 3 bits of A register	cpl (src*).A	1
Bit Test	Test a bit of an 8-bit register using a 3-bit b field	test g.b	1
	Set a bit of a memory content using a 3-bit b filed	test (src*).b	1
	set a bit of a memory content using the low order 3 bits of A register	test (src*).A	1
Load Carry flag	Load the value of bit b of an 8-bit register into the Carry flag	ld CF, g.b	1
	Load the value of bit b in a memory location into the Carry flag	ld CF, (src*).b	1
	Load the value of a memory bit specified by the low-order 3 bits of register A into the Carry flag	ld CF, (src*).b	1
Store Carry flag	Store CF flag into the value of bit b of an 8-bit register	ld g.b,CF	1

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

运算动作	描述	汇编语言	指令周期
	Store CF flag into the value of bit b in a memory location	ld (src*).b,CF	1
	Store CF flag into the value of a memory bit specified by the low-order 3 bits of register A	ld (src*).b,A	1
Exclusive-OR Carry flag operation	Exclusive-OR the value of bit b of an 8-bit register with the Carry flag and place the result in the Carry flag	xor CF, g.b	1
	Exclusive-OR the value of bit b in a memory location with the Carry flag and place the result in the Carry flag	xor CF, (src*).b	1
	Exclusive-OR the value of a memory bit specified by the low-order 3 bits of register A with the Carry flag and place the result in the Carry flag	xor CF, (src*).b	1
Set Carry flag	Set the Carry flag	set cf	1
Clear Carry flag	Clear the Carry flag	clr cf	1
Complement Carry flag	Complement the Carry flag	cpl cf	1

注：

src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A

表 3-8 位及标志操作指令



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.5.5 跳转指令

运算动作	描述	汇编语言	指令周期
Conditional jump	Short relative jump with true jump flag	jrs T,\$+2+d	1
	Short relative jump with false jump flag	jrs F,\$+2+d	1
	Relative jump with true jump flag	jr T,\$+2+d	1
	Relative jump with false jump flag	jr F,\$+2+d	1
	Relative jump with true Zero flag	jr EQ,\$+2+d	1
	Relative jump with false Zero flag	jr NE,\$+2+d	1
	Relative jump with true Carry flag	jr LT,\$+2+d	1
	Relative jump with false Carry flag	jr GE,\$+2+d	1
	Relative jump with true Carry and Zero flags	jr LE,\$+2+d	1
	Relative jump with false Carry and Zero flags	jr GT,\$+2+d	1
	Relative jump with true Sign flag	jr M,\$+3+d	1
	Relative jump with false sign flag	jr P,\$+3+d	1
	Relative jump with true result of an exclusive-OR operation of Sign and Overflow flags	jr SLT,\$+3+d	1
	Relative jump with false result of an exclusive-OR operation of Sign and Overflow flags.	jr SGE,\$+3+d	1
	Relative jump with true Zero flag and true result of an exclusive-OR operation of Sign and Overflow flags	jr SLE,\$+3+d	1
	Relative jump with false Zero flag and false result of an exclusive-OR operation of Sign and Overflow flags	jr SGT,\$+3+d	1
	Relative jump with true Overflow flag	jr VS,\$+3+d	1
	Relative jump with false Overflow flag	jr VC,\$+3+d	1
Unconditional Jump	Jump with immediate addressing	JP mn	1
	Jump with register addressing	JP gg	1
	Jump with direct addressing mode or register indirect addressing mode	JP (src*)	3

注 : src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A

表 3-9 跳转指令

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 3.5.6 呼叫、返回、软件中断以及无操作指令

运算动作	描述	汇编语言	指令周期
Subroutine call	Vectored subroutine call	callv n	1
	Absolute subroutine call	call mn	1
	Subroutine call with register addressing mode	call gg	1
	Subroutine call with direct addressing mode or register indirect addressing mode	call (src*)	3
Return	Return from a subroutine	ret	3
	Return from a maskable interrupt service routine	reti	3
	Return from a non-maskable interrupt service routine	retn	3
Software interrupt	Software interrupt instruction	swi	4
NOP	No operation	nop	1
注：			
src: x, vw, DE, HL, IX, IY, IX+d, IY+d, SP+d, HL+d, HL+C, +SP, PC+A			

表 3- 10 呼叫、返回、软件中断以及无操作指令

## 4. 寻址区域

寻址区域可分作程序区域以及数据区域，其编码及数据存取可为字节存取或是字存取。可寻址存储器空间为 64KB 程序区域以及 64KB 数据存储器。

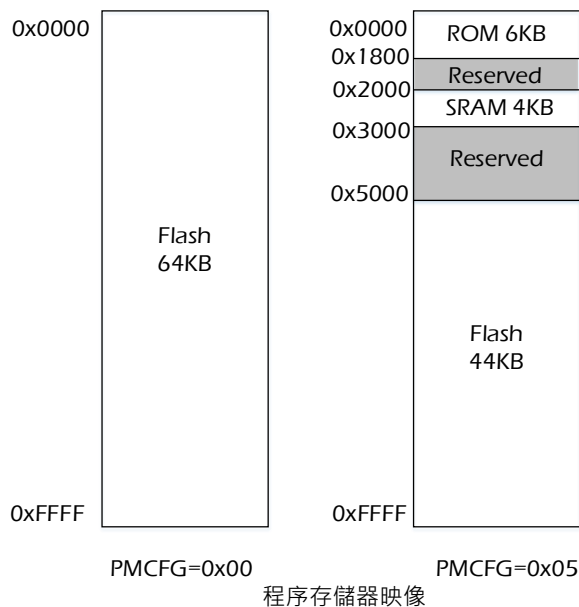


图 4-1 程序存储器映像

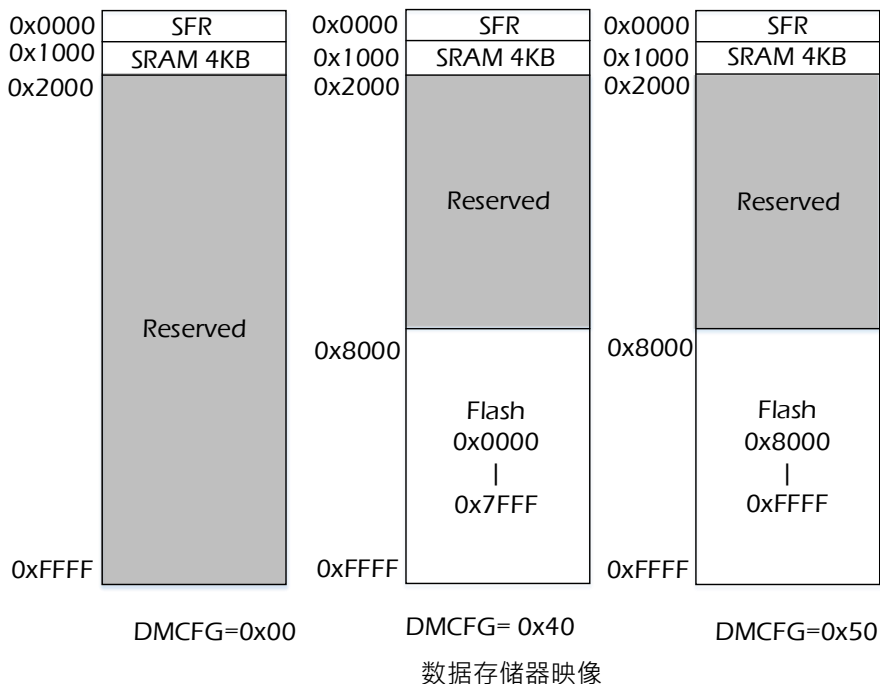


图 4-2 数据存储器映像

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 4.1 系统存储器架构

SQ7613 系统存储器，此区总共 64 字节存储器映像寄存器，此寄存器分成 3 种功能：

- 系统配置寄存器
- 系统控制寄存器
- 系统外围线路及控制寄存器

功能	位置	寄存器	描述
系统控制寄存器	0x0008	SYSCRO	系统控制寄存器 0
	0x0009	系统保留	
	0x000A	PMR	电源模式寄存器
	0x000B	RSTFLG	Reset 状态寄存器
	0x000C   0x000F	系统保留	
系统外围线路及控制寄存器	0x0010   0x001F	系统保留	
	0x0020	CLKCR0	时钟控制寄存器 0
	0x0021	CLKCR1	时钟控制寄存器 1
	0x0022	系统保留	
	0x0023	CLKCR3	时钟控制寄存器 3
	0x0024	PLLCR0	PLL 控制寄存器 0
	0x0025   0x0026	系统保留	
	0x0027	FCKDIV	Flash 时钟分频寄存器
	0x0028	WDCTR	看门狗控制寄存器
	0x0029	WDCDR	看门狗控制数据寄存器
	0x002A	WDCNT	8 位上数计数器监控寄存器
	0x002B	WDST	看门狗状态寄存器
	0x002C   0x002D	系统保留	
	0x002E	TBTCR	时基定时器控制寄存器
	0x002F	DVOCR	分频输出控制寄存器
	0x0030	CMSR	时钟监控状态寄存器
	0x0031	LVDCR	低电压侦测控制寄存器
	0x0032   0x0033	系统保留	

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

功能	位置	寄存器	描述
	0x0034	PONCR	上电控制寄存器
	0x0035	CMCR	时钟监控控制寄存器
	0x0036   0x0037	系统保留	
	0x0038	PMCFG	程序存储器配置寄存器
	0x0039	DMCFG	数据存储器配置寄存器
	0x003A	MIFR	中断主允许寄存器
	0x003B   0x003E	系统保留	
	0x003F	PSW	程序状态字寄存器

表 4-1 系统存储器架构

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 4.1.1 系统控制寄存器

系统控制信息皆储存于此区域。

地址	寄存器	描述
0x0008	SYSCRO	系统控制寄存器 0
0x000A	PMR	电源模式寄存器
0X000B	RSTFLG	Reset 状态寄存器

#### 系统控制寄存器 0(SYSCRO)

SYSCRO	7	6	5	4	3	2	1	0
位符号	reserved		reserved	reserved	XRSTDIS	OCDDIS	ROMST	reserved
读/写	-		-	-	R/W	R/W	R	-
复位后	0		0	0	0	0	0	0

注 1：第 0 位只能以上电复位

注 2：所有硬件及软件复位皆可使此寄存器复位。

注 3：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

XRSTDIS	外部复位失效	0：外部复位脚位可使用 1：外部复位脚位挪为其他功能使用
OCDDIS	OCD 失效	0：OCD 脚位可使用 1：OCD 脚位挪为其他功能使用
ROMST	ROM 状态位	0：ROM CRC 校验通过 1：ROM CRC 校验失败

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 电源模式寄存器(PMR)

此寄存器主要设置装置的工作模式。

PMR	7	6	5	4	3	2	1	0
位符号	reserved		reserved	LDOON	DSM	PMODE[2:0]		
读/写	-		-	R/W	R/W	R/W	R/W	R/W
复位后	0		0	0	0	0	0	0

注：所有复位与有效唤醒源皆可使第 0-2 位复位。

LDOON	LDO 启动	0：于深眠模式启动 LDO 節電模式 1：于深眠模式关闭 LDO 節電模式
DSM	深眠模式	0：使用 Sleep 指令進入睡眠模式 1：使用 Sleep 指令進入深眠模式
PMODE [2:0]	电源模式	000：一般模式 其他：系统保留

### Reset 状态寄存器(RSTFLG)

RSTFLG	7	6	5	4	3	2	1	0
位符号	CLR	Reserved			BLMP	WDTF	Reserved	EXBRORF
读/写	W	R	R	R	R	R	R	R
复位后	0	0	0	0	1	0	0	1

CLR	清除 RSTFLG	0：无复位 1：有复位状态 (写 1 清除, write 1 clear)
BLMF	Bootloader 复位旗帜	1：有 bootloader 复位 0：无 bootloader 复位
WDTF	Watch dog 复位旗帜	1：有 Watch dog 复位 0：无 Watch dog 复位
EXBRORF	外部复位或 BROR 复位旗帜	1：有外部复位或 BROR 复位 0：无外部复位或 BROR 复位

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**唯一标识符寄存器( UID)**

UID	7	6	5	4	3	2	1	0
位符号	UIDn							
读/写	R/W							
复位后	*	*	*	*	*	*	*	*

注 1：唯一标识符寄存器将回传设备标示码(device identification number)。复位值依出厂设定而定。

注 2：一组 UID 为 16 bytes，读取前须先对 FCMD 进行设定，细节请参照官网范例程序。

( <http://www.imqtech.com/tech/technicaldocuments/samplecode> )



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

#### 4.1.2 系统外围线路及控制寄存器

系统外围线路为：

- 时钟控制器以及监控器
- 看门狗定时器(WDT)
- 时基定时器(TBT)
- 时钟分频器输出(DVO)

以上的外围线路会于相关章节进行说明。

系统寄存器如下：

- 程序存储器配置寄存器 PMCFG
- 数据存储器配置寄存器 DMCFG
- 中断主允许寄存器 MIFR
- 程序状态字寄存器 PSW

以上寄存器会于以下章节进行介绍。

地址	寄存器	描述
0x0038	PMCFG	程序存储器配置寄存器
0x0039	DMCFG	数据存储器配置寄存器
0x003A	MIFR	中断主允许寄存器
0x003F	PSW	程序状态字寄存器

#### 程序存储器配置寄存器(PMCFG)

PMCFG	7	6	5	4	3	2	1	0
位符号	PMCFG[7:0]							
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1：所有硬件与软件复位皆可使此寄存器复位

注 2：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

PMCFG	程序区域映像配置	PMCFG=0x00: RAM,ROM 无映像至程序区域 PMCFG=0x05: RAM,ROM 映像至程序区域, RAM 于 0x2000 开始映像, ROM 于 0x0000 开始映像
-------	----------	--

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**数据存储器配置寄存器(DMCFG)**

DMCFG	7	6	5	4	3	2	1	0
位符号	DMCFG[7:0]							
读/写	R	R/W	R/W	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 考虑未来的兼容性问题 · 位符号为 reserve 必须写入 0

DMCFG	数据区域映像配置	<p>DMCFG=0x00: Flash 与 ROM 无映像至数据区域(data area)</p> <p>DMCFG=0x40: Flash 0x0000-0x7FFF映像至0x8000-0xFFFF , ROM无映像至数据区域(data area)</p> <p>DMCFG=0x50: Flash 0x8000-0xFFFF 映像至 0x8000-0xFFFF , ROM 无映像至数据区域(data area)</p>
-------	----------	---

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**中断主允许寄存器(MIFR)**

MIFR	7	6	5	4	3	2	1	0
位符号	reserved							IMF
读/写	R							R/W
复位后	0							0

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 考虑未来的兼容性问题 · 位符号为 reserve 必须写入 0

IMF	中断主允许标志	此位由允许中断指令(EI)开启；并藉由禁止中断指令清除(DI)清除
-----	---------	-----------------------------------

**程序状态字寄存器(PSW)**

PSW	7	6	5	4	3	2	1	0
位符号	JF	ZF	CF	HF	SF	VF	RBS	-
读/写	R	R	R	R	R	R	R	-
复位后	0	0	0	0	0	0	0	*

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 第 0 位保留给 IMF 标志 · 此位只能读 · 寄存器位则在 0x003A 存储器映像寄存器中。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

程序状态字 PSW 包含 7 位状态标志，由特定 CPU 运作可进行标志更新。RBS 与 HF 之外的标志皆可于条件跳转指令中指定为条件代码(Conditional Code,CC)，例如“JR cc, a”及“JRS cc, a”，条件代码说明如下。

条件代码	描述	状态
T	1	JF = 1
F	0	JF = 0
Z	Zero	ZF = 1
NZ	Not zero	ZF = 0
CS	Carry set	CF = 1
CC	Carry clear	CF = 0
VS	Overflow set	VF = 1
VC	Overflow clear	VF = 0
M	Minus	SF = 1
P	Plus	SF = 0
EQ	Equal	ZF = 1
NE	Not equal	ZF = 0
LT	Unsigned less than	CF = 1
GE	Unsigned less than or equal to	CF = 0
LE	Unsigned less than or equal to	$(CF \wedge ZF) = 1$
GT	Unsigned greater than	$(CF \wedge ZF) = 0$
SLT	Signed less than	$(SF \wedge VF) = 1$
SGE	Signed greater than or equal to	$(SF \wedge VF) = 0$
SLE	Signed less than or equal to	$ZF \wedge (SF \wedge VF) = 1$
SGT	Signed greater than	$ZF \wedge (SF \wedge VF) = 0$

表 4-2 条件代码清单

## 4.2 外围存储器

此存储器区域由 0x0030 至 0x0FFF。在此产品线中，外围存储器映像被广泛的运用。

外围存储器区域于下章节有详细描述。

### 4.2.1 外围存储器区域 1

此区域拥有总共 976 字节大小的存储器映像寄存器，所有与 870C1 兼容的外围线路与外围控制寄存器皆位于此区域；另外，测试相关寄存器亦于此区域。870C1 APB 兼容的外围线路包含以下功能：

#### Flash 控制器

- 8 个 16 位定时器
- 3 个 UART
- 2 个 I2C
- 2 个 SIO
- 8 组唤醒 Key-on wakeup
- 8 个外部中断
- 28 个内部中断控制
- 通用 I/O 控制器

外围线路细节于外围线路章节进行叙述。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

地址	字节 3	字节 2	字节 1	字节 0	寄存器
0x0040	FADDR1	FADDR0	FCR1	FCR0	Flash 控制器
0x0044	系统保留	系统保留	FDATA1	FDATA0	
0x0048   0x0067	系统保留				
0x0068	TA3CR	TA2CR	TA1CR	TA0CR	8 个 16 位定 时器
0x006C	TA7CR	TA6CR	TA5CR	TA4CR	
0x0070	TA3MOD	TA2MOD	TA1MOD	TA0MOD	
0x0074	TA7MOD	TA6MOD	TA5MOD	TA4MOD	
0x0078	TA3SR	TA2SR	TA1SR	TA0SR	
0x007C	TA7SR	TA6SR	TA5SR	TA4SR	
0x0080	TA0DRBH	TA0DRBL	TA0DRAH	TA0DRAL	
0x0084	TA1DRBH	TA1DRBL	TA1DRAH	TA1DRAL	
0x0088	TA2DRBH	TA2DRBL	TA2DRAH	TA2DRAL	
0x008C	TA3DRBH	TA3DRBL	TA3DRAH	TA3DRAL	
0x0090	TA4DRBH	TA4DRBL	TA4DRAH	TA4DRAL	
0x0094	TA5DRBH	TA5DRBL	TA5DRAH	TA5DRAL	
0x0098	TA6DRBH	TA6DRBL	TA6DRAH	TA6DRAL	
0x009C	TA7DRBH	TA7DRBL	TA7DRAH	TA7DRAL	
0x00A0	UART0SR	UART0DR	UART0CR2	UART0CR1	3 个 UART
0x00A4	UART1CR2	UART1CR1	TD0BUF	RD0BUF	
0x00A8	TD1BUF	RD1BUF	UART1SR	UART1DR	
0x00AC	UART2SR	UART2DR	UART2CR2	UART2CR1	
0x00B0	系统保留		TD2BUF	RD2BUF	
0x00B4	系统保留				
0x00B8	I2C0AR	SBI0SR	SBI0CR2	SBI0CR1	2 个 I2C
0x00BC	SBI1SR	SBI1CR2	SBI1CR1	SBI0DBR	
0x00C0	系统保留		SBI1DBR	I2C1AR	
0x00C4   0x00C8	系统保留				
0x00CC	系统保留				
0x00D0	SIO0BUF	SIO0SR	SIO0CR2	SIO0CR1	2 个 SIO
0x00D4	SIO1BUF	SIO1SR	SIO1CR2	SIO1CR1	
0x00D8   0x00DC	系统保留				
0x00E0	P3DO	P2DO	P1DO	P0DO	
0x00E4	系统保留		P5DO	P4DO	GPIO DO
0x00E8   0x00EC	系统保留				
0x00F0	P3DI	P2DI	P1DI	P0DI	
0x00F4	系统保留		P5DI	P4DI	GPIO DI
0x00F8   0x00FC	系统保留				
0x0100	P3OE	P2OE	P1OE	P0OE	
0x0104	系统保留		P5OE	P4OE	GPIO OE
0x0108   0x010C	系统保留				
0x0110	P3PU	P2PU	P1PU	P0PU	
0x0110	P3PU	P2PU	P1PU	P0PU	GPIO PU

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

地址	字节 3	字节 2	字节 1	字节 0	寄存器
0x0114	系统保留		P5PU	P4PU	
0x0118	系统保留				
0x011C	系统保留				
0x0120	P3PD	P2PD	P1PD	P0PD	GPIO PD
0x0124	系统保留		P5PD	P4PD	
0x0128	系统保留				
0x012C	系统保留				
0x0130	P3DSEL	P2DSEL	P1DSEL	P0DSEL	GPIO DSEL
0x0134	系统保留		P5DSEL	P4DSEL	
0x0138	系统保留				
0x013C	系统保留				
0x0140	P3FC1	P2FC1	P1FC1	P0FC1	GPIO FC1
0x0144	系统保留		P5FC1	P4FC1	
0x0148	系统保留				
0x014C	系统保留				
0x0150	P3FC2	P2FC2	P1FC2	P0FC2	GPIO FC2
0x0154	系统保留		P5FC2	P4FC2	
0x0158	系统保留				
0x015C	系统保留				
0x0160	FSELR3	FSELR2	FSELR1	FSELR0	功能选择
0x0164	系统保留		FSELR5	FSELR4	
0x0168	系统保留				
0x016C	PCSELR3	PCSELR2	PCSELR1	PCSELR0	外围线路通道选择
0x0170	系统保留			PCSELR4	
0x0174	系统保留				
0x0178	PCKEN3	PCKEN2	PCKEN1	PCKEN0	外围线路时钟允许
0x017C	PCKEN7	PCKEN6	PCKEN5	PCKEN4	
0x0180	系统保留				系统保留
外围线路复位	PRSTR7	系统保留			外围线路复位
0x0188	系统保留		KWUCR1	KWUCR0	唤醒
0x018C	系统保留		KWUSR1	KWUSR0	
0x0190	EINTCR3	EINTCR2	EINTCR1	EINTCR0	外部中断
0x0194	EINTCR7	EINTCR6	EINTCR5	EINTCR4	
0x0198   0x019F	系统保留				
0x01A0	IFR3	IFR2	IFR1	IFR0	内部中断
0x01A4	IFR7	IFR6	IFR5	IFR4	
0x01A8	系统保留		IFR10	IFR9	
0x01AC	系统保留				
0x01B0	IER3	IER2	IER1	IER0	
0x01B4	IER7	IER6	IER5	IER4	

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

地址	字节 3	字节 2	字节 1	字节 0	寄存器
0x01B8	系统保留	IER10	IER9	IER8	
0x01BC	系统保留				
0x01C0	IPR3	IPR2	IPR1	IPR0	
0x01C4	IPR7	IPR6	IPR5	IPR4	
0x01C8	IPR11	IPR10	IPR9	IPR8	
0x01CC	IPR15	IPR14	IPR13	IPR12	
0x01D0	IPR19	IPR18	IPR17	IPR16	
0x01D4	系统保留	系统保留	系统保留	IPR20	
0x01D8	系统保留				
0x01DC	系统保留				
0x01E0   0x02FF	系统保留				ADC
0x0300	系统保留	ADCCR2	ADCCR1	ADCCR0	
0x0304	ADCSCAN0	ADCLV	系统保留	ADCCKDIV	
0x0308	ADCCHRDY	ADCSR	系统保留	ADCSCAN1	
0x030C	系统保留			ADCCHSEL	
0x0310	ADCLLVH	ADCLLVL	ADCDRH	ADCDRL	
0x0314	系统保留		ADCHLVH	ADCHLVL	
0x0318   0x086F	系统保留				乘法器
0x0870	系统保留		MACCR1	MACCR0	
0x0874	MACA3	MACA2	MACA1	MACA0	
0x0878	MACB3	MACB2	MACB1	MACB0	
0x087C	MACC3	MACC2	MACC1	MACC0	
0x0880	系统保留			MACC4	
0x0900   0x0FFF	系统保留				

表 4-3 外围存储器映像



## 5.系统运行

此功能涵盖下方功能：

- 工作模式
- 复位
- 唤醒
- 中断
- 系统供电监控

### 5.1 工作模式

产品拥有 3 种工作模式

- 一般模式
- 睡眠模式
- 深眠模式

一般模式为正常运行模式。在低功耗模式，CPU 可进入睡眠、深眠，以上两种模式，皆可进行功耗节约，逐渐降低电流消耗值，使系统运行所需电流由 mA 降至 uA 等级。

下表总结以上模式中各功能开启/关闭状态。

模式	普通	睡眠	深眠
CPU 时钟	ON	OFF	OFF
外围 时钟	ON*	ON*	OFF*
LDO	ON	ON	OFF
BROR	ON*	ON*	ON*
LVD	OFF*	OFF*	OFF*
PLL	OFF*	OFF*	OFF
HXTAL	OFF*	OFF*	OFF
HIRC	ON*	ON*	OFF
LIRC	ON	ON	ON
Flash	ON	ON	OFF
RAM	ON	ON	Retention
备注	* : 可以透过软件选择开启或关闭 Retention: 数据保留		

表 5-1 系统工作模式以及所对应之功能状态

更多关于时钟功能细节，可参考时钟控制器章节。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.1.1 一般模式

在一般模式，CPU 可于最高时钟速度下执行指令，可满足高数据通量需求。当不需要高数据通量时，可降低系统时钟频率或是切换为低频率系统时钟，可节约功耗。另外，若外围装置的时钟不使用时可关闭，亦可节约功耗。

### 5.1.2 睡眠模式

低功耗模式下，系统可高速响应中断，并节约功耗。在此模式下，CPU 时钟关闭，且 PLL 保持工作状态并锁定。可视系统运行需要，关闭 PLL 以及高频内部参考时钟；外围线路若无使用时亦可关闭。

进入方式：

此模式可藉由执行睡眠指令进入。

◆ 退出方式：

使用 WDT INT/WDT RST 以外的中断源或复位皆可唤醒 CPU。

### 5.1.3 深眠模式

此模式下，CPU 与所有外围电路时钟皆关闭，PLL 及高频内部参考时钟亦无法使用，另外，ROM 和 Flash 也为掉电状态。只有核心稳压器为保持模式。若要使用 KWI 与 LVD 退出深眠模式，进深眠模式前需请将 CLKCR1 <HIRCEN>=1。

◆ 进入方式：

此模式可藉由执行睡眠指令进入。

◆ 退出方式：

在此模式，KWI 引脚可唤醒 CPU。若系统电源监控器开启，LVD 事件可立即唤醒 CPU，CPU 可于微秒内响应唤醒事件。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.1.4 低功耗模式

产品可由睡眠指令或电源模式寄存器 PMR( Power Mode Register)进入低功耗模式：

#### 进入低功耗模式

在低功耗模式下，CPU 时钟可关闭；若所选择的产品支持保持模式，CPU 亦可关闭电源。

#### 退出低功耗模式

系统接收到一中断事件并重新启动 CPU 时钟。产品支持保持模式，CPU 电源亦会重新开启，并继续执行进入低功耗模式前暂停的工作。

#### 5.1.4.1 低功耗模式唤醒源

各低功耗模式的唤醒源如下：

电源模式	唤醒源
睡眠模式	全部的中断与复位
深眠模式	KWI 脚位与 OCD 睡眠释放命令。深眠模式下，LVD 可唤醒装置。若要使用 KWI 与 LVD 退出深眠模式，进深眠模式前需先将 CLKCR1<HIRCEN>=1。

## 5.2 复位控制线路

复位线路可控制外部和内部的复位因素并使系统复位。

### 5.2.1 复位架构

复位线路可控制外部和内部的复位因素并使系统复位。

1. 外部复位输入(RESETB · 外部因素)
2. 上电复位(POR · 内部因素)
3. 掉电复位(BROR, 内部因素)
4. 看门狗定时器复位(WDT · 内部因素)

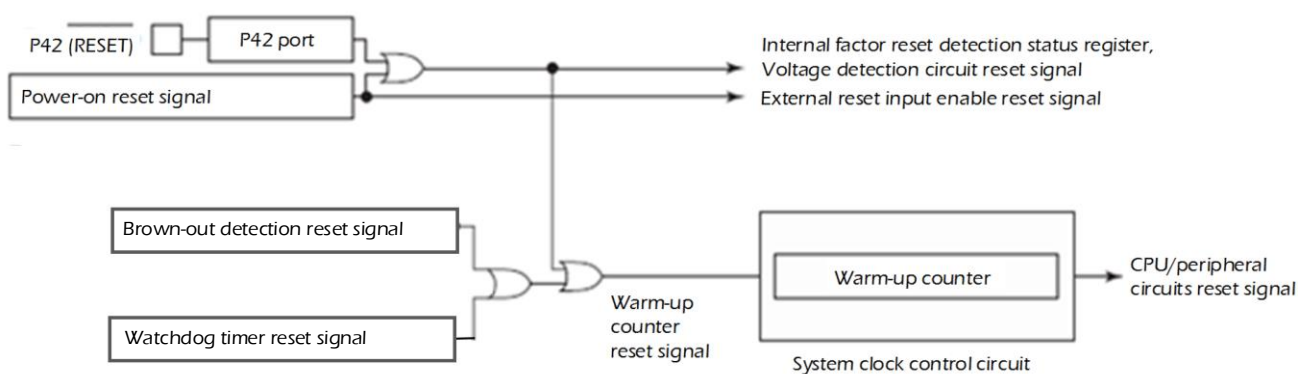


图 5-1 复位架构

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.2.2 复位控制

复位控制线路是由系统控制寄存器 0(SYSCTRL) · Reset 状态寄存器 (RSTFLG))所控制。

地址	寄存器	描述
0x0008	SYSCTRL	系统控制寄存器 0
0X000B	RSTFLG	Reset 状态寄存器

#### 系统控制寄存器 0(SYSCTRL)

SYSCTRL	7	6	5	4	3	2	1	0
位符号	reserved		reserved	reserved	XRSTDIS	OCDDIS	ROMST	reserved
读/写	-		-	-	R/W	R/W	R	-
复位后	0		0	0	0	0	0	0

注 1：第 0 位只能以上电复位

注 2：所有硬件及软件复位皆可使此寄存器复位。

注 3：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

XRSTDIS	外部复位失效	0：外部复位脚位可使用 1：外部复位脚位挪为其他功能使用
OCDDIS	OCD 失效	0：OCD 脚位可使用 1：OCD 脚位挪为其他功能使用
ROMST	ROM 状态位	0：ROM CRC 校验通过 1：ROM CRC 校验失败

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**Reset 状态寄存器(RSTFLG)**

RSTFLG	7	6	5	4	3	2	1	0
位符号	CLR	Reserved				WDTF	Reserved	EXBRORF
读/写	W	R	R	R	R	R	R	R
复位后	0	0	0	0	1	0	0	1

CLR	清除 RSTFLG	0 : 无复位 1 : 有复位状态 (写 1 清除, write 1 clear )
WDTF	Watch dog 复位旗帜	0 : 有 Watch dog 复位 1 : 无 Watch dog 复位
EXBRORF	外部复位或 BROR 复位旗帜	0 : 有外部复位或 BROR 复位 1 : 无外部复位或 BROR 复位

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.2.3 复位功能

在系统复位期间，所有核心寄存器会复位至复位设定值。程序计数器(PC)装载复位中断矢量，复位处理器所使用的 CPU 矢量是基于中断矢量的内容。

系统供电监控、外部复位输入、看门狗复位，都会产生复位。在离开复位状态后，此装置会进行初始化。

上电状态下，供电监控产生上电复位及掉电复位 (Brown-Out Reset, BROR) 初始化装置。当侦测到电源供应源有不稳定的情况时，将会产生复位，避免芯片不正常工作。

RESET 外部复位输入，当上电后，输入脚位默认为复位功能，此装置会立刻进行复位，复位功能为低电平有效 (low-active)。

看门狗定时器超时或其他故障状况，即产生复位。看门狗超时与外部复位相似。

用户亦可透过以下软件程序设定，产生装置复位。

```
PRSTR7 = 0x5A;  
PRSTR7 = 0xA5;  
PRSTR7 = 0xC3;  
PRSTR7 = 0x3C;
```

执行以上软件程序，到 CPU 复位时间约 2us (@16MHz)；CPU 复位到 ready (不包含 BOOTROM code 执行) 约需 16us (@16MHz)。



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.2.4 装置初始化

当装置初始化，下列情况将于复位期间进行：

寄存器复位至复位值

GPIO 脚位复位至输入 high-Z 状态

下方表格总结出在不同复位源，所进行的装置初始条件以及系统初始化。

复位源	CPU	GPIO	Peripheral SFR	复位时间 (typ.,sysclk=16MHz)
RESET(外部复位输入)	是	是	是	4 ms
BROR(掉电复位)	是	是	是	
上电复位	是	是	是	
看门狗复位	是	是	是	145 us
软件复位	是	是	是	16 us

表 5-2 装置初始化

注：以上复位时间不包含 BOOTROM code 执行时间；BOOTROM code 执行时间约需 50ms(typ.)。

内置硬件	复位时	唤醒中	唤醒后
程序计数器 PC	0xFFFFE	0xFFFFE	0xFFFFE
堆栈指针 SP	0x1FFF	0x1FFF	0x1FFF
程序状态字 PSW	0x00	不确定	不确定
数据存储器 RAM	不确定	不确定	不确定
通用功能寄存器 (W、A、B、C、D、E、H、L、IX和IY)	不确定	不确定	不确定
跳转状态标帜位 JF	不确定	不确定	不确定
零标帜位 ZF	不确定	不确定	不确定
进位标帜位 CF	不确定	不确定	不确定
半进位标帜位 HF	不确定	不确定	不确定
正负号标帜位 SF	不确定	不确定	不确定
溢位标帜位 VF	不确定	不确定	不确定
中断主允许标帜 IMF	0	0	0
中断允许标帜 IER	0	0	0
中断标帜寄存器 IFR	0	0	0
高速时钟振荡线路	振荡允许	振荡允许	振荡允许
低速时钟振荡线路	振荡禁止	振荡禁止	振荡禁止
唤醒计数器	复位	开始	停止
看门狗定时器	禁止	禁止	允许
电压检测线路	禁止或允许	禁止或允许	禁止或允许
I/O端口引脚状态	高阻	高阻	高阻
特殊功能寄存器	参考SFR说明	参考SFR说明	参考SFR说明

表 5- 3 SQ7613 利用复位操作进行内置硬件的初始化及完成复位后的状态

注：电压检测线路只能由上电复位 (Power-on Reset) 进行功能禁止。

## 5.2.5 复位信号产生因素

复位信号是依以下的因素产生:

### 5.2.5.1 外部复位输入(RESETB 引脚输入)

P42 端口可作 RESETB 引脚使用。上电后，P42 默认是复位功能，请注意必须为高电平后，芯片才能正常工作。芯片正常工作后可以通过程序设定为 IO 端口。

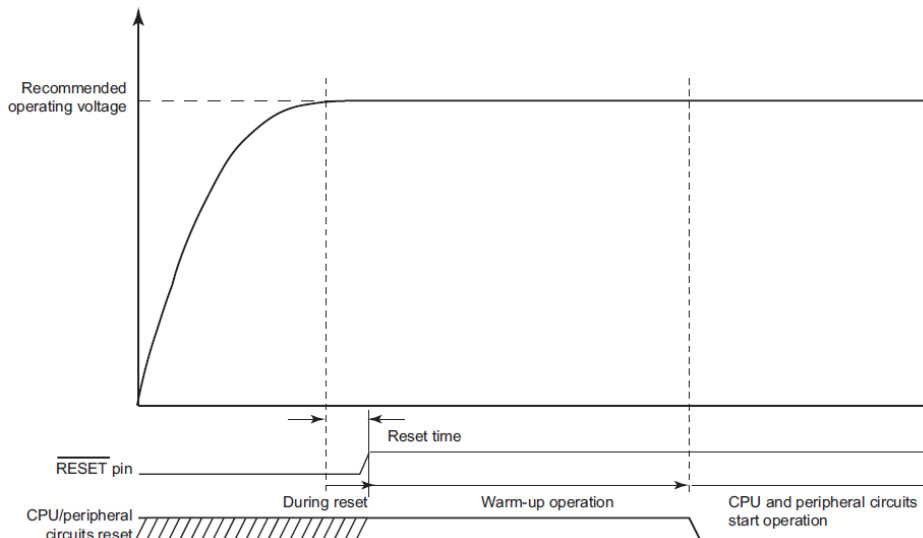


图 5-2 外部复位输入(上电时)

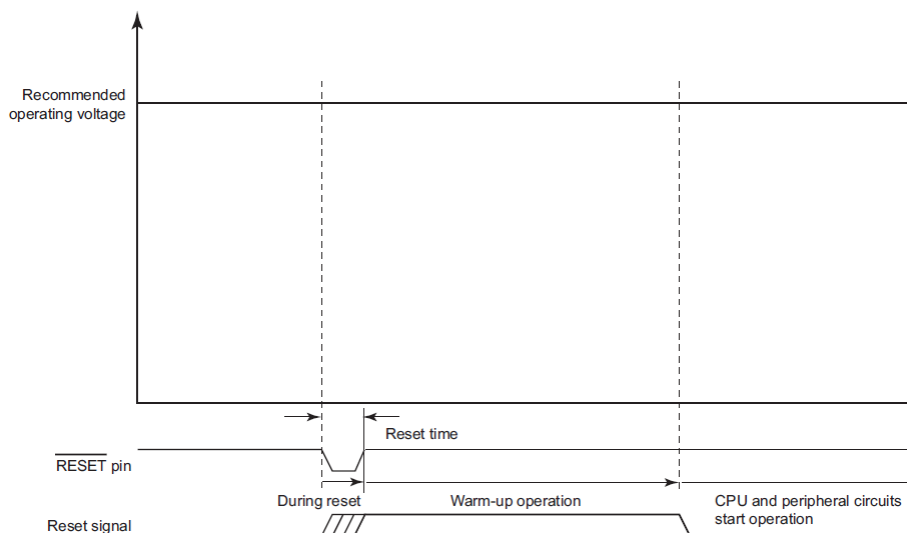


图 5-3 外部复位输入(电压稳定时)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

系统上电过程中， $\overline{\text{RESET}}$  引脚设定为低电平时进行复位，Warm-up operation time 约: 4ms。

如果供应电压在建议操作电压范围内，而 $\overline{\text{RESET}}$  引脚在振荡稳定的情况下维持在低电平 10  $\mu\text{s}$ ，系统会进行复位。Warm-up operation time 约: 4ms

在以上两种情况下，改变 $\overline{\text{RESET}}$  引脚的为高电平系统复位后，系统会在脱离复位后开始进行唤醒操作。

注：当供应电压等于或低于上电复位线路的检测电压时，就算 RESET 引脚为“H”，系统也不会脱离上电复位。

### 5.2.5.2 上电复位

上电复位是种发生在系统上电时的一种内部因素复位。

供应电压升高的过程中，供应电压若低于或等于上电复位线路的释放电压，会产生复位信号。如果供应电压高于该释放电压，复位信号会被解除。

供应电压降低的过程中，供应电压若低于或等于上电复位线路的检测电压，会产生复位信号。相关说明请参考“5.2 上电复位线路”。

### 5.2.5.3 掉电复位

掉电检测复位是一种内部因素复位，用于监测系统运行时 VDD 电平。当 VDD 下降到所设定的掉电触发电平(VBROR)时，掉电复位便会发生。相关说明请参考“5.4 掉电复位”。

### 5.2.5.4 看门狗定时器(WDT) 复位

看门狗定时器复位是一种内部因素复位。当看门狗定时器发生溢位时，看门狗定时器复位便会发生。相关说明请参考“12.1 看门狗定时器”。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.2.5.5 使用 P42 作外部复位

若要使用 P42 进行外部复位，在系统上电且复位释放后的唤醒操作完成前，保持 P42 在高电平。

上电复位后的系统唤醒操作完成后，设定 P4OE2 为"0"，并将上拉电阻连接至 P42 端口。接着清除 SYSCR0<XRSTDIS>为"0"。如此可允许外部复位功能并使用 P42 端口为复位输入引脚。

要使用 P42 作 IO 引脚，设定 SYSCR0<XRSTDIS>为"1"。

*注 1 : P42 引脚稳定地位于高电平时，才可进行由外部复位输入引脚切换成 IO 引脚，或是由 IO 引脚切换成外部复位输入引脚的功能切换操作。在 P42 引脚处于低电平时，进行引脚功能的切换可能会导致复位。*

*注 2 :若外部复位输入被当作 IO 端口使用，则清除 SYSCR0<XRSTDIS>为"0"的程序在执行时会发生问题，此程序执行的异常，可能造成系统的外部复位输入操作异常。*

### 5.3 上电复位线路

供应电源开启时，上电复位线路会产生一个复位信号。当供应电压低于上电复位线路的侦测电压时，上电复位信号便被产生。

#### 5.3.1 上电复位架构

上电复位线路包含参考电压产生线路和比较器。供应电压经梯形电阻进行分压后，比较器会取之与参考电压产生线路所产生的参考电压进行比较。

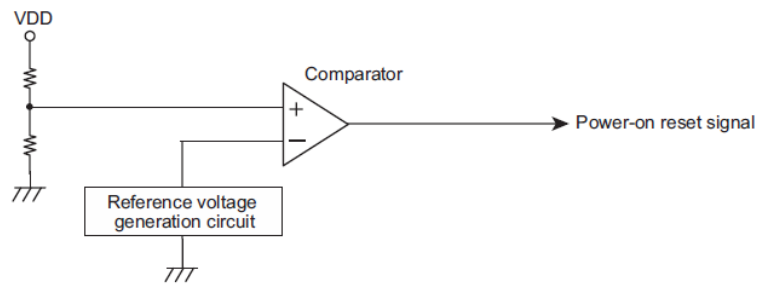


图 5-4 上电复位线路

#### 5.3.2 上电复位功能

供应电压升高的过程中，供应电压若低于或等于上电复位线路的释放电压，会产生复位信号。如果供应电压高于该释放电压，复位信号会被解除。

供应电压降低的过程中，供应电压若低于或等于上电复位线路的检测电压，会产生复位信号。

到上电复位信号产生之前，唤醒线路和中央处理器 CPU 处于复位状态。

上电复位信号的释放会启动唤醒线路。等唤醒操作完成(过完唤醒时间后)，中央处理器 CPU 和外围线路会脱离复位。

在上电复位释放电压检测到唤醒操作完成之间，必须将供应电压升高至操作范围内。若供应电压在系统完成唤醒前没有进入操作范围，MCU 工作可能会发生不正常的状况。

注：上电复位电器特性与时序图请参照 [2.4 上电复位电器特性章节内容](#)

## 5.4 掉电复位 (BROR)

### 5.4.1 掉电复位架构

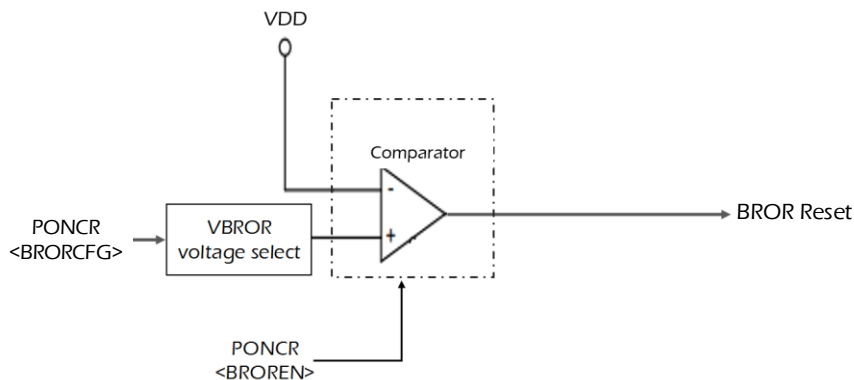


图 5-5 掉电复位线路

### 5.4.2 掉电复位功能

掉电检测电路用于监测系统运行时 VDD 电平。当 VDD 下降到所选的掉电触发电平(VBROR)，且 PONCR<BROREN>为 1，则 CPU 将掉电复位。发生掉电复位后，RSTFLG<EXBRORF>将会自动置为 0，除了外部复位与掉电复位，该旗帜不会为 0，RSTFLG<EXBRORF>可透过软件设置或清除。

注：BROR 特性请参考「CH2.5 BROR 电气特性」内容。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.4.3 掉电复位控制

#### 上电控制寄存器 (PONCR)

PONCR	7	6	5	4	3	2	1	0
位符号	reserved <sup>注1</sup>	reserved	reserved <sup>注1</sup>	reserved <sup>注1</sup>	reserved	BRORCFG[1:0]		BROREN
读/写	R/W	R	R/W	R/W	R	R/W		R/W
复位后	1	0	1	0	0	0		1

注1 : Bit 7 值必须为 1, Bit 5 值必须为 1, Bit 4 值必须为 0

注2 : 上电复位可使此寄存器各位复位

注3 : 考虑未来的兼容性问题, 位符号为 reserve 必须写入 0

BRORCFG [1:0]	掉电复位设置	00 : 1.9V +/-57mV(默认值) 01 : 2.25V +/-67.5mV 10 : 2.55V +/-76.5mV 11 : 2.75V +/-82.5mV
BROREN	掉电复位允许	0 : 禁止 1 : 允许



## 5.5 电压检测线路

电压检测线路会检测供应电压的下降，并且产生电压检测中断(INTLVD)要求信号。

### 5.5.1 电压检测架构

电压检测线路包含参考电压产生线路，检测电压电平选择线路，比较器与控制寄存器。

供应电压(VDD)在经过梯形电阻的分压后，会被输入检测电压选择线路。依据 VLVDx 的电平，检测电压选择线路会产生选择电压，而比较器会将之与参考电压作比较。供应电压(VDD)低于检测电压 VLVDx 时，电压检测中断要求信号会被产生。

藉由软件编程，可选择当供应电压(VDD)低于检测电压时，电压检测线路产生电压检测中断(INTLVD)要求信号。

*注：由于电压检测所使用之比较器不包含滞后架构，当供应电压(VDD)接近检测电压时，可能频繁产生电压检测中断(INTLVD)要求信号。因为供应电压(VDD)降低至检测电压与回升至检测电压，皆会产生电压检测中断(INTLVD)要求信号。*

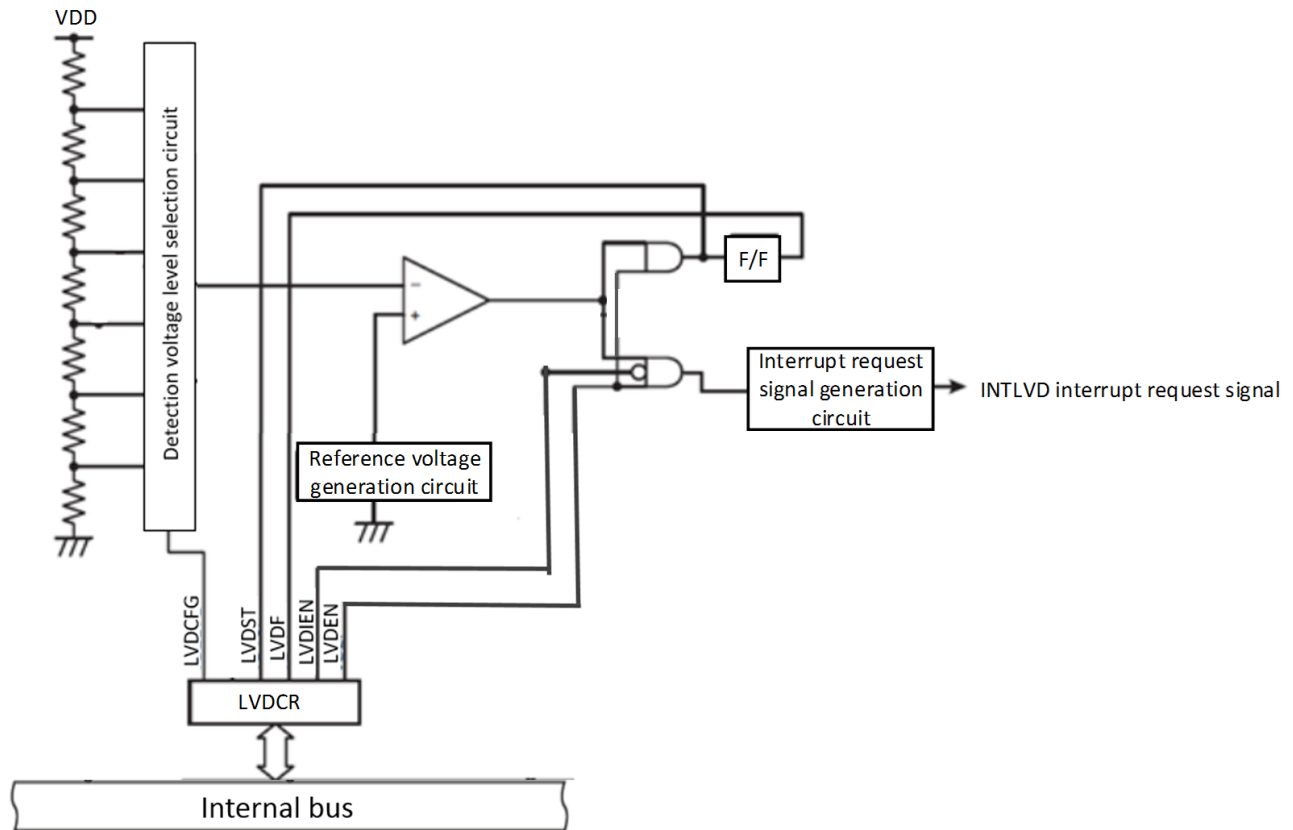


图 5-6 电压检测线路

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.5.2 电压检测控制

电压检测线路是由低电压控制寄存器(LVDCR)控制。

地址	寄存器名称	描述
0x0031	LVDCR	低电压控制寄存器

#### 低电压控制寄存器(LVDCR)

LVDCR	7	6	5	4	3	2	1	0
位符号	-	LVDCFG [2:0]			LVDST	LVDF	LVDIEN	LVDEN
读/写	R/W	R/W			R	R/W1C	R/W	R/W
复位后	0	1	1	1	0	0	0	0

注 1：所有复位皆可使此寄存器各位复位

注 2：Bit7 值必需为 0。当 LVDST 为 1 时，Bit 7 会被清除。

注 3：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

LVDCFG [2:0]	LVD 配置	000：系统保留 001：2.35V +/-70.5 mV 010：2.65V +/-79.5 mV 011：2.85V +/-85.5mV 100：3.15V +/-94.5 mV 101：3.98V +/-119.4 mV 110：4.2V +/-126 mV 111：4.5V +/-135 mV (默认值)
LVDST	发中断时,LVD 的状态	0：无 LVD 1：侦测到 LVD
LVDF	LVD 标帜	0：无 LVD 1：侦测到 LVD
LVDIEN	LVD 中断允许	0：禁止 1：允许
LVDEN	LVD 允许	0：禁止 1：允许

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.5.3 电压检测功能

#### 5.5.3.1 允许/禁止电压检测操作

设定 LVDCR<LV DEN>为"1"可允许电压检测操作。设定 LVDCR<LV DEN>为"0"则会禁止电压检测操作。

注：供应电压(VDD)低于检测电压时，设定 LVDCR<LV DEN>为"1"会产生电压检测中断要求信号。

#### 5.5.3.2 选择电压检测操作模式

设定 LVDCR<LV DIEN>为"1"时，电压检测操作模式为产生电压检测中断(INTLVD)要求信号之产生。设定 LVDCR<LV DIEN>为"0"时，不会产生电压检测中断(INTLVD)要求信号。

**(a) 在产生电压检测中断(INTLVD)要求信号的模式下 (LVDCR<LV DIEN>= "1")**

当 LVDCR<LV DIEN>为"1"，在供应电压(VDD)降低至检测电压时，系统会产生电压检测中断(INTLVD)要求信号。

注 1：由于电压检测所使用之比较器不包含滞后架构，当供应电压(VDD)接近检测电压时，可能频繁产生电压检测中断(INTLVD)要求信号。因为供应电压(VDD)降低至检测电压与回升至检测电压，皆会产生电压检测中断(INTLVD)要求信号。

注 2：LVD 特性请参考「CH2.6 LVD 电气特性」内容。

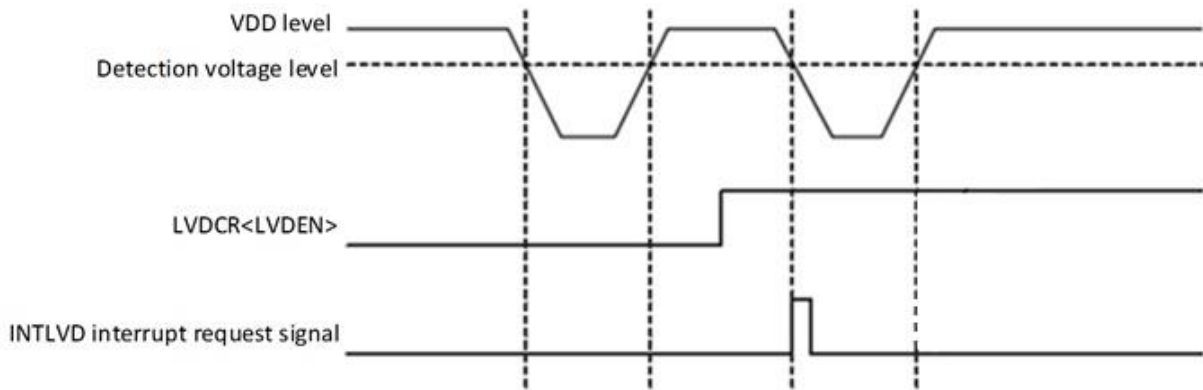


图 5-7 电压检测中断(INTLVD)要求信号

### 5.5.3.3 选择检测电压电平

设定电压检测控制寄存器 LVDCR<LVDCFG>以选择检测电压电平。

### 5.5.3.4 电压检测标帜和电压检测状态标帜

供应电压(VDD)和检测电压之间的数值关系可藉由读取 LVDCR<LVDCFG>进行确认。

若设定 LVDCR<LVDEN>为“1”，则供应电压(VDD)降低至低于检测电压 VLVDx 时，LVDCR<LVDF>会被设定为“1”并且保持该状态。就算供应电压(VDD)升高至等于或高于检测电压 VLVDx，LVDCR<LVDF>也不会被清除为“0”。

在 LVDCR<LVDF>被设定为“1”之后，就算清除 LVDCR<LVDEN>为“0”，LVDCR<LVDF>仍会维持原状态。要清除 LVDCR<LVDF>为“0”，必须将 LVDCR<LVDF>写为“0”。

若设定 LVDCR<LVDEN>为“1”，则供应电压(VDD)降低至低于检测电压 VLVDx 时，LVDCR<LV DST>会被设定为“1”。在供应电压(VDD)升高至等于或高于检测电压 VLVDx 后，LVDCR<LV DST>会被清除为“0”。

和 LVDCR<LVDF>的特性不同，LVDCR<LV DST>并不会保持设定状态。

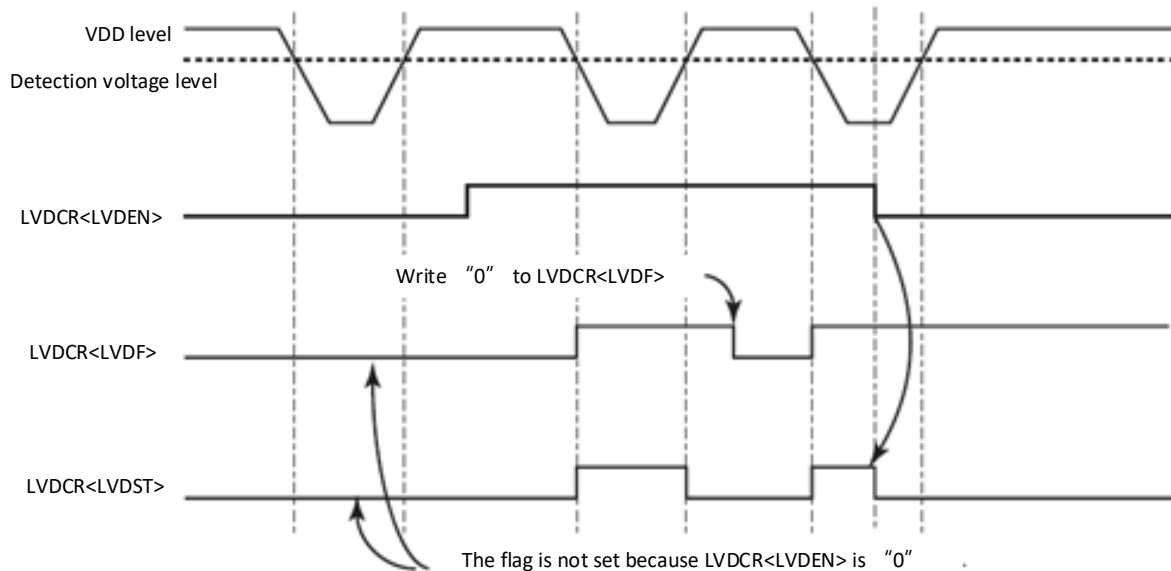


图 5-8 电压检测标帜和电压检测状态标帜的改变

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 5.5.4 电压检测寄存器设定

### 5.5.4.1 设定操作模式为产生电压检测中断(INTLVD)要求信号

设定操作模式为产生电压检测中断(INTLVD)要求信号时，进行以下设定：

1. 清除电压检测线路中断允许标帜为“0”。
2. 设定 LVDCR<LVDCFG>以选择检测电压。
3. 设定 LVDCR<LVDIEN>为“1”，设定操作模式为产生电压检测中断(INTLVD)要求信号。
4. 设定 LVDCR<LVDEN>为“1”，允许电压检测操作。
5. 至少等 10 $\mu$ s，直至电压检测线路稳定。
6. 确定 LVDCR<LVDST>为“0”。
7. 清除 LVD 中断标帜寄存器(IFR)为“0”，设定中断允许标帜(IER)为“1”以允许中断。

*注：若检测电压 VLVD 的设定数值接近供应电压(VDD)，电压检测要求信号会被频繁地产生。在系统跳离电压检测中断处理时，依系统电源供应的波动状况执行适当的等待处理并清空中断锁存器。*

欲在允许电压检测中断(INTLVD)要求信号时停止电压检测线路，则进行以下设定：

1. 清除电压检测线路中断允许标帜为“0”。
2. 清除 LVDCR<LVDEN>为“0”，停止电压检测操作。

*注：若停止电压检测线路时未清除中断允许标帜，可能会发生不预期的中断要求。*

## 5.6 唤醒 KWU

唤醒是控制引脚 KWI 7 到引脚 KWI 0 使系统脱离深眠模式(Deep sleep mode)。

### 5.6.1 唤醒 KWU 架构

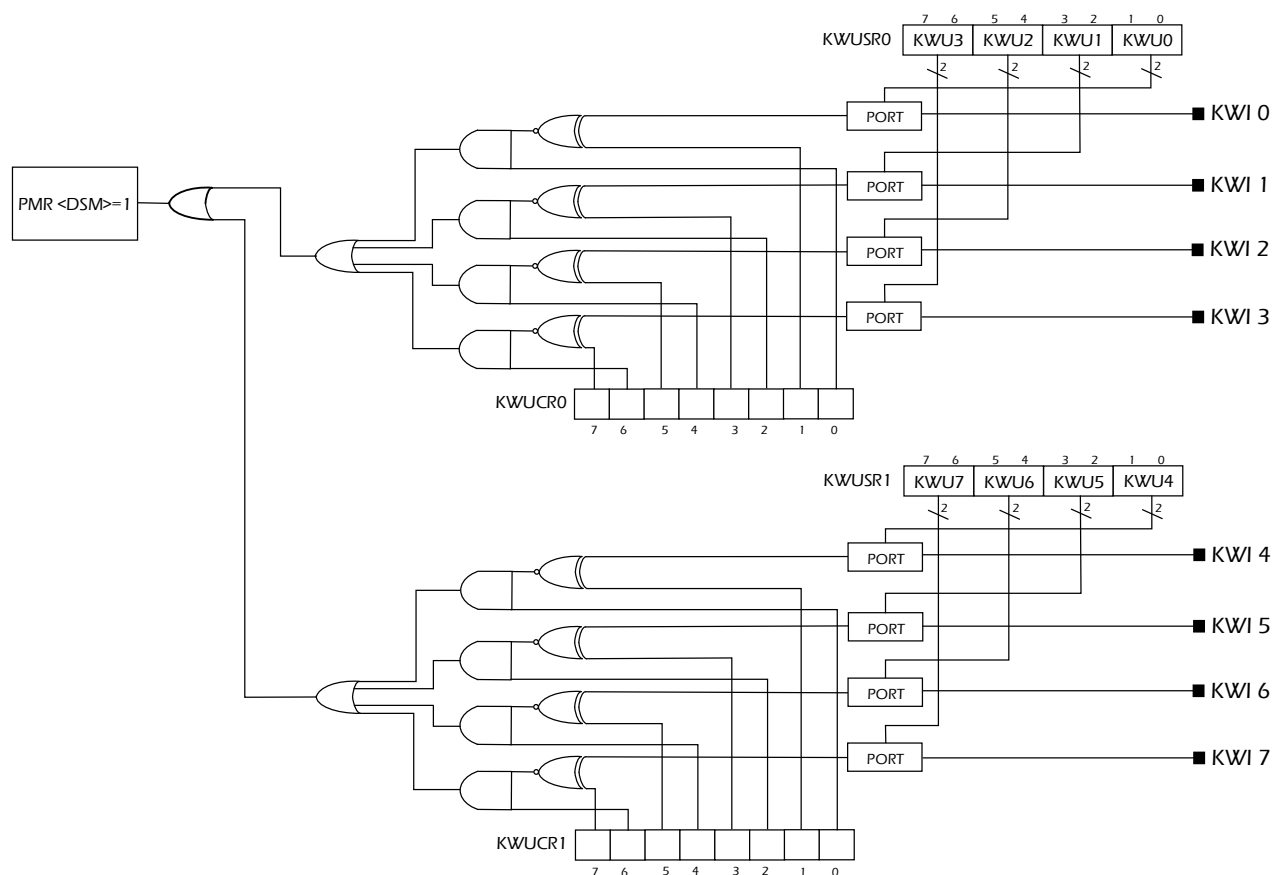


图 5-9 唤醒线路(以 KWI 0~ KWI 7 为例)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.6.2 唤醒 KWU 控制寄存器

设定唤醒控制寄存器 KWUCR0 与 KWUCR1 可指定脱离深眠模式引脚为唤醒引脚 KWI 7 到 KWI 0。同时设定这些唤醒引脚的深眠模式释放电平。

地址	寄存器	描述
0x0188	KWUCR0	KWU 控制寄存器 0
0x0189	KWUCR1	KWU 控制寄存器 1
0x018C	KWUSR0	KWU 配置寄存器 0
0x018D	KWUSR1	KWU 配置寄存器 1

#### KWU 控制寄存器 0(KWUCR0)

KWUCR0	7	6	5	4	3	2	1	0
位符号	KW3LE	KW3EN	KW2LE	KW2EN	KW1LE	KW1EN	KW0LE	KW0EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有硬件与软件复位皆可使此寄存器复位。

KW3LE	KWI 3 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW3EN	KWI 3 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW2LE	KWI 2 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW2EN	KWI 2 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW1LE	KWI 1 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW1EN	KWI 1 引脚输入允许/禁止控制	0: 禁止 1: 允许
KW0LE	KWI 0 引脚的停止模式释放电平	0: 低电平 1: 高电平
KW0EN	KWI 0 引脚输入允许/禁止控制	0: 禁止 1: 允许

**KWU 控制寄存器 1(KWUCR1)**

KWUCR1	7	6	5	4	3	2	1	0
位符号	KW7LE	KW7EN	KW6LE	KW6EN	KW5LE	KW5EN	KW4LE	KW4EN
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有硬件与软件附位皆可使此寄存器复位。

KW7LE	KWI 7引脚的停止模式释放电平	0: 低电平 1: 高电平
KW7EN	KWI 7引脚输入允许/禁止控制	0: 禁止 1: 允许
KW6LE	KWI 6引脚的停止模式释放电平	0: 低电平 1: 高电平
KW6EN	KWI 6引脚输入允许/禁止控制	0: 禁止 1: 允许
KW5LE	KWI 5引脚的停止模式释放电平	0: 低电平 1: 高电平
KW5EN	KWI 5引脚输入允许/禁止控制	0: 禁止 1: 允许
KW4LE	KWI 4引脚的停止模式释放电平	0: 低电平 1: 高电平
KW4EN	KWI 4引脚输入允许/禁止控制	0: 禁止 1: 允许

唤醒功能可透过 KW 唤醒配置寄存器指定引脚，此产品引脚为多任务复用，以下寄存器信息亦同不记载于「外围网络互联系统 (PNIC)」章节。



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**KWU 配置寄存器 0(KWUSR0)**

KWUSR0	7	6	5	4	3	2	1	0
位符号	KWU3		KWU2		KWU1		KWU0	
读/写	R/W		R/W		R/W		R/W	
复位后	0		0		0		0	

注：所有硬件与软件复位皆可使此寄存器复位。

KWU	KWU0	KWU1	KWU2	KWU3
KWUx				
00	P0.0	P0.1	P0.2	P3.6
01	P1.0	P1.1	P1.2	P1.3
10	P2.0	P2.1	P2.2	-
11	-	P3.1	P3.2	P3.3

**KWU 配置寄存器 1(KWUSR1)**

KWUSR0	7	6	5	4	3	2	1	0
位符号	KWU7		KWU6		KWU5		KWU4	
读/写	R/W		R/W		R/W		R/W	
复位后	0		0		0		0	

注：所有硬件与软件复位皆可使此寄存器复位。

KWU	KWU4	KWU5	KWU6	KWU7
KWUx				
00	P0.4	P0.5	P0.6	P3.7
01	-	-	-	-
10	P2.4	-	-	P4.7
11	P3.4	P3.5	-	-

### 5.6.3 KWU 控制寄存器

藉由操作 KWI m 引脚 (m: 0~7) , 用户可启动唤醒功能 , 使系统脱离深眠(deep sleep)模式。若要指定 KWI m 引脚作为深眠模式释放引脚 , 必须先设定唤醒配置寄存器 KWUSRn (n: 0~1) 。

#### 5.6.3.1 设定 KWU 配置寄存器 (KWUSRn)

要指定 KWI m 引脚作为深眠(deep sleep)模式释放引脚 , 可透过唤醒配置寄存器 KWUSRn 指定引脚。产品各引脚皆为多任务复用 , 可根据用户的配置 , 调度指定特定引脚。例如 , 使用者要使用 KWI 0 唤醒 , 而 P0.0、P2.0 与 P3.0 各别被 SIO、16 位定时器与 UART 功能使用 , 此时可设定 KWUSR0 <KWU0> =01 , 使用 P1.0 作为 KWI 0 唤醒引脚。

#### 5.6.3.2 设定 KWU 控制寄存器 (KWUCRn)

设定完唤醒引脚 , 接着需设定唤醒控制寄存器 KWUCRn <KWmEN>=1 , 启动此引脚对唤醒的控制。KWI m 引脚对应的唤醒控制寄存器 KWUCRn<KWmEN>被设定为"1"后 , 可藉由设定 KWUCRn<KWmLE>寄存器以设定深眠模式释放电平。若 KWUCRn<KWmLE>为"0" , 输入低电平信号可释放深眠模式。若 KWUCRn<KWmLE>为"1" , 输入高电平信号可释放深眠模式。举例来说 , 若要设定系统在 KWI 0 脚位接收到高电平输入信号时脱离停止模式 , 设定 KWUCR0<KW0EN>为"1" , 并设定 KWUCR0 <KW0LE>为"1"。

#### 5.6.3.3 进入深眠模式

深眠模式(deep sleep mode)可藉由设定电源模式寄存器 PWR<DSM>=1 , 使用 Sleep 指令进入深眠模式。(更多工作模式叙述请参照「6.3 工作模式」章节。)

#### 5.6.3.4 退出深眠模式

要退出深眠模式 , 可在 KWI m 引脚上输入符合设定的深眠模式释放电平。

如果 KWI m 引脚在系统要进入深眠模式时已位于释放电平 , 系统会执行剩下的指令并不启动深眠模式(无唤醒 warm-up 动作)。

注 : 在唤醒控制寄存器 KWUCRn 设定为输入允许的情况下 , 不要在 KWI m 引脚上输入模拟电压信号 , 否则会引起非预期的系统耗电电流。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 5.7 中断

SQ7613 产品线支持高达 37 个中断，可分成 2 种类型：非屏蔽中断或是屏蔽中断。非屏蔽中断拥有比屏蔽中断更高的优先级，所有屏蔽中断皆可以优先级进行嵌套(nested)。

以上两种中断的优先级将于下章节叙述。

### 5.7.1 非屏蔽中断

非屏蔽中断可分为 4 种型态：

- 复位，第一优先
- 软件中断，第二优先
- 未定义指令中断，第二优先
- 看门狗中断，第三优先

复位为最高优先；软件中断以及未定义指令中断为两种不同类型，故两者并列为第二优先级；而看门狗中断则是最低优先。

### 5.7.2 屏蔽中断

SQ7613 产品屏蔽中断，由中断 4 开始至中断 83 为止。屏蔽中断的自然优先级是以降序排列，中断 4 为最高优先；中断 83 为最低优先。

## 5.7.3 中断列表

SQ7613 中断列表如下所示。

中断源	中断名称	中断 优先级	中断向量	IER	IFR	IPR
上电复位	RESET_IRO	1	0xFFFFE	-	-	-
软件中断	SWI_IRO	2	0xFFFFC	-	-	-
未定义指令	UNDEF_IRO	2	0xFFFFC	-	-	-
看门狗定时器	WDT_IRO	3	0xFFFF8	-	IFR0.3	-
低电压侦测	LVD_IRO	4	0xFFFF6	IER0.4	IFR0.4	IPR1[1:0]
时钟失效侦测	CFD_IRO	5	0xFFFF4	IER0.5	IFR0.5	IPR1[3:2]
系统保留		6	0xFFFF2	IER0.6	IFR0.6	IPR1[5:4]
时基定时器	TBT_IRO	7	0xFFFF0	IER0.7	IFR0.7	IPR1[7:6]
系统保留		8	0xFFEE	IER1.0	IFR1.0	IPR2[1:0]
系统保留		9	0xFFEC	IER1.1	IFR1.1	IPR2[3:2]
系统保留		10	0xFFEA	IER1.2	IFR1.2	IPR2[5:4]
TCA0 16 位定时器	TCA0_IRO	11	0xFFE8	IER1.3	IFR1.3	IPR2[7:6]
TCA1 16 位定时器	TCA1_IRO	12	0xFFE6	IER1.4	IFR1.4	IPR3[1:0]
系统保留		13	0xFFE4	IER1.5	IFR1.5	IPR3[3:2]
系统保留		14	0xFFE2	IER1.6	IFR1.6	IPR3[5:4]
系统保留		15	0xFFE0	IER1.7	IFR1.7	IPR3[7:6]
UART0 RX	UART0_RX_IRO	16	0xFFDE	IER2.0	IFR2.0	IPR4[1:0]
UART0 TX	UART0_TX_IRO	17	0xFFDC	IER2.1	IFR2.1	IPR4[3:2]
I2C0	I2C0_IRO	18	0xFFDA	IER2.2	IFR2.2	IPR4[5:4]
SIO0	SIO0_IRO	19	0xFFD8	IER2.3	IFR2.3	IPR4[7:6]
外部中断 0	EXT0_IRO	20	0xFFD6	IER2.4	IFR2.4	IPR5[1:0]
外部中断 1	EXT1_IRO	21	0xFFD4	IER2.5	IFR2.5	IPR5[3:2]
外部中断 2	EXT2_IRO	22	0xFFD2	IER2.6	IFR2.6	IPR5[5:4]
外部中断 3	EXT3_IRO	23	0xFFD0	IER2.7	IFR2.7	IPR5[7:6]
ADC	ADC_IRO	24	0xFFCE	IER3.0	IFR3.0	IPR6[1:0]
系统保留		25	0xFFCC	IER3.1	IFR3.1	IPR6[3:2]
系统保留		26	0xFFCA	IER3.2	IFR3.2	IPR6[5:4]
系统保留		27	0xFFC8	IER3.3	IFR3.3	IPR6[7:6]

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

中断源	中断名称	中断 优先级	中断向量	IER	IFR	IPR
系统保留		28	0xFFC6	IER3.4	IFR3.4	IPR7[1:0]
Flash 控制器	FMC_IRQ	29	0xFFC4	IER3.5	IFR3.5	IPR7[3:2]
系统保留		30	0xFFC2	IER3.6	IFR3.6	IPR7[5:4]
		38	0xFFB2	IER4.6	IFR4.6	IPR9[5:4]
DIC	DIC_IRQ	39	0xFFB0	IER4.7	IFR4.7	IPR9[7:6]
系统保留		40	0xFFAE	IER5.0	IFR5.0	IPR10[1:0]
系统保留		41	0xFFAC	IER5.1	IFR5.1	IPR10[3:2]
系统保留		42	0xFFAA	IER5.2	IFR5.2	IPR10[5:4]
外部中断 4	EXT4_IRQ	43	0xFFA8	IER5.3	IFR5.3	IPR10[7:6]
外部中断 5	EXT5_IRQ	44	0xFFA6	IER5.4	IFR5.4	IPR11[1:0]
外部中断 6	EXT6_IRQ	45	0xFFA4	IER5.5	IFR5.5	IPR11[3:2]
外部中断 7	EXT7_IRQ	46	0xFFA2	IER5.6	IFR5.6	IPR11[5:4]
乘法器	MAC_IRQ	47	0xFFA0	IER5.7	IFR5.7	IPR11[7:6]
系统保留		48	0xFF9E	IER6.0	IFR6.0	IPR12[1:0]
TCA2 定时器	TCA2_IRQ	49	0xFF9C	IER6.1	IFR6.1	IPR12[3:2]
TCA3 定时器	TCA3_IRQ	50	0xFF9A	IER6.2	IFR6.2	IPR12[5:4]
系统保留		51	0xFF98	IER6.3	IFR6.3	IPR12[7:6]
		52	0xFF96	IER6.4	IFR6.4	IPR13[1:0]
		53	0xFF94	IER6.5	IFR6.5	IPR13[3:2]
UART1 RX	UART1_RX1_IRQ	54	0xFF92	IER6.6	IFR6.6	IPR13[5:4]
UART1 TX	UART1_TX1_IRQ	55	0xFF90	IER6.7	IFR6.7	IPR13[7:6]
I2C1	I2C1_IRQ	56	0xFF8E	IER7.0	IFR7.0	IPR14[1:0]
SIO1	SIO1_IRQ	57	0xFF8C	IER7.1	IFR7.1	IPR14[3:2]
系统保留		58	0xFF8A	IER7.2	IFR7.2	IPR14[5:4]
		66	0xFF7A	IER8.2	IFR8.2	IPR16[5:4]
TCA4 定时器	TCA4_IRQ	67	0xFF78	IER8.3	IFR8.3	IPR16[7:6]
TCA5 定时器	TCA5_IRQ	68	0xFF76	IER8.4	IFR8.4	IPR17[1:0]
系统保留		69	0xFF74	IER8.5	IFR8.5	IPR17[3:2]
系统保留		70	0xFF72	IER8.6	IFR8.6	IPR17[5:4]

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

中断源	中断名称	中断 优先级	中断向量	IER	IFR	IPR
系统保留		71	0xFF70	IER8.7	IFR8.7	IPR17[7:6]
UART2 RX	UART2_RX2_IRO	72	0xFF6E	IER9.0	IFR9.0	IPR18[1:0]
UART2 TX	UART2_TX2_IRO	73	0xFF6C	IER9.1	IFR9.1	IPR18[3:2]
系统保留		74	0xFF6A	IER9.2	IFR9.2	IPR18[5:4]
		81	0xFF5C	IER10.1	IFR10.1	IPR20[3:2]
TCA6 定时器	TCA6_IRO	82	0xFF5A	IER10.2	IFR10.2	IPR20[5:4]
TCA7 定时器	TCA7_IRO	83	0xFF58	IER10.3	IFR10.3	IPR20[7:6]

表 5-4 中断列表

### 5.7.4 中断控制器 (INTC)

中断控制器支持 83 中断，前 4 个中断源为非屏蔽中断，分别为复位、SWI、未定义指令以及看门狗中断，以上中断有皆有固定优先级。中断 4 至中断 83 为屏蔽中断，这些中断的自然优先级以降序排列，中断 4 为最高优先；中断 83 为最低优先级。当中断程序执行，而中断主允许标帜(IMF)被设定时，系统则可支持以优先级排序之中断嵌套。

在控制器中共有 3 组寄存器：第一组为中断标帜，与中断源连接。第二组为中断允许，个别启动中断。当中断发生时，中断标帜位设置为“1”。若相对应之中断允许标帜及 IMF 标帜亦设定为“1”，即会产生中断需求并传送至 CPU 处理。若多个屏蔽中断同时产生时，这些中断则以自然优先级排序进行处理。

No. : TDDS01-57613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.7.5 中断标帜寄存器 (IFRx, x=0~10)

每个可屏蔽中断源皆可获得一中断标帜，共有 11 个寄存器。

当外围线路产生一个中断时，中断标帜位会设定为 1，而当 CPU 接受此中断时，中断标帜会迅速的被清除。当系统复位期间，所有的中断标帜都会被初始化为 0。标帜只能由硬件设定，写入 1 时无任何影响；写入 0 时则标帜会被清除。

寄存器	地址
IFR0	0x01A0
IFR1	0x01A1
IFR2	0x01A2
IFR3	0x01A3
IFR4	0x01A4
IFR5	0x01A5
IFR6	0x01A6
IFR7	0x01A7
IFR8	0x01A8
IFR9	0x01A9
IFR10	0x01AA

以下为 IFR0、IFR1 寄存器范例，IFR2 至 IFR10 请参照 IFR1 寄存器范例，寄存器地址请参照 5.7.3 中断列表。

IFR0	7	6	5	4	3	2	1	0
中断源	TBT	-	CFD	LVD	WDT	UNDEF	SWI	Reset
读/写	R/W	R/W	R/W	R/W	R/W	*	*	*
复位后	0	0	0	0	0	*	*	*

注 1：所有硬件与软件复位皆可使此寄存器复位

注 2：此寄存器位是藉由硬件进行设定或清除，写入 1 无任何影响，写入 0 则会清除标帜。

注 3：\* 表示此位不使用

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

IFR1	7	6	5	4	3	2	1	0
中断源	-	-	-	TCA1	TCA0	-	-	-
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 . 此寄存器位是藉由硬件进行设定或清除 . 写入 1 无任何影响 . 写入 0 则会清除标识 .



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 5.7.6 中断允许寄存器 x (IERx, x=0~10)

中断允许寄存器为允许/禁止个别遮蔽中断。IMF 标志为主允许位，可使全部的遮蔽中断作用；清除 IMF 标帜则会使之全部失效。设定 IMF 标帜可允许中断，而此中断由 IER 寄存器中的个别中断允许标帜所指定，而 IER 寄存器总共有 11 个，IER0 至 IER10。

当一个中断发生时，IMF 标帜与处理状态标帜会一起推进堆栈区域。而进入处理程序时，IMF 标帜则会清除为 0，以使之之后接续而来的中断失效。中断处理程序执行完毕后，返回中断指令(RETI/RETN)则会使目前的 IMF 标志，依据先前堆栈的 IMF 回复标帜。

请注意，非可屏蔽中断并不受这些寄存器影响。

寄存器	地址
IER0	0x01B0
IER1	0x01B1
IER2	0x01B2
IER3	0x01B3
IER4	0x01B4
IER5	0x01B5
IER6	0x01B6
IER7	0x01B7
IER8	0x01B8
IER9	0x01B9
IER10	0x01BA

此为 IER0、IER1 寄存器范例，IER2 至 IER10 请参照 IER1 寄存器范例，寄存器地址请参照表 5-3 中断列表查找。

IER0	7	6	5	4	3	2	1	0
位符号	IE7	IE6	IE5	IE4	*	*	*	*
中断源	TBT	-	CFD	LVD	*	*	*	*
读/写	R/W	R/W	R/W	R/W	*	*	*	*
复位后	0	0	0	0	*	*	*	*

注 1：所有硬件与软件复位皆可使此寄存器复位

注 2：\*表示此位不被使用

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

IER1	7	6	5	4	3	2	1	0
位符号	IE15	IE14	IE13	IE12	IE11	IE10	IE9	-
中断源	-	-	-	TCA1	TCA0	-	-	-
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：所有硬件与软件复位皆可使此寄存器复位

### 5.7.7 中断优先级变更

系统默认的中断的优先级如表 5-4 中断列表中中断优先级所示。中断优先级可通过改变对应的中断优先级寄存器 (IPR)来更改。中断优先级寄存器(IPR)的优先级有四个级别，级别 0 到级别 3，级别 0 具有最低优先级，级别 3 具有最高优先级，此与基本优先级无关。可以通过中断优先级变更控制寄存器 ( IPR ) 更改中断优先级。要提高中断优先级，请将级别设置为更大的数字。要降低中断优先级，请将级别设置为较小的数字。当在同一优先级同时生成不同的可屏蔽中断时，将优先处理具有较高基本优先级的中断。

中断优先级寄存器(IPR)的优先级会取代系统默认的中断优先级。若中断优先级寄存器(IPR)的值一样，会以系统默认的中断优先级决定。

每个中断各自有一个 2 bits 的 IPR，以下以 IPR1,IPR2 内容为例，其他中断源请查照表 5-4 中断列表。

IPR1 (0x01C1)	7	6	5	4	3	2	1	0
位符号	IE7P		*		IE5P		IE4P	
中断源	TBT		*		CFD		LVD	
读/写	R/W		*		R/W		R/W	
复位后	0		*		0		0	

\*：未使用

IE7P	变更 Interrupt 7 的中断优先级	00: Level 0 (最低优先级) 01: Level 1 10: Level 2 11: Level 3 (最高优先级)
IE5P	变更 Interrupt 5 的中断优先级	
IE4P	变更 Interrupt 4 的中断优先级	

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

IPR2 (0x01C2)	7	6	5	4	3	2	1	0
位符号	IE11P		*		*		IE8P	
中断源	TCA0		*		*		RTC	
读/写	R/W		*		*		R/W	
复位后	0		*		*		0	

\*: 未使用

IE11P	变更 Interrupt 11 的中断优先级	00: Level 0 (最低优先级) 01: Level 1 10: Level 2 11: Level 3 (最高优先级)
IE8P	变更 Interrupt 8 的中断优先级	

### 5.7.8 中断处理

当中断或多个中断发生时，由中断控制器决定处理顺序，其中断处理需求以及中断矢量回传送至 CPU 作业。当中断需求被允许后，进行分为 6 阶段的中断延迟。

E	E+1	E+2	E+3	F	D	E
---	-----	-----	-----	---	---	---

中断延迟	
代码	阶段工作
E	当中断需求允许后，指令单元接收中断矢量并产生指令取出地址；PSW 则推至堆栈区域
E+1	中断矢量内容返回且以跳转指令进入指令缓冲器，并将下一个操作码地址推至堆栈区域
E+2	中断处理程序地址译码
E+3	指令单元矢量传送至中断处理程序
F	中断处理程序的第一个操作码取出
D	指令操作码译码
E	执行指令

RETI 或 RETN 为中断处理程序中最后的指令，之后下一个操作码以及 PSW 会从堆栈区弹出(POP)，CPU 会持续执行脚本。

中断处理程序中，当中断主允许标志(IMF)设定后即可使用嵌套中断。

## 5.8 外部中断控制线路

外部中断是以侦测输入信号的改变产生中断要求。内建数字噪声抑制电路可减少噪声引起的误中断。

### 5.8.1 外部中断架构

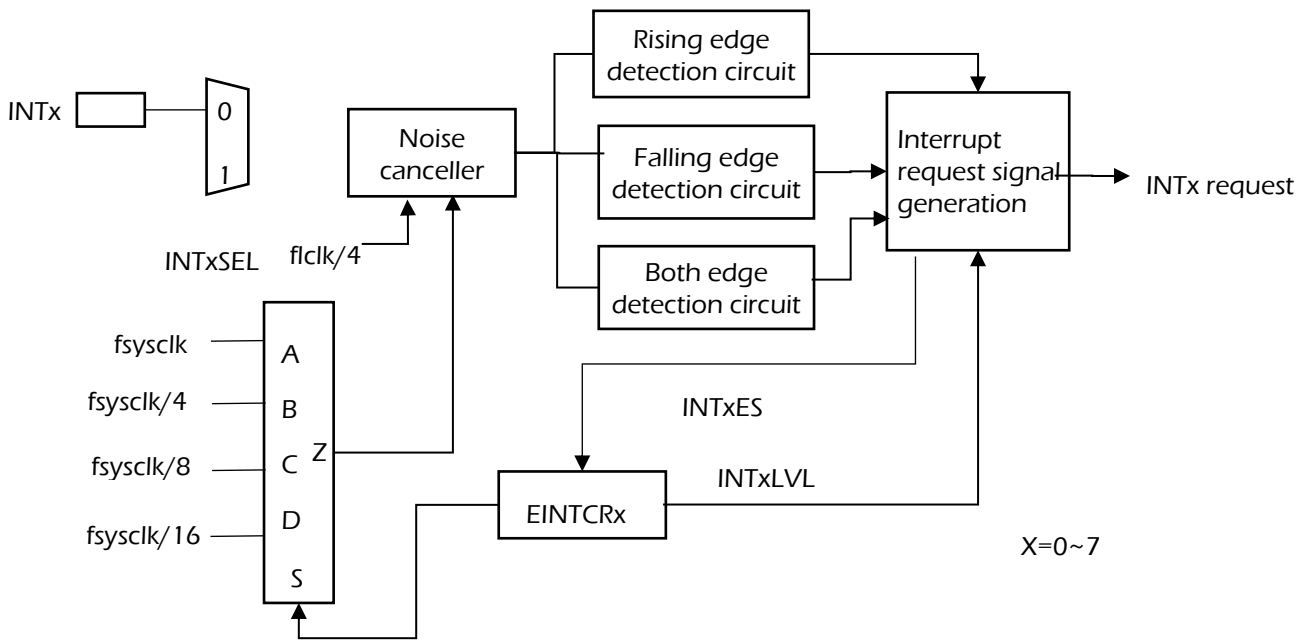


图 5-10 外部中断 (INT0~INT7)

外部中断控制线路包含噪声抑制器，沿侦测线路和中断信号产生线路。

外部中断控制线路后处理每一个外部中断信号，经过沿侦测线路后，再由噪声抑制器去除噪声。

## 5.8.2 外部中断控制

外部中断由以下寄存器控制:

地址	寄存器	描述
0x0190	EINTCR0	外部中断控制寄存器 0
0x0191	EINTCR1	外部中断控制寄存器 1
0x0192	EINTCR2	外部中断控制寄存器 2
0x0193	EINTCR3	外部中断控制寄存器 3
0x0194	EINTCR4	外部中断控制寄存器 4
0x0195	EINTCR5	外部中断控制寄存器 5
0x0196	EINTCR6	外部中断控制寄存器 6
0x0197	EINTCR7	外部中断控制寄存器 7

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 外部中断控制寄存器(EINTCRx), x=0 ~ 7

EINTCR	7	6	5	4	3	2	1	0
位符号	INTSEL[2:0]			INTLVL	INTES[1:0]		INTINC[1:0]	
读/写	R/W			R	R/W		R/W	
复位后	0			0	0		0	

注：所有硬件与软件复位皆可使此寄存器复位

INTSEL[2:0]	中断引脚选择	EINTCRx [INTSEL]	EINT7	EINT6	EINT5	EINT4	EINT3	EINT2	EINT1	EINT0
		EINTCR7 [INTSEL]	EINTCR6 [INTSEL]	EINTCR5 [INTSEL]	EINTCR4 [INTSEL]	EINTCR3 [INTSEL]	EINTCR2 [INTSEL]	EINTCR1 [INTSEL]	EINTCR0 [INTSEL]	
		000	P3.7	P0.6	P0.5	P0.4	P3.6	P0.2	P0.1	P0.0
		001	-	-	-	-	P1.3	P1.2	P1.1	P1.0
		010	P4.7	-	-	P2.4	-	P2.2	P2.1	P2.0
		011	-	-	P3.5	P3.4	P3.3	P3.2	P3.1	-
		100	-	-	P4.5	P4.4	P4.3	P4.2	-	-

INTLVL	中断需求信号产生时，噪声清除器通过信号的电平	0：原始状态或信号为低电平(L) 1：高电平(H)
INTES[1:0]	选择外部中断需求产生条件	00：于通过噪声清除器信号之上升沿 01：于通过噪声清除器信号之下降沿 10：于通过噪声清除器信号之上升与下降沿 11：系统保留
INTINC[1:0]	设定外部中断噪声清除器之取样区间	00：fsysclk 01：fsysclk / 4 10：fsysclk / 8 11：fsysclk / 16

### 5.8.3 外部中断功能

外部中断 0 到 7 的中断要求信号及噪声抑制时间都是可以设定的。

中断源	引脚	允许中断条件	产生中断要求信号	外部中断引脚输入信号宽度与噪声抑制	
				一般/睡眠模式	一般/睡眠模式(低速时钟)
INT0	INT0	IMF=1 IER2.4=1	下降沿	短于2/fspl: 噪声	短于4/fclk: 噪声
INT1	INT1	IMF=1 IER2.5=1	上升沿 下降沿/上升沿	介于2/fspl和3/fspl+1/fsysclk之间: 不确定	介于4/fclk和8/fclk之间: 不确定

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

INT2	INT2	IMF=1 IER2.6=1		长于3/fspl+1/fsysclk: 有效信号	长于8/flclk: 有效信号
INT3	INT3	IMF=1 IER2.7=1			
INT4	INT4	IMF=1 IER5.3=1			
INT5	INT5	IMF=1 IER5.4=1			
INT6	INT6	IMF=1 IER5.5=1			
INT7	INT7	IMF=1 IER5.6=1			

**表 5-5 外部中断**

注：fsysclk：系统时钟 · flclk：低速时钟 · fspl：取样间隔。

**5.8.3.1 外围电路时钟允许功能**

不使用外部中断时，可使用外围电路时钟寄存器 PCKEN 达到降低耗能的功效。设定 PCKEN3<EINTx> 为“0”会停止外部中断所需的基本时钟并节省耗能，此时外部中断功能也被禁止。设定 PCKEN3<EINTx>为“1”可以启动外部中段所需的基本时钟并且允许外部中断功能。

复位后，PCKEN3<EINTx>为“1”并禁止外部中断功能。在第一次使用外部中断功能时，确认已于软件初始设定(在操作外部中断控制寄存器前)将 PCKEN3<EINTx>设为“1”。

注：改变 EINTx 时可能会产生中断要求信号。在改变 EINTx 前，先清空对应的中断允许寄存器(EIR)为“0”以禁止中断的发生。当工作模式从一般/睡眠模式切换到一般/睡眠模式(低速时钟)时，在模式转换后先等候 12/flclk 秒，接着清空中断锁存器。当工作模式从一般/睡眠模式(低速时钟)切换到一般/睡眠模式时，在模式转换后先等候 2/fsysclk+3/fspl 秒，接着清空中断锁存器。

**5.8.3.2 外部中断 0 到 7**

外部中断 0 到 7 侦测 INT0 到 INT7 引脚的下降沿、上升沿，上升沿及下降沿，然后产生中断要求信号。

**(a) 中断要求信号产生条件侦测功能**

于 EINTCRx <INTxES>选择中断 0 到 7 的中断要求信号产生条件。

EINTCRx <INTxES>	侦测于
00	上升沿
01	下降沿

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

10	上升沿及下降沿
11	系统保留

表 5-6 中断要求产生沿的选择

(b) 于中断要求信号产生时的噪声抑制器监控功能

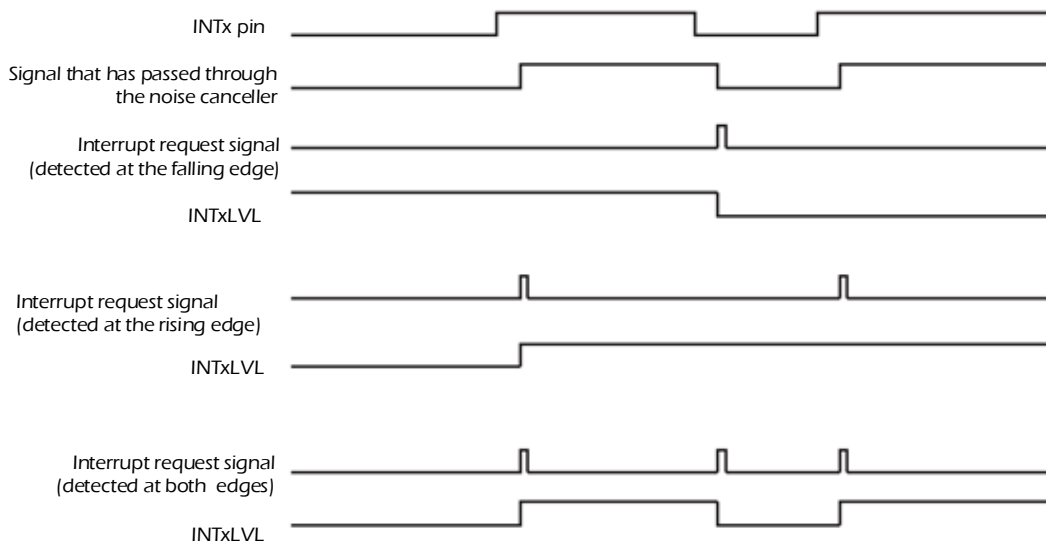


图 5-11 中断要求的产生与 EINTCRx<INTxLVL>(x = 0~7)

使用 EINTCRx<INTxLVL>可以读取中断要求产生时通过噪声抑制器的信号电平。当侦测沿的设置是“上升沿和下降沿”，读取 EINTCRx<INTxLVL>可侦测产生中断的是上升沿还是下降沿。



**(c) 噪声抑制时间选择功能**

在一般/睡眠模式下由  $fcgck$  取样信号时，取样的间隔是由  $EINTCRx<INTxNC>$  选择。如果连续三次取样的信号电平相同，则此信号会被视为有效信号。如果不同，则被视为噪声。

EINTCRx <INTxES>	取样间隔
00	$f_{sysclk}$
01	$f_{sysclk}/2^2$
10	$f_{sysclk}/2^3$
11	$f_{sysclk}/2^4$

表 6-7 噪声抑制器取样时钟

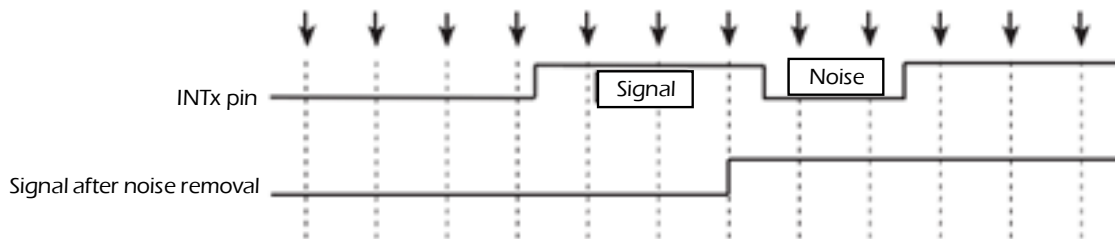


图 5-12 噪声抑制功能

在一般/睡眠模式(低速时钟)下，信号取样速度是  $f_{clk}/4$ 。如果连续二次取样的信号电平相同，则此信号会被视为有效信号。

在深眠模式下，噪声抑制取样停止，系统无法由外部中断。在系统切换回一般/睡眠模式后，噪声抑制取样会重新启动。

注 1：在噪声连续干扰外部中断引脚信号的情况下，噪声抑制功能会发生异常。此时可依外部输入噪声周期设定  $EINTCRx<INTxNC>$ 。

注 2：当外部中断引脚被当作输出端口使用时，此端口的输入信号会被固定在“L”，进而引起外部中断。要正确使用此引脚为输出端口，清除对应中断允许寄存器为“0”，禁止中断要求的产生。

注 3：工作模式的转换可能会引发中断要求。在改变工作模式前，先清空对应的中断允许寄存器为“0”以禁止中断的发生。当工作模式从一般/睡眠模式切换成一般/睡眠模式(低速时钟)时，在模式转换后先等候  $12/f_{clk}$  秒，接着清空中断锁存器。当工作模式从一般/睡眠模式(低速时钟)切换成一般/睡眠模式时，在模式转换后先等候  $2/f_{sysclk}+3/f_{spi}$  秒，接着清空中断锁存器。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 5.9 系统供电监控

此模块功能为在上电状态下，进行系统监控以及产生上电复位及掉电复位(Brown-Out Reset, BROR)。另外，低电压侦测可依用户需求进行编程，低于或高于设定值时会提醒系统。在稳压器上的突波侦测，则可用于核心工作电压之高与低突波侦测。

### 5.9.1 系统供电监控控制寄存器

地址	寄存器名称	描述
0x0031	LVDCR	低电压控制寄存器
0x0034	PONCR	上电控制寄存器

表 5-7 系统供电监控控制寄存器

#### 低电压控制寄存器(LVDCR)

LVDCR	7	6	5	4	3	2	1	0
位符号	-	LVDCFG [2:0]			LVDST	LVDF	LVDIEN	LVDEN
读/写	R/W	R/W			R	R/W1C	R/W	R/W
复位后	0	1	1	1	*	0	0	0

注 1：所有复位皆可使此寄存器各位复位

注 2：Bit7 值必需为 0。当 LVDST 为 1 时，Bit 7 会被清除。

注 3：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

LVDCFG [2:0]	LVD 配置	000：系统保留 001：2.35V +/-70.5 mV 010：2.65V +/-79.5 mV 011：2.85V +/-85.5mV 100：3.15V +/-94.5 mV 101：3.98V +/-119.4 mV 110：4.2V +/-126 mV 111：4.5V +/-135 mV (默认值)
LVDST	发中断时,LVD 的状态	0：无 LVD 1：侦测到 LVD
LVDF	LVD 标帜	0：无 LVD 1：侦测到 LVD
LVDIEN	LVD 中断允许	0：禁止 1：允许
LVDEN	LVD 允许	0：禁止 1：允许

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**上电控制寄存器 (PONCR)**

PONCR	7	6	5	4	3	2	1	0
位符号	reserved <sup>注1</sup>	reserved	reserved <sup>注1</sup>	reserved <sup>注1</sup>	reserved	BRORCFG[1:0]		BROREN
读/写	R/W	R	R/W	R/W	R	R/W		R/W
复位后	1	0	1	0	0	0		1

注 1 : Bit 7 值必須為 1, Bit 5 值必須為 1, Bit 4 值必須為 0

注 2 : 上电复位可使此寄存器各位复位

注 2 : 考虑未来的兼容性问题 · 位符号为 reserve 必须写入 0

BRORCFG [1:0]	掉电复位设置	00 : 1.9V +/-57mV(默认值) 01 : 2.25V +/-67.5mV 10 : 2.55V +/-76.5mV 11 : 2.75V +/-82.5mV
BROREN	掉电复位允许	0 : 禁止 1 : 允许

## 6. 系统时钟控制器

此章节描述 SQ7613 产品线基本时钟控制器的使用。

### 6.1 时钟源

主要有 6 种基本时钟源：

时钟源	速度(频率)
高速内部参考时钟 (HIRC)	16 MHz
低速内部参考时钟 (LIRC)	32 KHz
锁相环 (Phase-Locked Loop, PLL)	24 MHz
低功耗内部参考时钟 (LPIRC)	1 MHz · 作为 PLL 时钟源
高速外部参考时钟 (HXTAL)	16 MHz · 可作为 PLL 时钟源

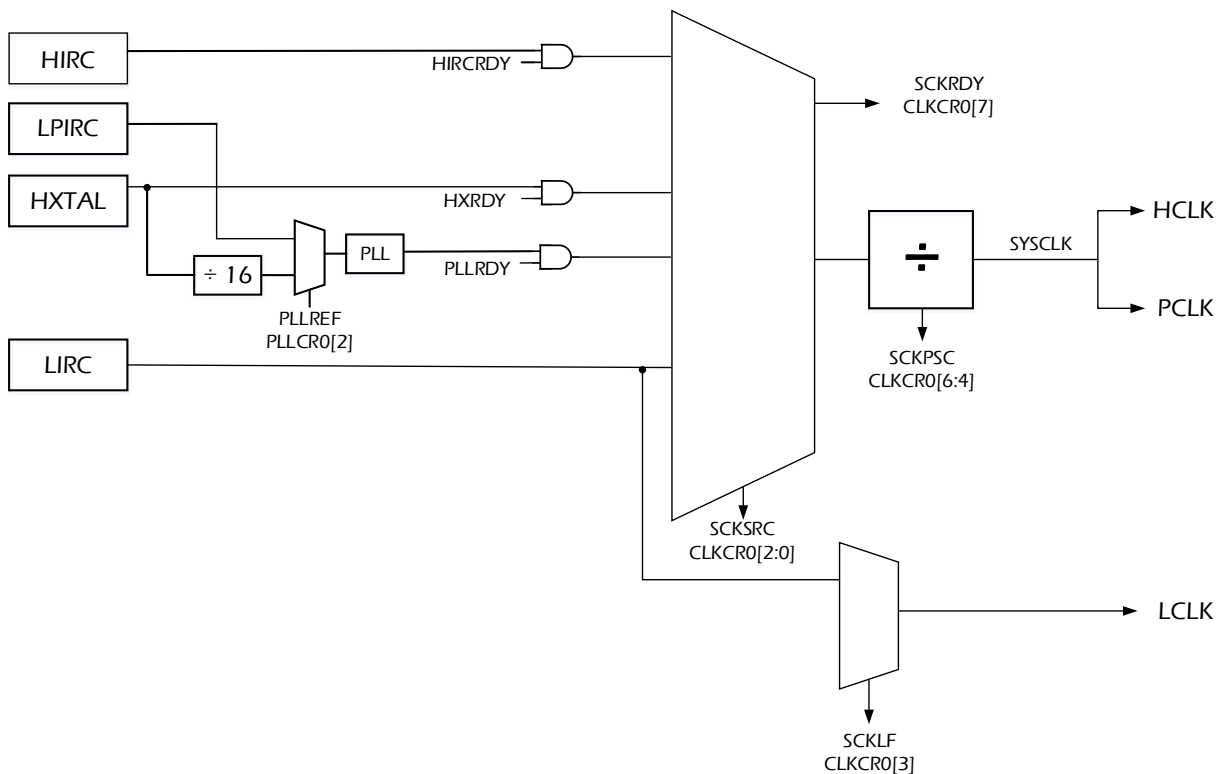


图 6-1 系统时钟示意图

注：LIRC 为恒开。

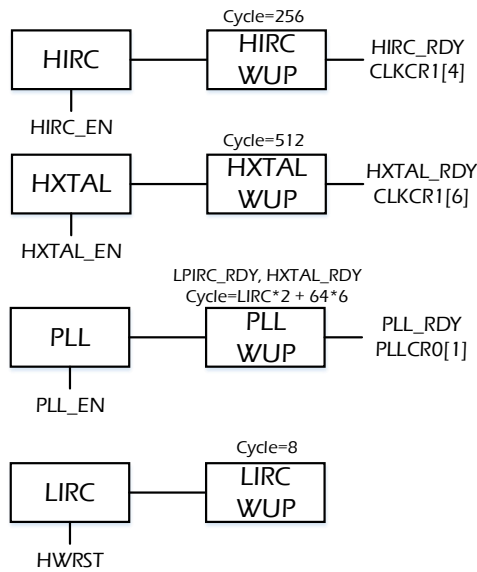


图 6-2 各时钟启动行程及所需周期

## 6.2 时钟切换

当系统复位时，会启动 HIRC 时钟并默认为系统时钟，安全地执行系统完整性确认与初始化。当程序完成后，控制权会返回应用；此时，时钟源的选择完全由软件控制。

针对于系统安全防护，共有两种时钟控制及选择安全钟源之情境：第一种为所有钟源(LIRC 除外)皆透过软件禁止运作，此状态可利用 CLKCR1 寄存器时钟允许位清除为 0 设定。透过 CLKCR0<SCKSRC>设置为 010，将时钟控制器切换至 LIRC，除此之外，CLKCR0<SCKPSC>亦复位为 0。

第二种情境，时钟频率监控侦测潜在的时钟问题并回报告时钟控制器，控制器会重新启动 HIRC；若此时钟尚未启动，请立即切换此时钟源。CLKCR0<SCKPSC>亦会同时复位，另外，时钟切换可透过无突波时钟数据选择器 (glitch-free clock muxing) 完成。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 6.3 时钟监控

装置运行须仰赖时钟的利用度及健全性，不规律的时钟源会造成装置产生运行错误；因此时钟源的健全相当重要，特别是外部时钟输入，需对时钟进行监控。时钟监控允许(CLKCR3<CMEN>)为主要时钟监控允许寄存器，与时钟监控寄存器(CMCR)皆可对外部时钟输入进行不同面向的监控。当时钟监控寄存器(CMCR)中特定位允许(位设置为 1)时，会针对其特定条件进行监控。侦测到超出工作范围的现象时，此状态会反映至时钟监控状态寄存器(CMSR)，且时钟监控中断允许启动(<CMIE>= 1)的情形下，便会产生中断。

外部高速时钟启动(<HXEN>=1)后便可对其进行监控。

条件	描述
HX FAIL	外部高速时钟超出工作范围(50 %)
HX FAST	外部高速时钟执行速度过快(>105 %)
HX SLOW	外部高速时钟执行速度过慢(<95 %)

当上述所提及时钟源失效时(<HXFAIL>=1)，系统时钟会切换为 HIRC 并启动。举例来说，系统时钟目前为 HXTAL，且失效(<HXFAIL>=1)时，系统时钟会切换为 HIRC，同时 HXFAIL 标帜位会被写入 1。

不论系统是在 PLL 或 HXFAIL 的情况下，系统时钟都会复位至 HIRC。

*注：当侦测到外部时钟问题时，时钟控制会自动地启动 HIRC 时钟并清除<SCKSRC>[2:0]为 0。在此情形下，预设的时钟皆为 HIRC。*

## 6.4 时钟控制寄存器

地址	寄存器	描述
0x0020	CLKCR0	时钟控制寄存器 0
0x0021	CLKCR1	时钟控制寄存器 1
0x0023	CLKCR3	时钟控制寄存器 3
0x0024	PLLCR0	PLL 控制寄存器 0
0x0030	CMSR	时钟监控状态寄存器
0x0035	CMCR	时钟频率监控寄存器

### 时钟控制寄存器 0 (CLKCR0)

CLKCR0	7	6	5	4	3	2	1	0
位符号	SCKRDY	SCKPSC[2:0]			SCKLF	SCKSRC[2:0]		
读/写	R	R/W			R/W	R/W		
复位后	0	0	0	1	0	0		

注 1：所有硬件与软件复位皆可使此寄存器复位

注 2：考虑未来的兼容性问题，位符号为 *reserve* 必须写入 0

SCKRDY	系统时钟就绪	0：系统时钟尚未就绪 1：系统时钟就绪
SCKPSC [2:0]	系统时钟预除频器	000：/1 (PLL 不支援) 001：/2 010：/4 011：/8 100：/16 101：/32 110：/64 111：/128
SCKLF	低速系统时钟选择	0：LIRC (预设) 1：系统保留
SCKSRC [2:0]	系统时钟源	000：高速内部参考时钟(HIRC) 001：相锁环(PLL) 010：低速内部参考时钟(LIRC) 011：外部高速时钟(HXTAL) 其他：系统保留

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**时钟控制寄存器 1 (CLKCR1)**

CLKCR1	7	6	5	4	3	2	1	0
位符号	reserved	HXRDY	LPIRCRDY	HIRCRDY	reserved	HXEN	LPIRCEN	HIRCEN
读/写	R	R	R	R	R	R/W	R/W	R/W
复位后	0	0	1	1	0	0	1	1

注：所有软件及硬件复位皆可使此寄存器复位

HXRDY	外部高速时钟就绪	0：尚未就绪 1：就绪
LPIRCRDY	LPIRC 就绪	0：尚未就绪 1：就绪
HIRCRDY	HIRC 就绪	0：尚未就绪 1：就绪
HXEN	外部高速时钟允许	0：禁止 1：允许
LPIRCEN	LPIRC 允许	0：禁止 1：允许
HIRCEN	HIRC 允许	0：禁止 1：允许 注：当侦测到时钟频率失效时，此位会自动允许。请参考6.3 时钟监控 内容。



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**时钟控制寄存器 3 (CLKCR3)**

CLKCR3	7	6	5	4	3	2	1	0
位符号	CMIE	reserved	HXCMEN	reserved				
读/写	R/W	R	R/W	R				
复位后	0	0	0	0				

注 1 : 所有复位皆可使此寄存器复位

注 2 : 考虑未来的兼容性问题 · 位符号为 reserve 必须写入 0

CMIE	时钟监控中断允许	0 : 禁止 1 : 允许
HXCMEN	外部高速时钟监控允许	0 : 禁止 · CMCR 寄存器内相关外部高速时钟监控位皆无法操作 1 : 允许

**PLL 控制寄存器 0 (PLLCR0)**

PLLCR0	7	6	5	4	3	2	1	0
位符号	reserved					PLLREF	PLLRDY	PLLEN
读/写	R					R/W	R	R/W
复位后	0					0	0	0

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 考虑未来的兼容性问题 · 位符号为 reserve 必须写入 0

PLLREF	PLL 参考时钟选取	0 : 选择 LPIRC 为参考时钟 1 : 选择 HXTAL 为参考时钟
PLLRDY	PLL 就绪	0 : 尚未就绪 1 : 就绪
PLLEN	PLL 允许	0 : 禁止 1 : 允许

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**时钟频率监控寄存器 (CMCR)**

CMCR	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	reserved	HXSLWEN	HXFSTEN	HXFAILEN
读/写	R	R	R	R	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：此功能使用于侦测外部时钟潜在的问题，侦测状态会显示于时钟监控状态寄存器 CMSR。

注：所有硬件与软件复位皆可使此寄存器复位

HXSLWEN	外部高速时钟速度过慢监控允许	0：禁止 1：允许
HXFSTEN	外部高速时钟速度过快监控允许	0：禁止 1：允许
HXFAILEN	外部高速时钟失效监控允许	0：禁止 1：允许

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**时钟监控状态寄存器 (CMSR)**

CMSR	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	reserved	HXSLW	HXFST	HXFAIL
读/写	R	R	R	R	R	R/W1C	R/W1C	R/W1C
复位后	0	0	0	0	0	0	0	0

注：所有硬件与软件复位皆可使此寄存器复位

HXSLW	侦测外部高速时钟过快	0：未侦测 1：侦测到过慢
HXFST	侦测外部高速时钟过快	0：未侦测 1：侦测到过快
HXFAIL	侦测到外部高速时钟失效	0：未侦测 1：侦测到失效

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 6.5 系统及外围电路时钟

### 6.5.1 功能性门控时钟

所有功能皆被外围电路时钟允许寄存器 PCKENx 各别控制。

地址	寄存器	描述
0x0178	PCKEN0	外围电路时钟允许寄存器 0
0x0179	PCKEN1	外围电路时钟允许寄存器 1
0x017A	PCKEN2	外围电路时钟允许寄存器 2
0x017B	PCKEN3	外围电路时钟允许寄存器 3
0x017C	PCKEN4	外围电路时钟允许寄存器 4
0x017D	PCKEN5	外围电路时钟允许寄存器 5
0x017E	PCKEN6	外围电路时钟允许寄存器 6
0x017F	PCKEN7	外围电路时钟允许寄存器 7

#### 外围电路时钟允许寄存器 0(PCKEN0)

PCKEN0	7	6	5	4	3	2	1	0
位符号	PCKEN0[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详情请见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN0[0]	reserved
PCKEN0[1]	reserved
PCKEN0[2]	reserved
PCKEN0[3]	reserved
PCKEN0[4]	TCA0
PCKEN0[5]	TCA1
PCKEN0[6]	TCA2
PCKEN0[7]	TCA3

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**外围电路时钟允许寄存器 1 (PCKEN1)**

PCKEN1	7	6	5	4	3	2	1	0
位符号	PCKEN1[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详情请见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN1[0]	TCA4
PCKEN1[1]	TCA5
PCKEN1[2]	TCA6
PCKEN1[3]	TCA7
PCKEN1[4]	UART0
PCKEN1[5]	UART1
PCKEN1[6]	UART2
PCKEN1[7]	reserved

**外围电路时钟允许寄存器 2(PCKEN2)**

PCKEN2	7	6	5	4	3	2	1	0
位符号	PCKEN2[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详情请见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN2[0]	I2C0
PCKEN2[1]	I2C1
PCKEN2[2]	reserved
PCKEN2[3]	reserved
PCKEN2[4]	SIO0
PCKEN2[5]	SIO1
PCKEN2[6]	reserved
PCKEN2[7]	reserved

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**外围电路时钟允许寄存器 3 (PCKEN3)**

PCKEN3	7	6	5	4	3	2	1	0
位符号	PCKEN3[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详情请见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN3[0]	EINT0
PCKEN3[1]	EINT1
PCKEN3[2]	EINT2
PCKEN3[3]	EINT3
PCKEN3[4]	EINT4
PCKEN3[5]	EINT5
PCKEN3[6]	EINT6
PCKEN3[7]	EINT7

**外围电路时钟允许寄存器 4 (PCKEN4)**

PCKEN4	7	6	5	4	3	2	1	0
位符号	PCKEN4[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详情请见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN4[0]	reserved
PCKEN4[1]	reserved
PCKEN4[2]	reserved
PCKEN4[3]	reserved
PCKEN4[4]	reserved
PCKEN4[5]	reserved
PCKEN4[6]	reserved
PCKEN4[7]	reserved

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**外围电路时钟允许寄存器 5(PCKEN5)**

PCKEN5	7	6	5	4	3	2	1	0
位符号	PCKEN5[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详情请见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN5[0]	reserved
PCKEN5[1]	MAC
PCKEN5[2]	reserved
PCKEN5[3]	reserved
PCKEN5[4]	reserved
PCKEN5[5]	reserved
PCKEN5[6]	reserved
PCKEN5[7]	reserved

**外围电路时钟允许寄存器 6(PCKEN6)**

PCKEN6	7	6	5	4	3	2	1	0
位符号	PCKEN6[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详情请见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN6[0]	reserved
PCKEN6[1]	reserved
PCKEN6[2]	ADC
PCKEN6[3]	reserved
PCKEN6[4]	reserved
PCKEN6[5]	reserved
PCKEN6[6]	reserved
PCKEN6[7]	reserved

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**外围电路时钟允许寄存器 7(PCKEN7)**

PCKEN7	7	6	5	4	3	2	1	0
位符号	PCKEN7[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

寄存器中各位代表不同的外围电路时钟，详情请见下表。若启动所需的时钟，请于相对应位写入 1。

寄存器位	外围电路时钟
PCKEN7[0]	reserved
PCKEN7[1]	CRC
PCKEN7[2]	reserved
PCKEN7[3]	reserved
PCKEN7[4]	reserved
PCKEN7[5]	reserved
PCKEN7[6]	reserved
PCKEN7[7]	reserved



## 7. 12 位 ADC

SQ7613 具一个准 12 位 SAR 型 ADC 器，具 7 个输入端口(AIN4-AIN10)。

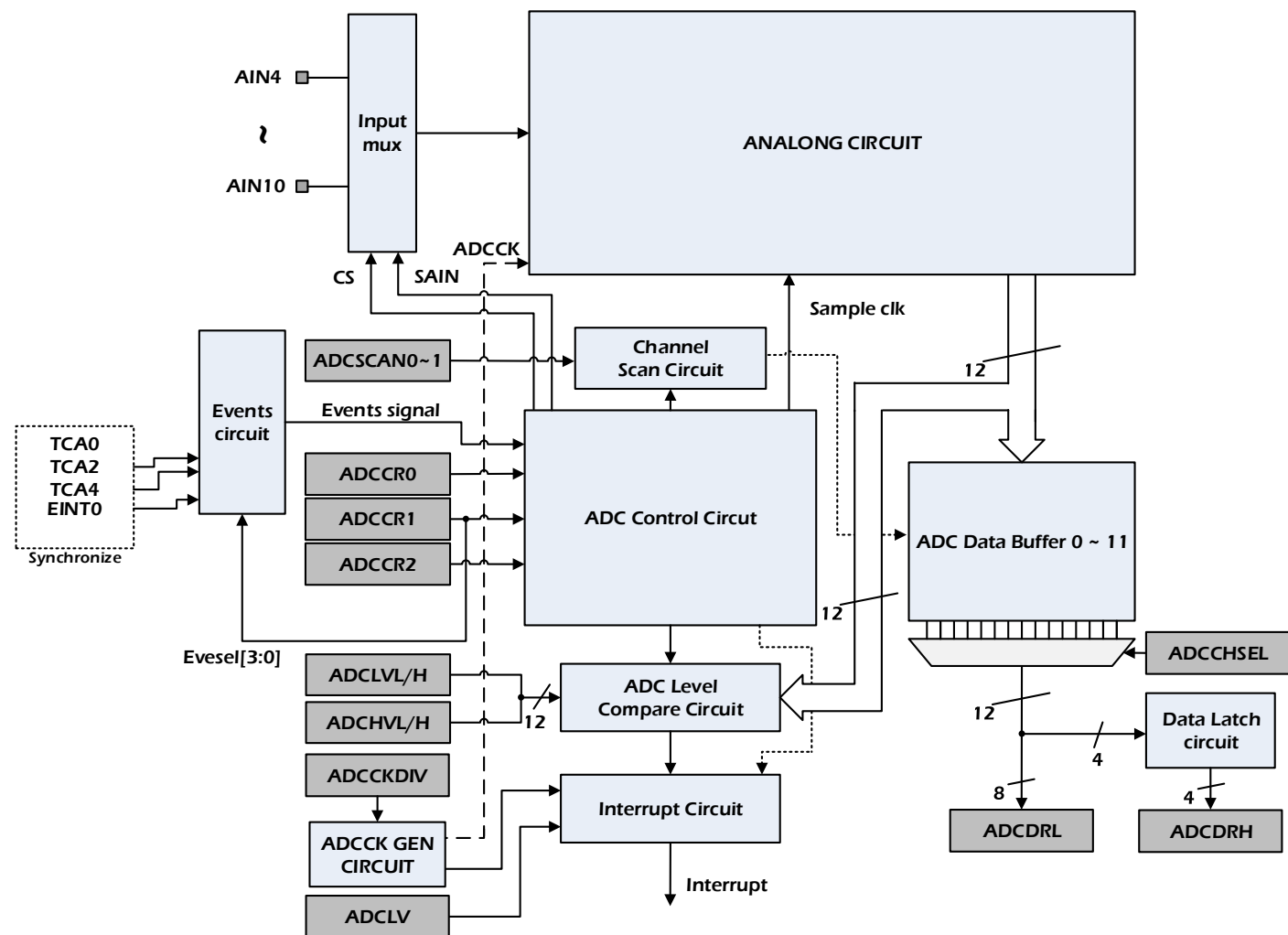


图 7- 1 ADC 器模块图

注：使用 ADC 前，需設置輸入埠相對應的端口功能控制寄存器(PxFC1、PxFC2)設為 1。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 7.1 功能叙述

12 位 ADC 器架构如图 7-1 所示，此 ADC 器包含 4 个控制寄存器(ADCCR0 ~ 3)、转换数值寄存器 ADCDRL 及 ADCDRH、一个取样保留(sample-hold)线路、一个比较器以及一个连续比较线路等。

### 7.1.1 ADC 控制寄存器

控制寄存器具备以下 13 个功能：

#### 1. ADC 控制寄存器 0 (ADCCR0)

设定 ADCCR0 寄存器，选取 ADC 工作模式，选择 ADC 参考源，并控制 ADC 器启动。

#### 2. ADC 控制寄存器 1 (ADCCR1)

设定 ADCCR1 寄存器，选择触发 ADC 器的事件。

#### 3. ADC 控制寄存器 2 (ADCCR2)

设定 ADCCR2 寄存器，设置阶层比较中断。

#### 4. ADC 时钟分频寄存器(ADCKDIV)

此寄存器设置 ADC 时钟频率。

#### 5. ADC 阶层比较寄存器(ADCLV)

此寄存器设置阶层比较开始，控制阶层比较区间以及通道。

#### 6. ADC 信道扫描寄存器(ADCSCANx, x=0~1)

此寄存器控制 ADC 信道扫描。

#### 7. ADC 状态寄存器(ADCSR)

此寄存器控制数据缓存并侦测阶层比较条件，设定 ADC 工作开始，与 ADC 工作状态。

#### 8. ADC 通道就绪寄存器(ADCRDY)

此寄存器显示最新 ADC 信道就绪的编号。

#### 9. ADC 通道选择寄存器(ADCCHSEL)

此寄存器选择读取 ADC 数据的信道。

#### 10. ADC 数据寄存器(ADCDRH 及 ADCDRL)

设定 ADCDRH 及 ADCDRL 寄存器，此寄存器储存 ADC 器所产生的数值。

#### 11. ADCHLV 寄存器(ADCHLVH 及 ADCHLVL)

此寄存器储存 ADC 数据比较的高位结果。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 12. ADCLLV 寄存器(ADCLLVH 及 ADCLLVL)

此寄存器储存 ADC 数据比较的低位结果。

### 7.1.2 数据缓存器

每个转换结束后，ADC 数据会被写入相对应信道的数据缓冲器。另外，ADC 数据就绪寄存器亦会根据 ADC 通道数目进行更新。

存取特定信道数据时，软件会写入 ADC 通道选择寄存器(ADCCHSEL)，接着读取 ADC 数据寄存器(ADCDRL/ADCDRH)。用户需读取低位的数据寄存器 ADCDRL，再读高位数据寄存器 ADCDRH。

当 ADC 结果写入数据缓存器时，数据缓存器会被锁定，直到下列任一项条件发生时才会解锁：

1. ADCDR 被读取。在特定通道，若 ADCDRL 被读取，此信道的数据缓存器会被锁定，直到 ADCDRH 也被读取后才会解锁，以保持数据的完整性。
2. 数据缓存器解锁(UNLCK = 1)。在此模式下，ADC 缓存器中最近的内容都会被解锁；如同使用者的软件已读取所有的内容，所以新的转换结果可写入数据缓存器。
3. 数据缓存器覆写允许(BUFOVR= 1)。在此模式下，ADC 数据会连续地更新。

### 7.1.3 多重信道扫描

SQ7613 具 ADC 扫描寄存器 ADCSCAN0 与 ADCSCAN1 支持多重信道扫描功能。各个寄存器位代表一个 ADC 信道，填入值“1”代表此信道加入信道扫描；若填入“0”则代表此信道不进行信道扫描。ADC 转换由信道 4 开始作业，至信道 10 (第 4 位至第 10 位)，于 ADC 空闲时<ADBF>=0，可变更扫描顺序；若当 ADC 转换进行中，必须先停止 ADC 转换(<AMD>=00b)才能对 ADC 信道扫描寄存器进行变更。

### 7.1.4 ADC 时钟源选择

ADC 取样时钟源自于系统时钟，分频器可透过 ADCCKDIV 进行设置。

### 7.1.5 ADC 参考

系统默认 ADC 无内部参考电压，使用外部参考电压，外部参考可设置 ADCCR0<IRFEN>后启动。

### 7.1.6 ADC 事件源

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

当事件选择寄存器 ADCCR1<EVSEL>设置为 00 时，透过设置 ADCSR<ADRS>为 1 可启动 ADC。当 EVSEL 设置为其他值时，可由源选择触发 ADC 且忽略 ADRS 输入。

### 7.1.7 ADC 阶层比较

在部分应用中，使用者只对 ADC 值于特定区间时特别关注。故为减少 CPU 不必要的中断，ADC 阶层比较启用 ADCLV<LVCMP>、ADCHLV (ADCHLVL, ADCHLVH)及 ADCLLV (ADCLLVL, ADCLLVH)寄存器可用来过滤部分不需关注之 ADC 值。

LVCMP	ADC 后进行阶层比较的条件(需先设定 ADEN)	中断条件
00	阶层比较禁止	每次转换的最后产生中断
01	ADC 数据 < ADCLLV	ADCLLV = 0x0060 · ADCHLV=0x3FFF · 当 ADCDR ≤ 0x005F 产生中断
10	ADC 数据 > ADCHLV	ADCLLV = 0x0000 · ADCHLV=0x005F · 当 ADCDR ≥ 0x0060 产生中断
11	ADCLLV > ADCDR > ADCHLV	ADCLLV = 0x0200 · ADCHLV=0x00FF · 当 ADCDR 为 0x100 至 0x1FF 产生中断； ADCLLV = 0x0100 · ADCHLV=0x01FF · 当 ADCDR ≤ 0x00FF 或 ADCDR ≥ 0x0200 即产生中断

阶层比较区间决定阶层比较使用于全部样本，或是特定样本。若使用于全部样本(ADCLV<LVINTVL>=0)，阶层比较会于各个扫描信道执行；若只有特定样本(ADCLV<LVINTVL>=1)，特定通道数会写入阶层比较信道选择寄存器位(ADCLV<LVSEL>)，且只有这些特定信道的样本执行阶层比较。当符合比较条件(ADCLV<LVCMP>)时，阶层比较侦测(<LVDET>)会设置为 1。

### 7.1.8 中断产生

共有 2 种产生中断的方式，转换结束标志(<EOCF>)或阶层侦测(ADCSR<LVDET>)。

1. EOCF：若中断区间设置为 0 (ADCCR0<INTLV>=0)，于各个转换完成后，EOCF 会设置为 1。若中断区间设置为 1(ADCCR0<INTLV>=1)，则扫描序列完成后，EOCF 会设置为 1，EOCF 会保持设置至软件清除，EOCF 写入 0 无任何作用。若 ADC 中断启动(ADCCR0<INTEN>=1)，设置 EOCF 为 1 时会产生中断。

2. LVDET：当符合比较条件时，阶层比较侦测(ADCSR<LVDET>)会设置为 1，ADCSR<LVDET>会保持设置值至软件清除。ADCSR<LVDET>写入 0 无任何作用，若 ADC 阶层中断启动(ADCCR2<LVINTEN>=1)时，设置 ADCSR<LVDET>为 1 时会产生中断。

ADC 忙碌标志(ADCSR<ADBF>)会保持设定至所有 ADC 转换完成，中断设置并不会造成任何影响。

### 7.1.9 ADC 工作模式

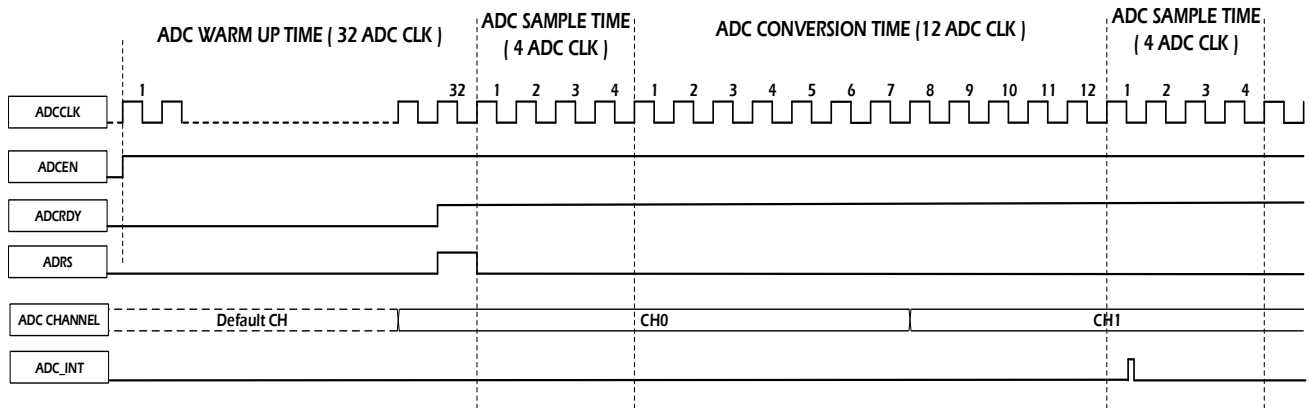


图 7-2 ADC 上电与转换时序图

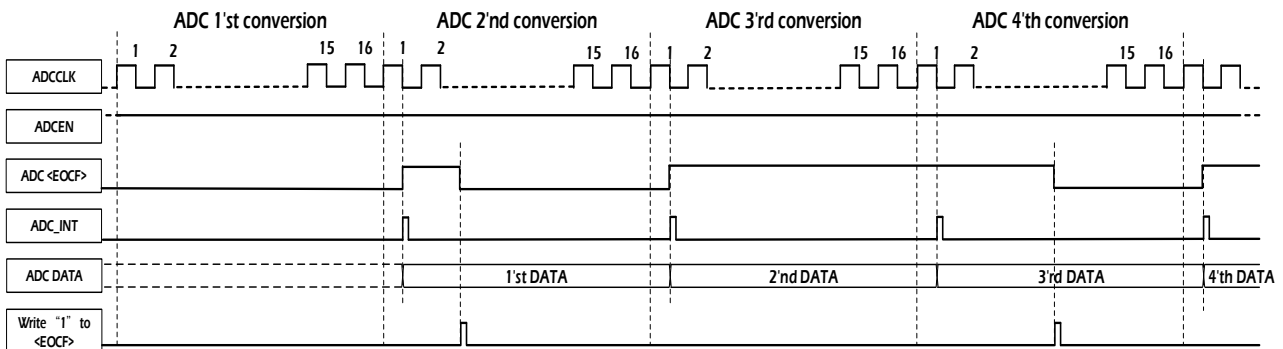


图 7-3 ADC<EOCF>与数据总线时序图

内置的 AD 转换器具有两种操作模式：单次模式以及重覆模式，皆可对选定的通道取得数据。

#### 7.1.9.1 单次模式

单次模式下，ADC 器只对指定模拟信号输入引脚的电压进行一次 ADC。

ADC 启动后，ADCSR<ADBF>被设定为“1”。在 ADC 完成或 ADC 被强制停止时，ADCSR<ADBF>会被清除为“0”。

ADC 完成后，转换结果会被储存在数据缓存器(data buffer)中。同时，ADCSR <EOCF>会被设定为“1”，并产生 ADC 完成中断。进行 ADC 时，依中断处理程序读取 ADC 数值寄存器。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

当 ADC 开始(ADCSR<ADRS>="1")，且于单一模式完成 ADC 后，转换数据会存入缓存器内，由用户决定何时读出数据至 ADCDRL/ADCDRH。在下一个 ADC 开始时，<EOCF>仍不会自动清除为 0，须以软件设定清除为 0。

为节省功耗，可在每个 ADC 结束后设置为自动掉电；当 ADCCR0<AUTOPD>设置为 1 时，在每次转换完成后，ADC 会自动掉电。请注意，若 ADC 于每次转换完成后自动掉电，要再启动下一次 ADC 转换，需手动设置 ADEN 与 ADRS，且在下一个转换开始会有延迟，此与 AD 初始启动的延迟相同。

当未启动 ADC 自动掉电，ADCCR0<AUTOPD>设置为 0 时，则转换完成后，ADC 不会自动掉电，ADC 会持续保持上电。要再启动下一次 ADC 转换，需手动设置 ADRS。

ADCCR0<ADEN>为"1"后，需等待 ADRDY 为"1"，才能进行 ADC 转换时，ADCSR<ADRS>为"1"。ADC 完成后，ADCCR0<ADEN>自动为"0"。执行下次 ADC，需再重复进行上述说明。

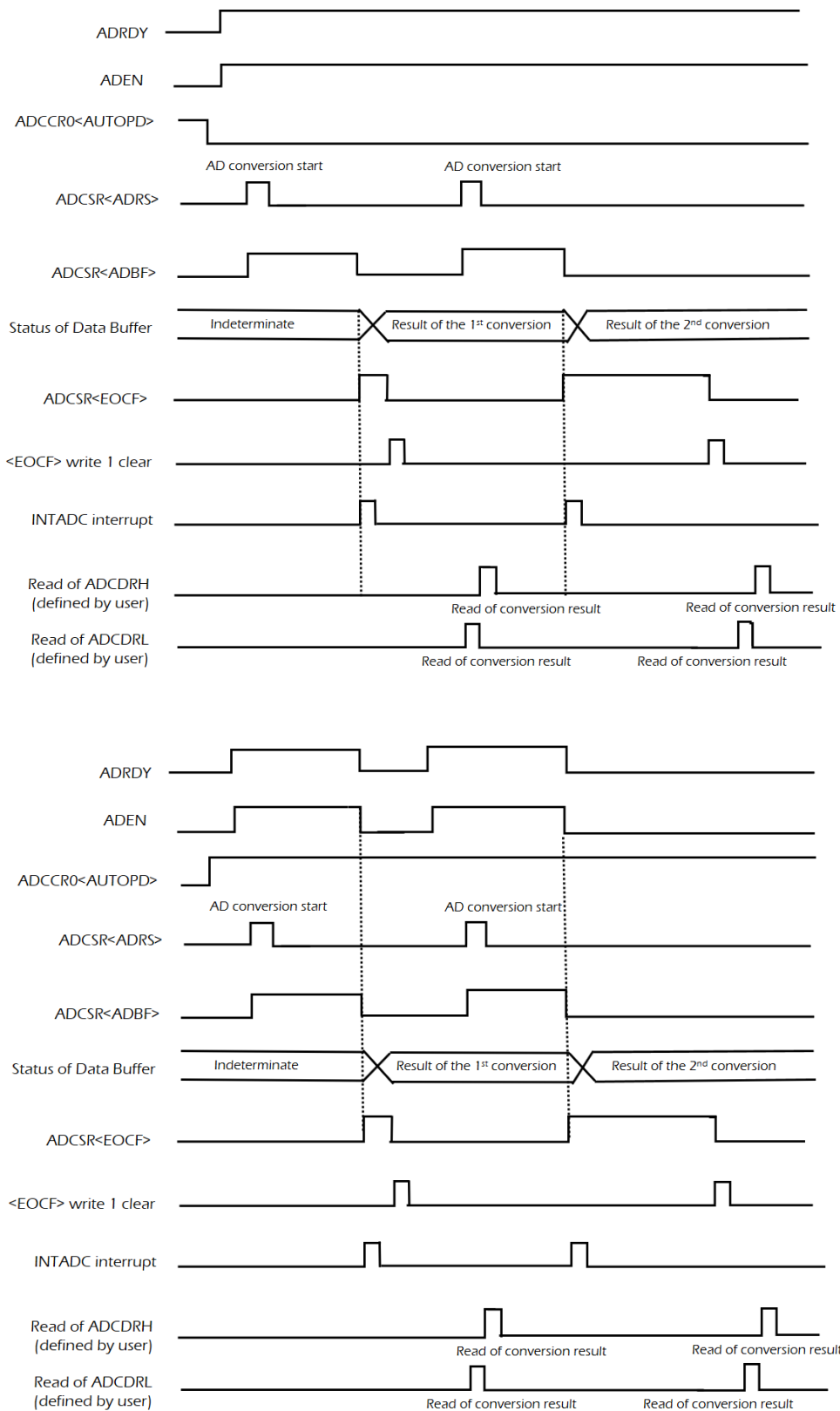


图 7-4 ADC 单次模式

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 7.1.9.2 重复模式

重复模式下，ADC 器重复对模拟信号输入引脚的电压进行 ADC。将 ADCCR0<AMD>设定为“11”，启动重复模式。将 ADCSR<ADRS>设定为“1”启动 ADC。

ADC 启动后，ADCSR<ADRS>便自动被清除。第一次 ADC 完成后，转换结果会被存在 ADC 数值寄存器 ADCDRL 和 ADCDRH，同时 ADCSR <EOCF>会被设定为“1”，并产生 ADC 完成中断。在此中断产生后，随即开始下一次 ADC。

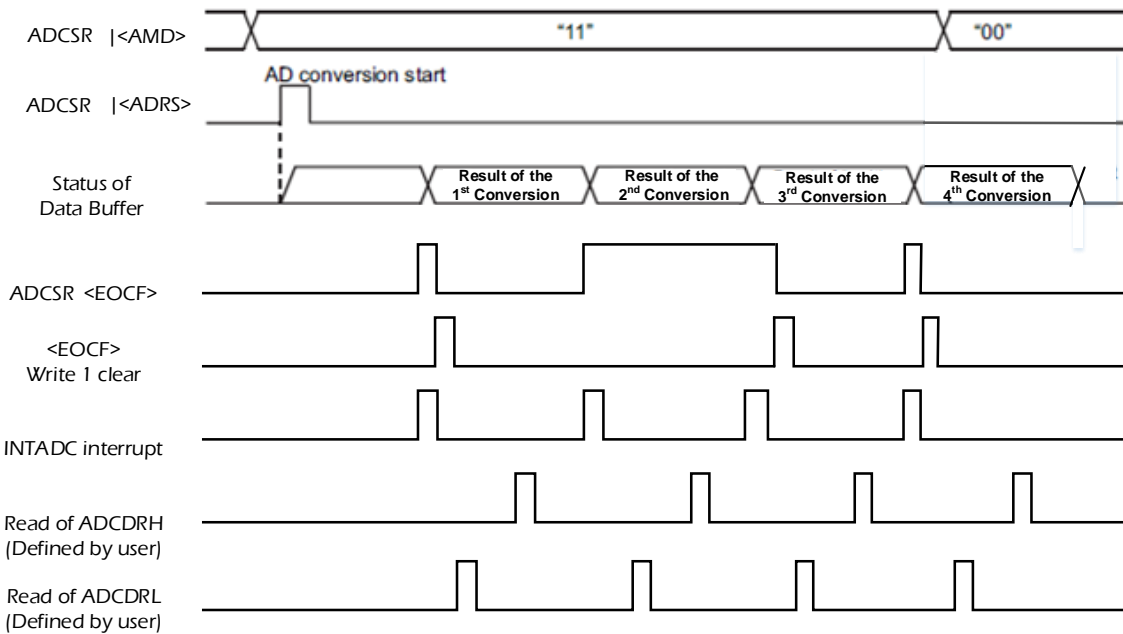


图 7-5 ADC 重复模式

### 7.1.10 停止 AD 工作

设置 ADCCR0<AMD>为“00”，可于单次以及重复模式下强制停止进行中的 ADC 操控。

当 ADCCR0<AMD>设置为“00”时，ADC 会立即停止，其转换数值不会储存至 ADC 数据寄存器；且 ADCSR<EOCF>，ADCSR<ADBF>会初始化为“0”；若掉电后，<ADEN>=0，ADCDRL/ADCDRH 则会初始化为 0。



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 7.1.11 ADC 工作流程

1. 透过寄存器 ADCCKDIV<ADCKDIV>设置 ADC 时钟频率
2. 先设置 ADCCR0<ADEN>为"1"来启动 ADC，选择 ADC 控制寄存器中的内部参考位 ADCCR0<IRFEN>以及阶层比较器 ADCLV<LVCMP>。
3. 选择 ADC 输入触发事件源 ADCCR1<EVSEL>
4. 选择工作模式 ADCCR0<AMD>
5. 确认 ADC 状态寄存器(ADCSR)的 ADC 预备就绪标帜<ADRDY>= 1
6. 设置 ADCSR<ADRS>为"1"，开始进行 ADC 转换
7. ADC 完成后，ADC 状态寄存器(ADCSR)的 ADC 终止标帜<EOCF>会被设定为"1"，ADC 结果会被存在 ADC 数值寄存器 ADCDRH 和 ADCDRL 内，并产生 INTADC 中断要求。
8. 从 ADCDRH 读取转换结果后，EOCF 即可写入 1 清除为"0"。如果在读取 ADC 数值寄存器 ADCDRH 前再次执行 ADC，前次转换结果仍会写入数据缓冲器，待使用者读出至 ADCDRL 和 ADCDRH。

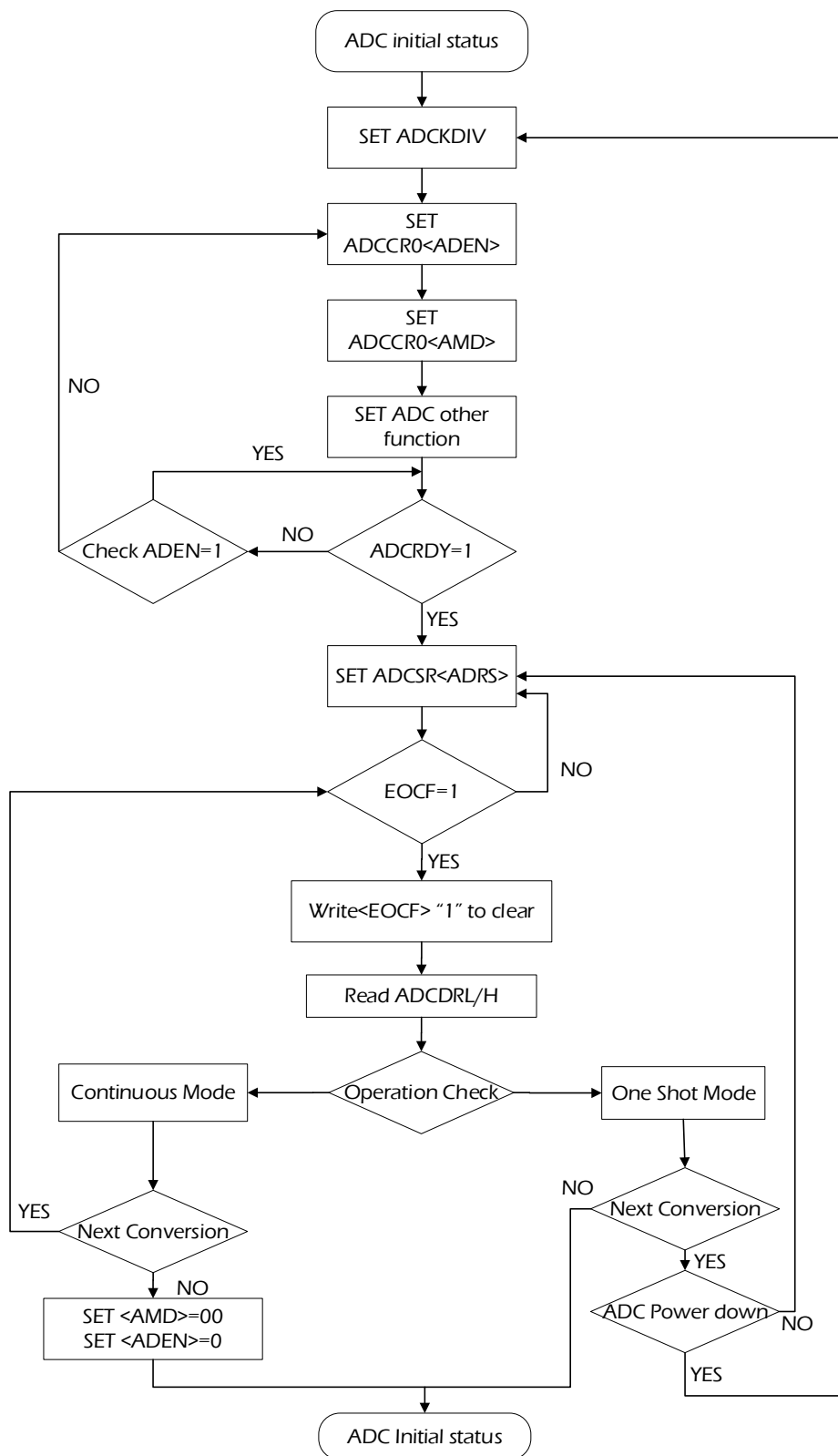


图 7-6 ADC 工作流程示意图

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 7.2 注意事项

### 7.2.1 模拟信号输入引脚电压范围

模拟信号输入引脚 AIN 的电平必须必须控制在 VREF 和 VSS 之间。若任何单一模拟信号输入引脚的输入电平超过此范围，除该引脚的 ADC 数值不正确外，其他模拟信号输入引脚的转换数值也会受影响。

### 7.2.2 模拟信号输入引脚作 I/O 埠用

模拟信号输入引脚也可作 I/O 埠用。使用任何单一模拟信号输入引脚(端口)作 ADC 时，不可在其他模拟信号输入引脚(端口)执行输入/输出指令，否则可能影响 ADC 精准度。此现象也适用模拟信号输入引脚之外的其他引脚；任一引脚接收外界输入或产生输出信号时都可能产生噪声，并影响相邻引脚的特性。

### 7.2.3 噪声抑制

下图是模拟信号输入引脚的内部等效线路。模拟信号输入源的外部阻抗越高，受噪声的影响就越严重。为了减少噪声问题的发生，请确认信号源的输出阻抗小于 5kΩ。建议加上外部电容器。

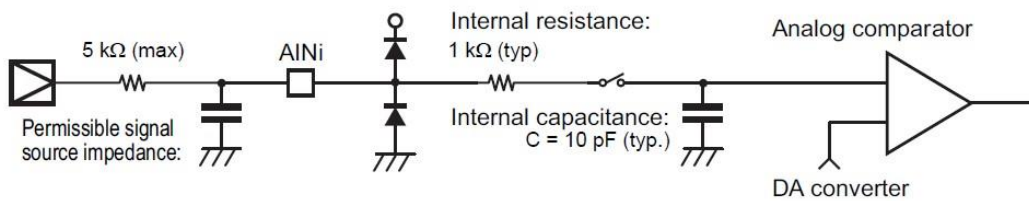


图 7-7 模拟信号输入等效线路及输入引脚设计范例

注：i= 4~10

### 7.3 ADC 寄存器

地址	寄存器	描述
0x0300	ADCCR0	ADC 控制寄存器 0
0x0301	ADCCR1	ADC 控制寄存器 1
0x0302	ADCCR2	ADC 控制寄存器 2
0x0304	ADCKDIV	ADC 时钟分频寄存器
0x0306	ADCLV	ADC 阶层比较寄存器
0x0307	ADCSCAN0	ADC 扫描寄存器 0
0x0308	ADCSCAN1	ADC 扫描寄存器 1
0x030A	ADCSR	ADC 状态寄存器
0x030B	ADCCHRDY	ADC 通道就绪寄存器
0x030C	ADCCHSEL	ADC 通道选择寄存器
0x0310	ADCDRL	ADC 数据寄存器(低位)
0x0311	ADCDRH	ADC 数据寄存器(高位)
0x0312	ADCLLV	ADCLLV 寄存器(低位)
0x0313	ADCLLVH	ADCLLV 寄存器(高位)
0x0314	ADCHLV	ADCHLV 寄存器(低位)
0x0315	ADCHLVH	ADCHLV 寄存器(高位)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**ADC 控制寄存器 0 (ADCCR0)**

ADCCR0 (0x0300)	7	6	5	4	3	2	1	0
位符号	AMD[1:0]		AUTOPD	INTLV	INTEN	IRFEN[1:0]		ADEN
读/写	R/W		R/W	R/W	R/W	R/W		R/W
复位后	0	1	0	0	0	0	1	0

注：所有硬件与软件复位皆可使此寄存器复位

AMD [1:0]	AD 工作模式	00：转换禁止，强制停止 AD 工作 01：单次模式 10：系统保留 11：重复模式
AUTOPD	自动掉电	0：每次转换之间，ADC 皆不掉电 1：单次模式，每次转换后，ADC 皆自动掉电
INTLV	中断区间	0：每笔数据转换 1：扫描结束
INTEN	中断允许	0：ADC 中断禁止 1：ADC 中断允许
IRFEN [1:0]	内部参考允许	00：系统保留 01：VDDA_ADC 10：外部参考电压 11：系统保留
ADEN	AD 允许	0：ADC 禁止 1：ADC 允许

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**ADC 控制寄存器 1 (ADCCR1)**

ADCCR1 (0x0301)	7	6	5	4	3	2	1	0
位符号	EVSEL[3:0]				reserved			
读/写	R/W				R			
复位后	0				0			

注：所有硬件与软件复位皆可使此寄存器复位

EVSEL0 [3:0]	事件选择	0000 : ADRS 1000 : TCA0 1001 : TCA2 1010 : TCA4 1100 : EINT0 其他：系统保留
--------------	------	---

**ADC 控制寄存器 2 (ADCCR2)**

ADCCR2 (0x0302)	7	6	5	4	3	2	1	0
位符号	reserved							LVINTEN
读/写	R							R/W
复位后	0							0

注：所有硬件与软件复位皆可使此寄存器复位

LVINTEN	阶层中断允许	0 : 阶层比较中断禁止 1 : 阶层比较中断允许
---------	--------	------------------------------

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### ADC 时钟分频寄存器 (ADCKDIV)

ADCKDIV (0x0304)	7	6	5	4	3	2	1	0
位符号	Reserved				ADCKDIV[3:0]			
读/写	R				R/W			
复位后	0				0			

注1：所有硬件与软件复位皆可使此寄存器复位

注2：ADC 电气特性参考 CH2.7 内容

注3：ADC sample rate =  $\frac{1}{22} \times \frac{f_{sysclk}}{ADCKDIV}$

当系统主频为 24MHz, ADCKDIV 设为 0x02, ADC Sample rate :  $\frac{1}{22} \times \frac{24MHz}{2^2} = 272.727ksps$

ADCKDIV[3:0]	ADC 时钟分频： 此位定义 ADC 时钟分频器与系统时钟的关系	0000 : fsysclk 0001 : fsysclk/2 0010 : fsysclk/2 <sup>2</sup> 0011 : fsysclk/2 <sup>3</sup> 0100 : fsysclk/2 <sup>4</sup> 0101 : fsysclk/2 <sup>5</sup> 0110 : fsysclk/2 <sup>6</sup> 0111 : fsysclk/2 <sup>7</sup> 1000 : fsysclk/2 <sup>8</sup> 1001 : fsysclk/2 <sup>9</sup>
--------------	-------------------------------------	--

### ADC 阶层比较寄存器(ADCLV)

ADCLV (0x0306)	7	6	5	4	3	2	1	0
位符号	LVCMP[1:0]		LVINTVL	LVSEL[4:0]				
读/写	R/W		R/W	R/W				
复位后	0		0	0				

注：所有硬件与软件复位皆可使此寄存器复位

LVCMP[1:0]	阶层比较允许	00：阶层比较禁止 01：低阶比较(ADCLLV > ADC 数值) 10：高阶比较(ADC 数值 > ADCHLV) 11：高阶及低阶比较 (ADCLLV > ADC 数值 及 ADC 数值 > ADCHLV)
LVINTVL	阶层比较区间	0：所有样本皆进行阶层比较 1：于 LVSEL 所指定的通道进行阶层比较
LVSEL [4:0]	阶层比较通道选择	当 LVINTVL=1 时，这些位会选择信道进行比较 00100: AIN4 00101: AIN5 00110: AIN6 00111: AIN7 01000: AIN8 .....

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**ADC 信道扫描寄存器 0 (ADCSCAN0)**

ADCSCAN0 (0x0307)	7	6	5	4	3	2	1	0
位符号	ADCSCAN[7:4]				Reserved			
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

ADCSCAN [7:4]	ADC 信道扫描	此寄存器保存 ADC 信道扫描控制
---------------	----------	-------------------

**ADC 信道扫描寄存器 1 (ADCSCAN1)**

ADCSCAN1 (0x0308)	7	6	5	4	3	2	1	0
位符号						ADCSCAN[10:8]		
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

ADCSCAN [10:8]	ADC 信道扫描	此寄存器保存 ADC 信道扫描控制
----------------	----------	-------------------



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**ADC 状态寄存器 (ADCSR)**

ADCSR (0x030A)	7	6	5	4	3	2	1	0
位符号	EOCF	ADBF	ADRDY	reserved	BUFOVR	UNLCK	LVDET	ADRS
读/写	R/W1C	R	R/W	R	R/W	R/W	R/W1C	R/W
复位后	0	0	0	0	0	0	0	0

注：所有硬件与软件复位皆可使此寄存器复位

EOCF	ADC 结束标帜	0：转换前或转换处理中 1：转换结束
ADBF	ADC 忙碌标帜	0：ADC 停止 1：ADC 执行中
ADCRDY	ADC 预备就绪标帜	0：ADC 尚未就绪 1：ADC 就绪标帜
BUFOVR	数据缓存器覆写	0：ADC 数据缓存器锁定 1：ADC 数据缓存器自动覆写
UNLCK	数据缓存器解锁	0：数据缓存器锁定 1：数据缓存器解锁
LVDET	阶层比较侦测	0：未被侦测到 1：侦测到阶层比较条件 (此位 write 1 clear)
ADRS	ADC 开始	0：- 1：ADC 开始

**ADC 通道就绪寄存器 (ADCCHRDY)**

ADCCHRDY (0x030B)	7	6	5	4	3	2	1	0
位符号	reserved			CHRDY[4:0]				
读/写	R			R				
复位后	0			0				

注：所有硬件与软件复位皆可使此寄存器复位

CHRDY [4:0]	通道就绪	此位会显示最新 ADC 信道之编号
-------------	------	-------------------

**ADC 通道选择寄存器 (ADCCHSEL)**

ADCCHSEL (0x030C)	7	6	5	4	3	2	1	0
位符号	reserved			CHSEL[4:0]				
读/写	R			R/W				
复位后	0			0				

注：所有硬件与软件复位皆可使此寄存器复位

CHSEL [4:0]	通道选择	此位定义读取 ADC 数据数据之信道
-------------	------	--------------------

**ADC 数据寄存器(低位) (ADCDRL)**

ADCDRL (0x0310)	7	6	5	4	3	2	1	0
位符号	ADCDRL[7:0]							
读/写	R							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

ADCDRL[7:0]	ADC 数据寄存器低位字节	此寄存器保存 ADC 数值
-------------	---------------	---------------

**ADC 数据寄存器(高位) (ADCDRH)**

ADCDRH (0x0311)	7	6	5	4	3	2	1	0
位符号	reserved				ADCDRH[3:0]			
读/写	R				R			
复位后	0				0			

注：所有硬件与软件复位皆可使此寄存器复位

ADCDRH[3:0]	ADC 数据寄存器高位字节	此寄存器保存较高位 ADC 数值
-------------	---------------	------------------

**ADC 低阶寄存器(低位) (ADCLLVL)**

ADCLLVL (0x0312)	7	6	5	4	3	2	1	0
位符号	ADCLLVL[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

ADCLLVL[7:0]	ADC 低阶寄存器低位字节	此寄存器保存 ADC 低阶比较数值
--------------	---------------	-------------------

**ADC 低阶寄存器(高位) (ADCLLVH)**

ADCLLVH (0x0313)	7	6	5	4	3	2	1	0
位符号	reserved				ADCLLVH[3:0]			
读/写	R				R/W			
复位后	0				0			

注：所有硬件与软件复位皆可使此寄存器复位

ADCLLVH[3:0]	ADC 低阶寄存器高位字节	此寄存器保存 ADC 低阶比较数值
--------------	---------------	-------------------

**ADC 高阶寄存器(低位) (ADCHLVL)**

ADCHLVL (0x0314)	7	6	5	4	3	2	1	0
位符号	ADCHLVL[7:0]							
读/写	R/W							
复位后	0							

注：所有硬件与软件复位皆可使此寄存器复位

ADCHLVL[7:0]	ADC 高阶寄存器低位字节	此寄存器保存 ADC 高阶比较数值
--------------	---------------	-------------------

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**ADC 高阶寄存器(高位) (ADCHLVH)**

ADCHLVH (0x0315)	7	6	5	4	3	2	1	0
位符号	reserved				ADCHLVH[3:0]			
读/写	R				R/W			
复位后	0				0			

注：所有硬件与软件复位皆可使此寄存器复位

ADCHLVH[3:0]	ADC 高阶寄存器高位字节	此寄存器保存 ADC 高阶比较数值(较高位)
--------------	---------------	------------------------

## 8. Flash 存储控制器(FMC)

Flash 存储控制器(Flash Memory Controller, FMC)主要功能为处理 Flash 存储器读存取、编程与擦除工作，可支持下列的工作类型：

- 字节(byte)读存取
- 字节(byte)编程
- 区块擦除(sector erase)与整体擦除(mass erase)

Flash 存储控制器可分为 3 个接口，如图 8-1 所示意。当编程或擦除作业完成后，FMC 会产生中断需求。

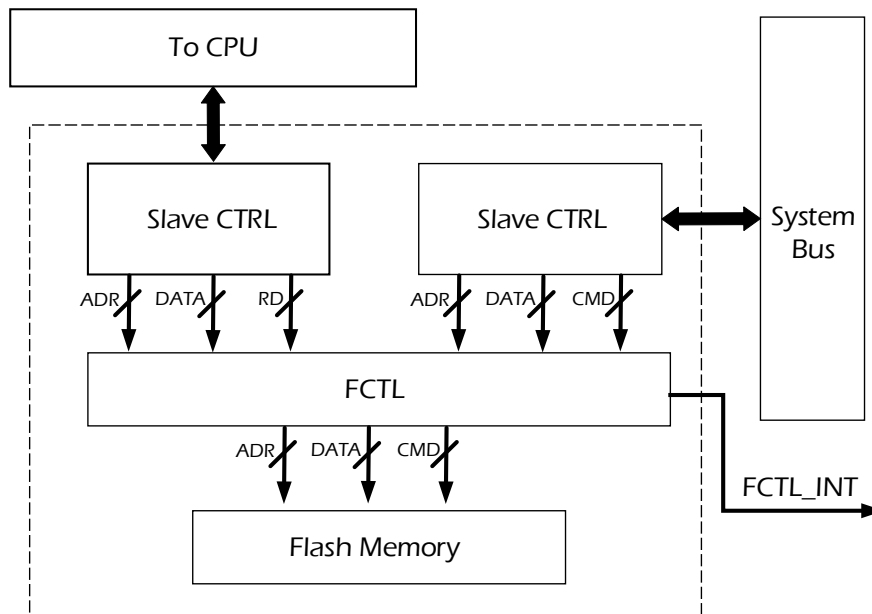


图 8-1 FLASH 存储控制器模块图

### 8.1 功能叙述

读取模式下，从端(slave)接口允许来自系统总线的读取需求。若系统正在进行编程或是擦除工作，控制器会使总线 ready low，以延迟读存取需求。待系统完成工作后，会移除 BUSY 标示，并进行读存取。进行 Flash 编程/读写或擦除，Flash 频率必需为 1MHz，使用者可透过 FCKDIV 设定 Flash 频率，Flash 频率为系统时钟 / (FCKDIV+1)。当芯片 Reset 后，需再重新设定 FCKDIV。

编程或是擦除模式下，使用接口适当设定 FMC 寄存器：共有 2 个 Flash 地址寄存器(FADDR0,FADDR1)、2 个 Flash 数据寄存器(FDATA0,FDATA1)与 2 个 Flash 控制寄存器(FCR0,FCR1)。地址寄存器提供 64KB 地址空间；数据寄存器可储存 16 位的数据；控制寄存器则是对工作架构进行设定。要使 FMC 工作，必须于 Flash 控制寄存器 0(FCR0)进行设定。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

使用范例:

DATASZ0设为00(byte数据读写)·将地址写入地址寄存器(FADDR0,FADDR1)·数据会接着写入数据寄存器(FDATA0,FDATA1)。此时·必须于控制寄存器输入需要执行的指令·当数据写入完成后·即会开始执行指令。其他寄存器写入数据都会被忽略·直到指令执行完毕·BUSY指示位清除。页擦除(page erase)只需要指定地址；整体擦除(mass erase)则只需要输入指令即可。

依以下步骤·进行存储器控制:

1. 确认 flash页面的数据是否为0xFF (flash只能从1到0编程)·如果flash不是"0xFF",则为"PROGA\_ERR"
2. 输入数据至flash
3. 从Flash读入数据,且与输入数据做比较·如果有数据不匹配·则发生" PROGD\_ERR"

## 8.2 Flash 储存控制寄存器

地址	寄存器	描述
0x0027	FCKDIV	Flash 时钟分频寄存器
0x0040	FCR0	Flash 控制寄存器 0
0x0041	FCR1	Flash 控制寄存器 1
0x0042	FADDR0	Flash 地址寄存器 0
0x0043	FADDR1	Flash 地址寄存器 1
0x0044	FDATA0	Flash 数据寄存器 0
0x0045	FDATA1	Flash 数据寄存器 1

表 8.1 Flash 储存控制寄存器列表

以上寄存器中各位的叙述将于接下来的章节进行介绍·寄存器所对应地址则可对照上表查找。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**Flash 时钟分频寄存器(FCKDIV)**

FCKDIV	7	6	5	4	3	2	1	0
位符号	FCKDIV[7:0]							
读/写	R/W							
复位后	0x0F							

注 1 : 进行 Flash 编程/读写或擦除 · Flash 频率必需为 1MHz ; Flash 频率为系统时钟 / (FCKDIV + 1)

注 2 : 所有复位皆可使此寄存器复位

**Flash 控制寄存器 0 (FCR0)**

FCR0	7	6	5	4	3	2	1	0
位符号	reserved	reserved	DATASZ0[1:0]		FCMD[3:0]			
读/写	R	R	R/W		R/W			
复位后	0	0	0		0			

注 1 : 所有复位皆可使此寄存器之第 0-6 位复位

注 2 : 上电复位可使第 7 位复位

注 3 : 读取 UID 前 · 需对 FCMD 做另外的设定 · 设定方式请参考范例程序

<http://www.imqtech.com/tech/technicaldocuments/samplecode>

注 4 : 考虑未来的兼容性问题 · 位符号为 reserve 必须写入 0

DATASZ0 [1:0]	Flash 数据容量大小	00 : 字节 Byte 其他 : 系统保留
FCMD [3:0]	Flash 命令寄存器	FCMD[1:0] 00 : 读命令 01 : 写命令 10 : 页擦除命令 11 : 整体擦除命令  FCMD[3:2] 必须为 00  注 : 以上位在工作结束后 · 皆会被硬件复位

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**Flash 控制寄存器 1 (FCR1)**

FCR1	7	6	5	4	3	2	1	0
位符号	BUSY	PROGA_ERR	PROGD_ERR	reserved	reserved			
读/写	R	R	R	R/W	R			
复位后	0	0	0	0	0			

注 1 : 所有复位皆可使此寄存器复位

注 2 : 考虑未来的兼容性问题, 位符号为 reserve 必须写入 0

BUSY	Flash 忙碌标志	0 : 空闲 1 : 忙碌, Flash 工作中 注 : 此位若由 1 转换为 0 时会产生中断。
PROGA_ERR	Flash 写入地址错误	0 : 地址正确 1 : 地址错误
PROGD_ERR	Flash 写入数据错误	0 : 数据正确 1 : 数据错误

**Flash 地址寄存器 0 (FADDR0)**

FADDR0	7	6	5	4	3	2	1	0
位符号	FADDR[7:0]							
读/写	R/W							
复位后	0							

注 : 所有复位皆可使此寄存器复位

FADDR [7:0]	Flash 地址(第 0-7 位)
-------------	-------------------



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**Flash 地址寄存器 1 (FADDR1)**

FADDR1	7	6	5	4	3	2	1	0
位符号	FADDR[15:8]							
读/写	R/W							
复位后	0							

注：所有复位皆可使此寄存器复位

FADDR [15:8]	Flash 地址(第 8-15 位)
--------------	--------------------

**Flash 数据寄存器 0 (FDATA0)**

FDATA0	7	6	5	4	3	2	1	0
位符号	FDATA[7:0]							
读/写	R/W							
复位后	0							

注：所有复位皆可使此寄存器复位

FDATA [7:0]	Flash 数据(第 0-7 位)
-------------	-------------------

**Flash 数据寄存器 1 (FDATA1)**

FDATA1	7	6	5	4	3	2	1	0
位符号	FDATA[15:8]							
读/写	R/W							
复位后	0							

注：所有复位皆可使此寄存器复位

FDATA [15:8]	Flash 数据(第 8-15 位)
--------------	--------------------

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 9. 通用 I/O

SQ7613 产品有 6 种平行 I/O 埠 (最多达个 29 I/O 引脚) 如下表所示 :

埠	引脚	引脚数	输入/输出	选择功能	
PortP0	P0.6 P0.5 P0.4 P0.2 P0.1 P0.0	6	输入/输出	P0.0	可用作 UART、SIO、I2C、TCA 功能。
				P0.1	可用作 UART、SIO、TCA 功能。
				P0.2 P0.6	可用作 SIO、I2C、TCA 功能。
				P0.4 P0.5	可用作 UART、SIO、I2C、TCA 功能。
PortP1	P1.3 到 P1.0	4	输入/输出	P1.3 到 P1.0	为 ADC 输入。
PortP2	P2.4 P2.2 P2.1 P2.0	4	输入/输出	P2.0	可用作 SIO、外部中断功能。
				P2.1	可用作 SIO、I2C、外部中断功能。
				P2.2	可用作 SIO、I2C、外部中断功能。
				P2.4	可用作唤醒输入功能。
PortP3	P3.7 到 P3.1	7	输入/输出	P3.1	
				P3.3 到 P3.2	可用作 I2C 功能。
				P3.4	为在线烧录功能。
				P3.5	可用作 TCA、在线烧录功能。
				P3.6	可用作 UART、TCA、外部中断功能。
				P3.7	可用作 UART、TCA 功能。
PortP4	P4.5 到 P4.2 P4.7	5	输入/输出	P4.2	-
				P4.3	为外部中断功能。
				P4.4 P4.5	为外部高速参考时钟连接功能。
				P4.7	可用于 TCA、分频器输出、外部中断功能。
PortP5	P5.3 P5.2 P5.1	3	输入/输出	P5.1	可用于 ADC 输入、UART、TCA 输入。
				P5.2	可用于 ADC 输入、UART、TCA 输出。
				P5.3	可用于 ADC 输入、ADC 参考电压输入。

表 9-1 I/O 埠

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

引脚名称					引脚/端口功能	
					Key-on Wakeup	External Interrupt
P0.0	P1.0	P2.0			KWI 0	EINT0
P0.1	P1.1	P2.1	P3.1		KWI 1	EINT1
P0.2	P1.2	P2.2	P3.2		KWI 2	EINT2
-	P1.3	-	P3.3 P3.6		KWI 3	EINT3
P0.4		P2.4	P3.4		KWI 4	EINT4
P0.5			P3.5		KWI 5	EINT5
P0.6			-	-	KWI 6	EINT6
-			P3.7	P4.7	KWI 7	EINT7
				P4.2		EINT2
				P4.3		EINT3
				P4.4		EINT4
				P4.5		EINT5

表 9-2 I/O 与唤醒、外部中断对照表

## 9.1 I/O 埠控制寄存器

以下控制寄存器供输入输出 I/O 埠使用。x 表示埠编号。寄存器可设定与否与埠相关。细节须参考每个埠的说明。

### PxDO 寄存器

此寄存器用于设定输出数据。端口设定为输出模式时，PxDO 的设定数值会由埠输出。

### PxDI 寄存器

此寄存器用于读输入数据。端口设定为输入模式时，端口输入状态可藉由 PxDI 读出。

### PxOE 寄存器

此寄存器切换埠的输入与输出。端口可以在输入模式和输出模式切换。

### PxFC1、PxFC2 寄存器

此寄存器可设定每个端口的选择功能输出。选择功能输出可以被允许或是禁止。

### PxPU 寄存器

此寄存器决定端口在输入模式下是否接上内部上拉电阻。

### PxPD 寄存器

此寄存器决定端口在输入模式下是否接上内部下拉电阻。

注：若系统进入外部中断后，需立即读取 GPIO 状态，请在程序中加 NOP，以避免读错，相关程序范例请参考附录 D。

## 9.2 I/O 埠寄存器

功能	地址	字节 3	字节 2	字节 1	字节 0
GPIO DO	0x00E0	P3DO	P2DO	P1DO	P0DO
	0x00E4	系统保留		P5DO	P4DO
GPIO DI	0x00F0	P3DI	P2DI	P1DI	P0DI
	0x00F4	系统保留		P5DI	P4DI
GPIO OE	0x0100	P3OE	P2OE	P1OE	P0OE
	0x0104	系统保留		P5OE	P4OE
GPIO PU	0x0110	P3PU	P2PU	P1PU	P0PU
	0x0114	系统保留		P5PU	P4PU
GPIO PD	0x0120	P3PD	P2PD	P1PD	P0PD
	0x0124	系统保留		P5PD	P4PD
GPIO FC1	0x0140	P3FC1	P2FC1	P1FC1	P0FC1
	0x0144	系统保留		P5FC1	P4FC1
GPIO FC2	0x0150	P3FC2	P2FC2	P1FC2	P0FC2
	0x0154	系统保留		P5FC2	P4FC2

### 9.2.1 P0 端口寄存器

#### P0埠输出锁存寄存器(P0DO)

P0DO	7	6	5	4	3	2	1	0
位符号	reserved	P6	P5	P4	reserved	P2	P1	P0
读/写	R	R/W	R/W	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

#### P0端口输入数据寄存器(P0DI)

P0DI	7	6	5	4	3	2	1	0
位符号	reserved	P6	P5	P4	reserved	P2	P1	P0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	设定于输入模式下可读取该端口的内容。非输入模式下的读取值为“0”。							

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**P0埠输入输出控制寄存器(POOE)**

POOE	7	6	5	4	3	2	1	0
位符号	reserved	P6	P5	P4	reserved	P2	P1	P0
读/写	R	R/W	R/W	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
	1	输出模式 (端口输出)						

**P0埠内置上拉电阻控制寄存器(POPU)**

POPU	7	6	5	4	3	2	1	0
位符号	reserved	P6	P5	P4	reserved	P2	P1	P0
读/写	R	R/W	R/W	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

**P0埠内置下拉电阻控制寄存器(POPD)**

POPD	7	6	5	4	3	2	1	0
位符号	reversed	P6	P5	P4	reversed	P2	P1	P0
读/写	R	R/W	R/W	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

注：如果 P<sub>x</sub>P<sub>Ux</sub> 与 P<sub>x</sub>P<sub>Dx</sub> 同时被设定为"1"时，埠将只连接至上拉电阻。(x = 0, 1)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**P0端口功能控制寄存器1、2 (POFC1、POFC2)**

POFC1 POFC2	7	6	5	4	3	2	1	0
位符号	reserved	P6	P5	P4	reserved	P2	P1	P0
读/写	R	R/W	R/W	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能 POFC1=0,POFC2=0	-	端口功能	端口功能	端口功能	-	端口功能	端口功能	端口功能
POFC1=0,POFC2=1	-	-	-	-	-	-	-	-
POFC1=1,POFC2=0	-	TCA6/ SCK0/SCL0	TXD2/RXD2/ SI0/SDA0/ SCL0/TCA5	RXD2/TXD2/ SO0/TCA4/ SDA0	-	TCA2/SCK1/S DA1/TCA2	TXD0/ RXD0/SO1/ TCA1	RXD0/TXD0/ SI1/SCL1/ TCA0
POFC1=1,POFC2=1	-	-	-	-	-	-	-	-

### 9.2.2 P1 端口寄存器

#### P1埠输出锁存寄存器(PIDO)

PIDO	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	P3	P2	P1	P0
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

#### P1端口输入数据寄存器(PIDI)

PIDI	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	P3	P2	P1	P0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	设定于输入模式下可读取该端口的内容。非输入模式下的读取值为“0”。							

#### P1埠输入输出控制寄存器(PIOE)

PIOE	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	P3	P2	P1	P0
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
	1	输出模式 (端口输出)						



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**P1埠内置上拉电阻控制寄存器(P1PU)**

P1PU	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	P3	P2	P1	P0
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

**P1埠内置下拉电阻控制寄存器(P1PD)**

P1PD	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	P3	P2	P1	P0
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

注：如果PxPUX与PxPDx同时被设定为"1"时，埠将只连接至上拉电阻。(x = 0, 1)

**P1端口功能控制寄存器1、2 (P1FC1、P1FC2)**

P1FC1 P1FC2	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	P3	P2	P1	P0
读/写	R	R	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	P1FC1=0,P1FC2=0 端口功能 端口功能 端口功能 端口功能 端口功能 端口功能 端口功能 端口功能							
P1FC1=0,P1FC2=1	-	-	-	-	-	-	-	-
P1FC1=1,P1FC2=0	-	-	-	-	-	-	-	-
P1FC1=1,P1FC2=1	-	-	-	-	AIN4	AIN5	AIN6	AIN7

### 9.2.3 P2 端口寄存器

#### P2埠输出锁存寄存器(P2DO)

P2DO	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	P4	reserved	P2	P1	P0
读/写	R	R	R	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

#### P2端口输入数据寄存器(P2DI)

P2DI	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	P4	reserved	P2	P1	P0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	设定于输入模式下可读取该端口的内容。非输入模式下的读取值为“0”。							

#### P2埠输入输出控制寄存器(P2OE)

P2OE	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	P4	reserved	P2	P1	P0
读/写	R	R	R	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
	1	输出模式 (端口输出)						

#### P2埠内置上拉电阻控制寄存器(P2PU)

P2PU	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	P4	reversed	P2	P1	P0
读/写	R	R	R	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。						

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**P2埠内置下拉电阻控制寄存器(P2PD)**

P2PD	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	P4	reserved	P2	P1	P0
读/写	R	R	R	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

注：如果PxPux与PxPDx同时被设定为"1"时，埠将只连接至上拉电阻。(x = 0, 1)

**P2端口功能控制寄存器1、2 (P2FC1、P2FC2)**

P2FC1 P2FC2	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	P4	reserved	P2	P1	P0
读/写	R	R	R	R/W	R	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0
功能 P2FC1=0,P2FC2=0	-	-	-	端口功能	-	端口功能	端口功能	端口功能
P2FC1=0,P2FC2=1	-	-	-	-	-	-	-	-
P2FC1=1,P2FC2=0	-	-	-	TCA4	-	SCL1/SCK1/ TCA2	SDA1/SI1/ TCA1	TCA0/SO1
P2FC1=1,P2FC2=1	-	-	-	-	-	-	-	-

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 9.2.4 P3 端口寄存器

#### P3埠输出锁存寄存器(P3DO)

P3DO	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	reserved
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

#### P3端口输入数据寄存器(P3DI)

P3DI	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	reserved
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	设定于输入模式下可读取该端口的内容。非输入模式下的读取值为“0”。							

#### P3埠输入输出控制寄存器(P3OE)

P3OE	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	reserved
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
	1	输出模式 (端口输出)						

**P3埠内置上拉电阻控制寄存器(P3PU)**

P3PU	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	reserved
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

**P3埠内置下拉电阻控制寄存器(P3PD)**

P3PD	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	reserved
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

注：如果PxPux与PxPdx同时被设定为"1"时，埠将只连接至上拉电阻。(x = 0, 1)

**P3端口功能控制寄存器1、2 (P3FC1、P3FC2)**

P3FC1 P3FC2	7	6	5	4	3	2	1	0
位符号	P7	P6	P5	P4	P3	P2	P1	reserved
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能	-							
P3FC1=0,P3FC2=0	端口功能	端口功能	端口功能	端口功能	端口功能	端口功能	端口功能	-
P3FC1=0,P3FC2=1	-	-	-	-	-	-	-	-
P3FC1=1,P3FC2=0	TXD0/RXD0 /TCA7	RXD0/TXD0 /TCA3	TCA5	-	SCL0/ SDA0	-	-	-
P3FC1=1,P3FC2=1	-	-	-	-	-	-	-	-

## 9.2.5 P4 端口寄存器

## P4埠输出锁存寄存器(P4DO)

P4DO	7	6	5	4	3	2	1	0
位符号	P7	reserved	P5	P4	P3	P2	reserved	reserved
读/写	R/W	R	R/W	R/W	R/W	R/W	R	R
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

## P4端口输入数据寄存器(P4DI)

P4DI	7	6	5	4	3	2	1	0
位符号	P7	reserved	P5	P4	P3	P2	reserved	reserved
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	设定于输入模式下可读取该端口的内容。非输入模式下的读取值为“0”。							

## P4埠输入输出控制寄存器(P4OE)

P4OE	7	6	5	4	3	2	1	0
位符号	P7	reserved	P5	P4	P3	P2	reserved	reserved
读/写	R/W	R	R/W	R/W	R/W	R/W	R	R
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
	1	输出模式 (端口输出)						

注：当P4OE设定为输出，外部晶振的震荡讯号将无法链接到IC内部的震荡线路。若要使用外部晶振(HXOUT)功能，需将对应的P4OE\_P4设为0。可参考附录D说明。

**P4埠内置上拉电阻控制寄存器(P4PU)**

P4PU	7	6	5	4	3	2	1	0
位符号	P7	reserved	P5	P4	P3	P2	reserved	reserved
读/写	R/W	R	R/W	R/W	R/W	R/W	R	R
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

**P4埠内置下拉电阻控制寄存器(P4PD)**

P4PD	7	6	5	4	3	2	1	0
位符号	P7	reserved	P5	P4	P3	P2	reserved	reserved
读/写	R/W	R	R/W	R/W	R/W	R/W	R	R
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定"1"都不会连接此内置电阻。						

注：如果PxPux与PxPDx同时被设定为"1"时，埠将只连接至上拉电阻。(x = 0, 1)

**P4端口功能控制寄存器1、2 (P4FC1、P4FC2)**

P4FC1 P4FC2	7	6	5	4	3	2	1	0
位符号	P7	reserved	P5	P4	P3	P2	reserved	reserved
读/写	R/W	R	R/W	R/W	R/W	R/W	R	R
复位后	0	0	0	0	0	0	0	0
功能								
P4FC1=0,P4FC2=0	端口功能	-	端口功能	端口功能	端口功能	端口功能	-	-
P4FC1=0,P4FC2=1	DVO	-	-	-	-	-	-	-
P4FC1=1,P4FC2=0	TCA7	-	-	-	-	-	-	-
P4FC1=1,P4FC2=1	-	-	XOUT	XIN	-	-	-	-

### 9.2.6 P5 端口寄存器

#### P5埠输出锁存寄存器(P5DO)

P5DO	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	P3	P2	P1	reserved
读/写	R	R	R	R	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能	0	输出模式下输出低电平						
	1	输出模式下输出高电平						

#### P5端口输入数据寄存器(P5DI)

P5DI	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	P3	P2	P1	reserved
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0
功能	设定于输入模式下可读取该端口的内容。非输入模式下的读取值为“0”。							

#### P5埠输入输出控制寄存器(P5OE)

P5OE	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	P3	P2	P1	reserved
读/写	R/W	R/W	R/W	R	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能	0	输入模式 (端口输入)						
	1	输出模式 (端口输出)						



**P5埠内置上拉电阻控制寄存器(P5PU)**

P5PU	7	6	5	4	3	2	1	0
位符号	reversed	reversed	reversed	reserved	P3	P2	P1	reserved
读/写	R	R	R	R	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。						

**P5埠内置下拉电阻控制寄存器(P5PD)**

P5PD	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	P3	P2	P1	reserved
读/写	R	R	R	R	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能	0	内置电阻不连接						
	1	连接内置电阻。此电阻只在输入模式下连接。在其他条件下设定“1”都不会连接此内置电阻。						

注：如果PxPUX与PxPDX同时被设定为“1”时，埠将只连接至上拉电阻。(x = 0, 1)

**P5端口功能控制寄存器1、2(P5FC1、P5FC2)**

P5FC1 P5FC2	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	P3	P2	P1	reserved
读/写	R	R	R	R	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0
功能								
P5FC1=0,P5FC2=0	-	-	-	-	端口功能	端口功能	端口功能	-
P5FC1=0,P5FC2=1	-	-	-	-	-	-	-	-
P5FC1=1,P5FC2=0	-	-	-	-	-	TXD1/RXD1	RXD1/TXD1	-
P5FC1=1,P5FC2=1	-	-	-	-	AIN8 VREF	AIN9	AIN10	-

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 10 乘法器(MAC)

乘法器支持下方的功能：

- 32 位加法
- 32 位减法
- 16 x 16 乘法
- 32 位无符号(unsigned)除法
- 40 位累加器(accumulator)
- 乘法与加法复合计算
- 乘法与减法复合计算
- 快速操作数零化(operand zeroization)

### 10.1 工作模式

乘法器工作模式主要由寄存器位 MACCR0<MODE>进行设置，乘法器支持下方工作类型：

MODE	工作类型
0000	$C = A + B$
0001	$C = A - B$
0010	$C = A \times B$
0100	$C = C + A + B$
0101	$C = C - (A + B)$
0110	$C = C + A \times B$
0111	$C = C - A \times B$
1000	$C = A / B$

表 10-1 乘法器工作类型

乘法器由 2 个操作数(A,B)与一个累加数(C)所构成。MAC A 寄存器(MACA)与 MAC B(MACB)寄存器为 32 位寄存器；当作为乘法器(AxB)工作时，MACA 与 MACB 则会限制为 16 位，且只有低位(MACA0, MACA1, MACB0, MACB1)有效。若是作为加法或减法操作时，MACA 与 MACB 则为 32 位寄存器，MAC C 寄存器(MACC)为 40 位寄存器。

透过设置相对应的清除位(MACCR1<CLEARA>, MACCR1<CLEARB>, MACCR1<CLEARC>)为 1，即可清除其寄存器。当清除工作完成或计算工作开始时，这些清除位会自动清除为 0。

乘法器可进行有符号(signed)与无符号(unsigned)的工作，可藉由 MACCR0<SIGN>选择。当 SIGN=0 时，为无符号操作码；当 SIGN=1 时，则为有符号或是二补码的操作码。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

MACC	SIGN=0	SIGN=1
最大值	0xFF_FFFF_FFFF	0x7F_FFFF_FFFF
最小值	0x00_0000_0000	0x80_0000_0000

表 10-2 乘法累加器最大与最小值

乘法器需要透过设定 MACCR1<START>为 1 启动，此位于工作完成后会自动清除为 0。若中断允许 (MACCR0<INTEN>=1) 的情形下，中断标帜(MACCR1<INTF>)也会设置为 1 并产生中断。

无符号操作数(SIGN=0)工作下，当累加器结果由最高有效位(Most Significant Bit, MSB)进位输出或借位，例如当 (0xFF\_FFFF\_FFFF + 1) 或 (0-1) 时，进位标帜(MACCR1<CF>)会设置为 1。用户应用时，无符号工作可忽略溢位标帜。

有符号操作数(SIGN=1)工作下，当两个正数相加产生负数结果(0x7F\_FFFF\_FFFF + 0x7F\_FFFF\_FFFF) 或 两负数相加产生正数结果(0x80\_0000\_0000 + 0x80\_0000\_0000)，溢位标帜(MACCR1<OF>)设置为 1。用户应用时，无符号工作可忽略进位标帜。

溢位标帜与进位标帜皆于乘法器工作完成后进行更新。

饱和模式(saturation mode)位可控制当溢位或欠位(underflow)时，累加器 MACC 的反应动作。饱和模式关闭 (MACCR0<SAT>=0) 下，当溢位或借位发生时，MACC 则会接管此工作；饱和模式开启(MACCR0<SAT>=1) 下，根据有符号操作数的工作结果，MACC 会被其最大或最小值所覆写。

但若以上叙述符合，即使没有设定饱和模式，溢位与进位标帜皆会被设置。

范例 1: C - A - B

00\_1234\_5678 - FFFF\_FFFF - FFFF\_FFFC

SIGN	SAT	结果	CF	OF
0	0	FE_1234_567D	1	N/A
0	1	00_0000_0000	1	N/A
1	0	00_1234_567D	N/A	0
1	1	00_1234_567D	N/A	0

范例 2: C + A + B

7F\_FFEE\_DDCC + 1234\_5678 + 4433\_2211

SIGN	SAT	结果	CF	OF
0	0	80_5656_5655	0	N/A
0	1	80_5656_5655	0	N/A
1	0	80_5656_5655	N/A	1
1	1	7F_FFFF_FFFF	N/A	1

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

除法器模式下：

商= 被除数 / 除数

此时：

被除数 = MACA

除数 = MACB

商 = MACC

余数 = MACA

MAC 控制寄存器 0(MACCR0)中的<SIGN>位、<SAT>位、MAC 控制寄存器 1(MACCR1)<CF>位与<OF>位皆无法在除法器功能中使用，因此并不会对除法器作业有任何影响。

范例 3：C=A / B

MACA (被除数)	MACB (除数)	MACC (商)	MACA (余数)	DIVERR
44B1_7E22	0000_0045	00_00FE_DCBA	0000_0000	0
0000_1234	0000_5678	00_0000_0000	0000_1234	0
FEDC_BA98	0123_4567	00_0000_00E0	0000_0078	0
0000_0000	FFFF_1234	00_0000_0000	0000_0000	0
44B1_7E22	0000_0000	00_0000_0000	44B1_7E22	1

## 10.2 乘法器寄存器

地址	寄存器	描述
0x0870	MACCR0	MAC 控制寄存器 0
0x0871	MACCR1	MAC 控制寄存器 1
0x0872   0x0873	系统保留	
0x0874	MACA0	MAC A 寄存器 0 [7:0]
0x0875	MACA1	MAC A 寄存器 1 [15:8]
0x0876	MACA2	MAC A 寄存器 2 [23:16]
0x0877	MACA3	MAC A 寄存器 3 [31:24]
0x0878	MACB0	MAC B 寄存器 0 [7:0]
0x0879	MACB1	MAC B 寄存器 1 [15:8]
0x087A	MACB2	MAC B 寄存器 2 [23:16]
0x087B	MACB3	MAC B 寄存器 3 [31:24]
0x087C	MACC0	MAC C 寄存器 0 [7:0]
0x087D	MACC1	MAC C 寄存器 1 [15:8]
0x087E	MACC2	MAC C 寄存器 2 [23:16]
0x087F	MACC3	MAC C 寄存器 3 [31:24]
0x0880	MACC4	MAC C 寄存器 4 [39:32]

表 10-3 寄存器清单

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**MAC 控制寄存器 0(MACCR0)**

MACCR0	7	6	5	4	3	2	1	0
位符号	MODE[3:0]				reserved	SIGN	SAT	INTEN
读/写	R/W				R	R/W	R/W	R/W
复位后	0				0	0	0	0

注：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

MODE[3:0]	模式选择	0000 : $C = A + B$ 0001 : $C = A - B$ 0010 : $C = A \times B$ 0011 : 系统保留 0100 : $C = C + A + B$ 0101 : $C = C - (A + B)$ 0110 : $C = C + A \times B$ 0111 : $C = C - A \times B$ 1000 : $C = A / B, A = A \% B$ 其他：系统保留
SIGN	有/无符号工作选择	0 : 无符号 1 : 有符号
SAT	饱和模式	0 : 禁止 1 : 允许
INTEN	中断允许	0 : 禁止 1 : 允许

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**MAC 控制寄存器 1(MACCR1)**

MACCR1	7	6	5	4	3	2	1	0
位符号	DIVERR	INTF	OF	CF	CLEARC	CLEARB	CLEARA	START
读/写	R	R/W	R	R	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注：考虑未来的兼容性问题，位符号为 reserve 必须写入 0

DIVERR	除法器错误	0：无除法器错误 1：除法器错误  此位写入“1”可清除为 0，写入“0”则无任何作用。
INTF	中断标帜	0：无中断 1：中断未决(Interrupt pending)  此位写入 1 可清除为 0，写入“0”则无任何作用。
OF	溢位标帜	0：无溢位 1：溢位
CF	进位标帜	0：无进位 1：进位
CLEARC	清除 MACC 寄存器	0：无动作 1：清除此寄存器。当工作完成或当计算开始时，此位会以硬件自动清除为 0。
CLEARB	清除 MACB 寄存器	0：无动作 1：清除此寄存器。当工作完成或当计算开始时，此位会以硬件自动清除为 0。
CLEARA	清除 MACA 寄存器	0：无动作 1：清除此寄存器。当工作完成或当计算开始时，此位会以硬件自动清除为 0。
START	开始计算	0：闲置 1：开始 MAC 工作。当工作完成后，此位会以硬件自动清除为 0。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**MAC A 寄存器 0 (MACA0)**

MACA0	7	6	5	4	3	2	1	0
位符号	MACA[7:0]							
读/写	R/W							
复位后	0							

MACA[7:0]	MAC A 寄存器[7:0]	
-----------	----------------	--

寄存器	描述
MACA0	MAC A 寄存器 0 [7:0]
MACA1	MAC A 寄存器 1 [15:8]
MACA2	MAC A 寄存器 2 [23:16]
MACA3	MAC A 寄存器 3 [31:24]

MAC A 寄存器最高可到 32 位，其对应寄存器如上所列，地址可参照表“10.3 MAC 寄存器清单”。

**MAC B 寄存器 0 (MACB0)**

MACB0	7	6	5	4	3	2	1	0
位符号	MACB[7:0]							
读/写	R/W							
复位后	0							

MACB[7:0]	MAC B 寄存器[7:0]	
-----------	----------------	--

寄存器	描述
MACB0	MAC B 寄存器 0 [7:0]
MACB1	MAC B 寄存器 1 [15:8]
MACB2	MAC B 寄存器 2 [23:16]
MACB3	MAC B 寄存器 3 [31:24]

MAC B 寄存器最高可到 32 位，其对应寄存器如上所列，地址可参照表“10.3 MAC 寄存器清单”。



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**MAC C 寄存器 0 (MACC0)**

MACC0	7	6	5	4	3	2	1	0
位符号	MACC[7:0]							
读/写	R/W							
复位后	0							

MACC[7:0]	MAC C 寄存器[7:0]	
-----------	----------------	--

寄存器	描述
MACC0	MAC C 寄存器 0 [7:0]
MACC1	MAC C 寄存器 1 [15:8]
MACC2	MAC C 寄存器 2 [23:16]
MACC3	MAC C 寄存器 3 [31:24]
MACC4	MAC C 寄存器 4 [39:32]

MAC C 寄存器最高可到 40 位，其对应寄存器如上所列，地址可参照表“10.3 MAC 寄存器清单”。

## 11 外围网络互连系统(PNI)

### 11.1 功能叙述

外围网络互连控制(Peripheral Network Inter-Connect ,PNIC)为可配置的连接矩阵，藉由控制功能选择寄存器与外围通道选择寄存器即可设定各 IO 引脚的功能。

各功能与各信道皆有专属可编程的寄存器组，可指定 IO 执行所需要的功能。PNIC 架构使各群内的功能平行运作，增加系统的弹性化，可支持更广泛的应用。

### 11.2 PNIC 操作流程

下图简单说明 PNIC 的操作流程，并指出功能选取的方法，作为参考。

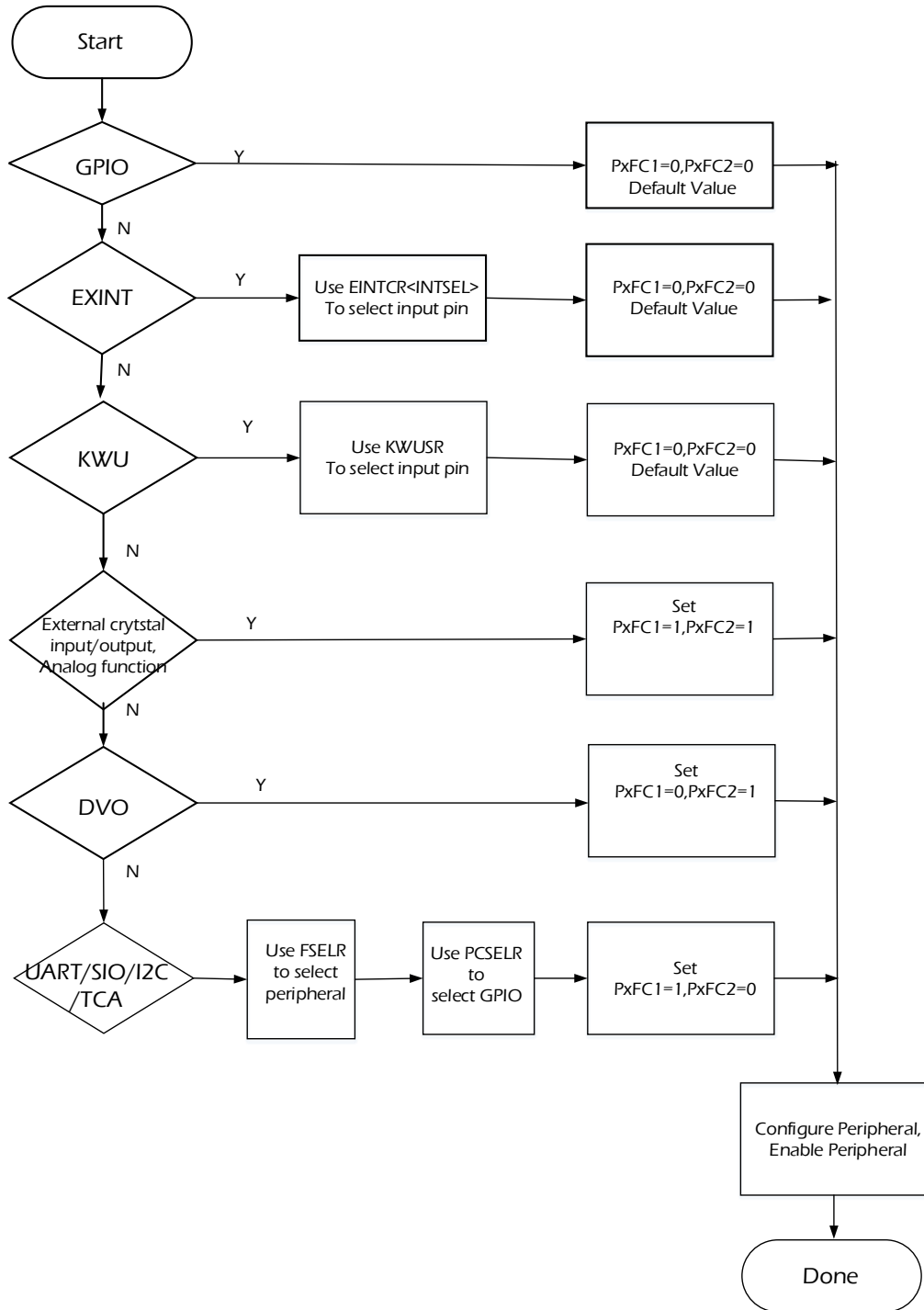


图 11- 1 PNIC 操作流程

注 1：设定外围功能时，请依以下顺序设定:先设定 FSELR、再设定 PCSELR、后续再对 PxFC1、PxFC2 进行设定。

注 2: PxFC1, PxFC2 寄存器内容，请参考「9.2 I/O 埠寄存器」。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 11.3 PNIC 控制寄存器

设定外围功能时，请依以下顺序设定:先设定 FSELR、再设定 PCSELR、后续再对 PxFC1、PxFC2 进行设定。

共有 6 个功能选择寄存器(FSELR0 至 FSELR5)，每个功能选择寄存器皆可选择对应端口的低位 PxL 与高位 PxH 所控制的功能。设定 FSELRx 寄存器以选择功能群，其 x 根据功能群所使用到的管脚 port 而定，FSELRx 设定分为 FSELRx[6:4] 与 FSELRx[2:0]，依功能群所使用到管脚的位来设定。

例：若功能群所使用到管脚为 P0.7，则设定 FSELR0 [6:4]；若功能群所使用到管脚为 P0.0，则设定 FSELR0[2:0]。

FSELR 寄存器	FSELRx[6:4]	FSELRx[2:0]
FSELR0	P0[7:4]	P0[3:0]
FSELR1	P1[7:4]	P1[3:0]
FSELR2	P2[7:4]	P2[3:0]
FSELR3	P3[7:4]	P3[3:0]
FSELR4	P4[7:4]	P4[3:0]
FSELR5	P5[7:4]	P5[3:0]

表 11- 1 FSELR 寄存器及所对应之外围通道

FSELRx[2:0] 或 FSELRx[6:4]	PxL (Px[0]、Px[1]、Px[2]、Px[3]) 或 PxH (Px[4]、Px[5]、Px[6]、Px[7])
0b000	UART, I2C, TCA
0b001	UART, I2C, TCA
0b010	I2C, SIO
0b011	UART, I2C, TCA
0b100	I2C, TCA
0b101	TCA

表 11- 2 FSELR 功能选择

PCSELR0 至 PCSELR5，这 6 个外围通道选择寄存器作为选取工作通道之用。PCSELR 寄存器中以两个位为一单位，作为选择工作外围通道之用。例如外围功能 UART0 连接 P0.0、P3.6、P0.1 以及 P3.7 共 4 个通道；若 FSELR[2:0]=000b 时，系统默认 PCSELR0[1:0]为 2'b00，此表示 UART0 使用 P0.0 进行数据传输。PCSELR0[1:0]也可编程为 2'b01，表示使用 P3.6 通道传输。下表则为完整的 PCSELR 各位描述列表。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

寄存器	第 7:6 位	第 5:4 位	第 3:2 位	第 1:0 位
PCSELR0	reserved	UART2	UART1	UART0
PCSELR 1	reserved	reserved	I2C1	I2C0
PCSELR 2	reserved	reserved	SIO1	SIO0
PCSELR 3	reserved	reserved	reserved	reserved
PCSELR 4	TCA3	TCA2	TCA1	TCA0
PCSELR 5	TCA7	TCA6	TCA5	TCA4

表 11-3 PCSELR 各位及对应外围功能

端口引脚分类为 4 种进行设定，如下表所示。当引脚无设定功能时(PxFC1=0, PxFC2=0)，作为通用 IO，端口的输入与输出透过对应 PxOE(输入输出控制寄存器) 进行设定；当引脚有设定功能(非 PxFC1=0, PxFC2=0)时，则端口的输入/输出完全由 PxFC 设定的功能控制，与 PxOE 的设定无关。

	引脚功能
PxFC1=0, PxFC2=0	GPIO 功能
PxFC1=0, PxFC2=1	外围功能：DVO
PxFC1=1, PxFC2=0	外围功能：UART, SIO, I2C, TCA
PxFC1=1, PxFC2=1	外部时钟输入/输出, 模拟功能

注 1: PxFC1.PxFC2 (X=0~5)  
 注 2: 所有引脚若无设定功能时，皆可作为通用 IO (PxFC1=0, PxFC2=0)，端口的输入与输出透过对应 PxOE(输入输出控制寄存器) 进行设定。  
 注 3: PxFC1, PxFC2 内容可参考 “10 通用 I/O 章节”

表 11-4 端口功能控制寄存器对应引脚功能

地址	寄存器	描述
0x016C	PCSELR0	外围通道选择寄存器 0
0x016D	PCSELR1	外围通道选择寄存器 1
0x016E	PCSELR2	外围通道选择寄存器 2
0x016F	PCSELR3	外围通道选择寄存器 3
0x0170	PCSELR4	外围通道选择寄存器 4
0x0171	PCSELR5	外围通道选择寄存器 5
0x0190	EINTCR0	外部中断控制寄存器 0
0x0191	EINTCR1	外部中断控制寄存器 1
0x0192	EINTCR2	外部中断控制寄存器 2
0x0193	EINTCR3	外部中断控制寄存器 3
0x0194	EINTCR4	外部中断控制寄存器 4
0x0195	EINTCR5	外部中断控制寄存器 5
0x0196	EINTCR6	外部中断控制寄存器 6
0x0197	EINTCR7	外部中断控制寄存器 7
0x018C	KWUSR0	KW 唤醒状态寄存器
0x018D	KWUSR1	KW 唤醒状态寄存器

**表 11-5 PNIC 控制寄存器清单**

PNIC 控制寄存器清单如上表，可对照查找地址。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**外围通道选择寄存器 0(PCSELR0)**

PCSELR0 (0x016C)	7	6	5	4	3	2	1	0
位符号	reserved		UART2[1:0]		UART1[1:0]		UART0[1:0]	
读/写	R		R/W		R/W		R/W	
复位后	0		0		0		0	

注：所有硬件与软件复位皆可使此寄存器复位

TXD0	RXD0	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.1	P0.0	FSELR0[2:0]= b000	PCSELR0[1:0]= b00	P0FC1[1:0] = b11 P0FC2[1:0] = b00
P0.0	P0.1	FSELR0[2:0]= b001	PCSELR0[1:0]= b00	P0FC1[1:0] = b11 P0FC2[1:0] = b00
P3.7	P3.6	FSELR3[6:4]= b000	PCSELR0[1:0]= b01	P3FC1[7:6] = b11 P3FC2[7:6] = b00
P3.6	P3.7	FSELR3[6:4]= b001	PCSELR0[1:0]= b01	P3FC1[7:6] = b11 P3FC2[7:6] = b00

TXD1	RXD1	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P5.2	P5.1	FSELR5[2:0]= b000	PCSELR0[3:2]= b01	P5FC1[2:1] = b11 P5FC2[2:1] = b00
P5.1	P5.2	FSELR5[2:0]= b001	PCSELR0[3:2]= b01	P5FC1[2:1] = b11 P5FC2[2:1] = b00

TXD2	RXD2	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.5	P0.4	FSELR0[6:4]= b000	PCSELR0[5:4]= b00	P0FC1[5:4] = b11 P0FC2[5:4] = b00
P0.4	P0.5	FSELR0[6:4]= b001	PCSELR0[5:4]= b00	P0FC1[5:4] = b11 P0FC2[5:4] = b00

注：FSELRx 的设定值会因开启的外围功能组合而不同，以上表格以开启单一 UART 功能下的 FSELRx 值作为范例。若要同时开启不同的外围功能，请使用 IDE 的 Code Generation Tool 进行设定。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

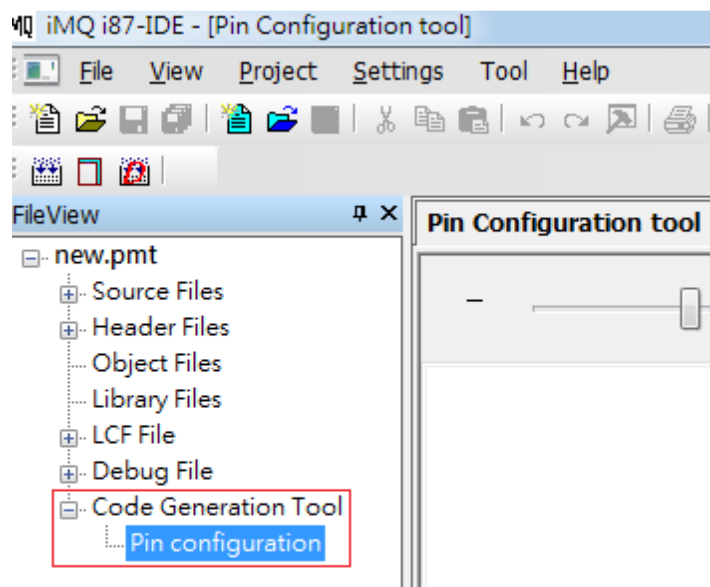


图 11- 2 CODE GENERATION TOOL



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**外围通道选择寄存器 1(PCSELR1)**

PCSELR1 (0x016D)	7	6	5	4	3	2	1	0
位符号	reserved		reserved		I2C1[1:0]		I2C0[1:0]	
读/写	R		R		R/W		R/W	
复位后	0		0		0		0	

注：所有硬件与软件复位皆可使此寄存器复位

SDA0	SCL0	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.5	P0.6	FSELR0[6:4]= b011	PCSELR1[1:0]= b00	P0FC1[6:5] = b11 P0FC2[6:5] = b00
P0.4	P0.5	FSELR2[6:4]= b100	PCSELR1[1:0]= b01	P0FC1[5:4] = b11 P0FC2[5:4] = b00
P3.2	P3.3	FSELR0[2:0]=b000	PCSELR1[1:0]= b11	P3FC1[3:2] = b11 P3FC2[3:2] = b00

SDA1	SCL1	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.0	P0.2	FSELR0[2:0]= b011	PCSELR1[3:2]= b00	P0FC1[0] = b1 P0FC1[2] = b1 P0FC2[0] = b0 P0FC2[2] = b0
P2.1	P2.2	FSELR2[2:0]= b000	PCSELR1[3:2]= b01	P2FC1[2:1] = b11 P2FC2[2:1] = b00

注：FSELRx 的设定值会因开启的外围功能组合而不同，以上表格以开启单一 I2C 功能下的 FSELRx 值作为范例。若要同时开启不同的外围功能，请使用 IDE 的 Code Generation Tool 进行设定。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**外围通道选择寄存器 2(PCSELR2)**

PCSELR2 (0x016E)	7	6	5	4	3	2	1	0
位符号	reserved		reserved		SIO1[1:0]		SIO0[1:0]	
读/写	R		R		R/W		R/W	
复位后	0		0		0		0	

注：所有硬件与软件复位皆可使此寄存器复位

SIO	SO0	CLK0	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.5	P0.4	P0.6	FSELR0[6:4]= b010	PCSELR2[1:0]= b00	P0FC1[6:4] = b111 P0FC2[6:4] = b000

SIO	SO1	CLK1	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.0	P0.1	P0.2	FSELR0[2:0]= b010	PCSELR2[3:2]= b00	P0FC1[2:0] = b111 P0FC2[2:0] = b000
P2.1	P2.0	P2.2	FSELR2[2:0]= b010	PCSELR2[3:2]= b01	P2FC1[2:0] = b111 P2FC2[2:0] = b000

注：FSELRx 的设定值会因开启的外围功能组合而不同，以上表格以开启单一 SIO 功能下的 FSELRx 值作为范例。若要同时开启不同的外围功能，请使用 IDE 的 Code Generation Tool 进行设定。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**外围通道选择寄存器 4(PCSELR4)**

PCSELR4 (0x0170)	7	6	5	4	3	2	1	0
位符号	TCA3[1:0]		TCA2[1:0]		TCA1[1:0]		TCA0[1:0]	
读/写	R/W		R/W		R/W		R/W	
复位后	0		0		0		0	

注：所有硬件与软件复位皆可使此寄存器复位

TCA0	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.0	FSELR0[2:0]= b101	PCSELR4[1:0]= b00	P0FC1[0] = b1 P0FC2[0] = b0
P2.0	FSELR2[2:0]= b101	PCSELR4[1:0]= b01	P2FC1[0] = b1 P2FC2[0] = b0

TCA1	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.1	FSELR0[2:0]= b101	PCSELR4[3:2]= b00	P0FC1[0] = b1 P0FC2[0] = b0
P2.1	FSELR2[2:0]= b101	PCSELR4[3:2]= b01	P2FC1[1] = b1 P2FC2[1] = b0

TCA2	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.2	FSELR0[2:0]= b101	PCSELR4[5:4]= b00	P0FC1[2] = b1 P0FC2[2] = b0
P2.2	FSELR2[2:0]= b101	PCSELR4[5:4]= b01	P2FC1[2] = b1 P2FC2[2] = b0

TCA3	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P3.6	FSELR3[6:4]= b101	PCSELR4[7:6]= b00	P3FC1[6] = b1 P3FC2[6] = b0
P5.1 (IN)	FSELR5[2:0]= b101	PCSELR4[7:6]= b10	P5FC1[1] = b1 P5FC2[1] = b0
P5.2 (OUT)	FSELR5[2:0]= b101	PCSELR4[7:6]= b10	P5FC1[2] = b1 P5FC2[2] = b0

注：FSELRx 的设定值会因开启的外围功能组合而不同，以上表格以开启单一 TCA 功能下的 FSELRx 值作为范例。若要同时开启不同的外围功能，请使用 IDE 的 Code Generation Tool 进行设定。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**外围通道选择寄存器 5(PCSELR5)**

PCSELR5 (0x0171)	7	6	5	4	3	2	1	0
位符号	TCA7[1:0]		TCA6[1:0]		TCA5[1:0]		TCA4[1:0]	
读/写	R/W		R/W		R/W		R/W	
复位后	0		0		0		0	

注：所有硬件与软件复位皆可使此寄存器复位

TCA4	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.4	FSELR0[6:4]= b101	PCSELR5[1:0]= b00	P0FC1[4] = b1 P0FC2[4] = b0
P2.4	FSELR2[6:4]= b101	PCSELR5[1:0]= b01	P2FC1[4] = b1 P2FC2[4] = b0

TCA5	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.5	FSELR0[6:4]= b101	PCSELR5[3:2]= b00	P0FC1[5] = b1 P0FC2[5] = b0
P3.5	FSELR2[6:4]= b101	PCSELR5[3:2]= b10	P3FC1[5] = b1 P3FC2[5] = b0

TCA6	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P0.6	FSELR0[6:4]= b101	PCSELR5[5:4]= b00	P0FC1[6] = b1 P0FC2[6] = b0

TCA7	FSELRx <sup>(注)</sup>	PCSELRx	PxFC
P3.7	FSELR3[6:4]= b101	PCSELR5[7:6]= b00	P3FC1[7] = b1 P3FC2[7] = b0
P4.7	FSELR4[6:4]= b101	PCSELR5[7:6]= b01	P4FC1[7] = b1 P4FC2[7] = b0

注：FSELRx 的设定值会因开启的外围功能组合而不同，以上表格以开启单一 TCA 功能下的 FSELRx 值作为范例。若要同时开启不同的外围功能，请使用 IDE 的 Code Generation Tool 进行设定。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

外部中断控制寄存器(EINTCRx), x=0 ~ 7

EINTCR	7	6	5	4	3	2	1	0
位符号	INTSEL[2:0]			INTLVL	INTES[1:0]		INTINC[1:0]	
读/写	R/W			R	R/W		R/W	
复位后	0			0	0		0	

注：所有硬件与软件复位皆可使此寄存器复位

EINTCRx [INTSEL]	EINT7	EINT6	EINT5	EINT4	EINT3	EINT2	EINT1	EINT0
000	P3.7	P0.6	P0.5	P0.4	P3.6	P0.2	P0.1	P0.0
001	-	-	-	-	P1.3	P1.2	P1.1	P1.0
010	P4.7	-	-	P2.4	-	P2.2	P2.1	P2.0
011	-	-	P3.5	P3.4	P3.3	P3.2	P3.1	-
100	-	-	P4.5	P4.4	P4.3	-	-	-

INTLVL	中断需求信号产生时，噪声清除器通过信号的电平	0：原始状态或信号为低电平(L) 1：高电平(H)
INTES[1:0]	选择外部中断需求产生条件	00：于通过噪声清除器信号之上升沿 01：于通过噪声清除器信号之下降沿 10：于通过噪声清除器信号之上升与下降沿 11：系统保留
INTINC[1:0]	设定外部中断噪声清除器之取样区间	00：fsysclk 01：fsysclk / 4 10：fsysclk / 8 11：fsysclk / 16

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**KW 唤醒配置寄存器 0(KWUSR0)**

KWUSR0	7	6	5	4	3	2	1	0
位符号	KWU3		KWU2		KWU1		KWU0	
读/写	R/W		R/W		R/W		R/W	
复位后	0		0		0		0	

注：所有硬件与软件复位皆可使此寄存器复位

KWU	KWU3	KWU2	KWU1	KWU0
	KWUSR0[7:6]	KWUSR0[5:4]	KWUSR0[3:2]	KWUSR0[1:0]
00	P3.6	P0.2	P0.1	P0.0
01	P1.3	P1.2	P1.1	P1.0
10	-	P2.2	P2.1	P2.0
11	P3.3	P3.2	P3.1	-

**KW 唤醒配置寄存器 1(KWUSR1)**

KWUSR1	7	6	5	4	3	2	1	0
位符号	KWU7		KWU6		KWU5		KWU4	
读/写	R/W		R/W		R/W		R/W	
复位后	0		0		0		0	

注：所有硬件与软件复位皆可使此寄存器复位

KWU	KWU7	KWU6	KWU5	KWU4
	KWUSR1[7:6]	KWUSR1[5:4]	KWUSR1[3:2]	KWUSR1[1:0]
00	P3.7	P0.6	P0.5	P0.4
01	-	-	-	-
10	P4.7	-	-	P2.4
11	-	-	P3.5	P3.4

### 11.4 PNIC 范例架构图

下图为 PNIC 范例架构图，同时以外围线路传输至 I/O 的架构、与 I/O 传输至外围线路，两种不同的视角进行描述。

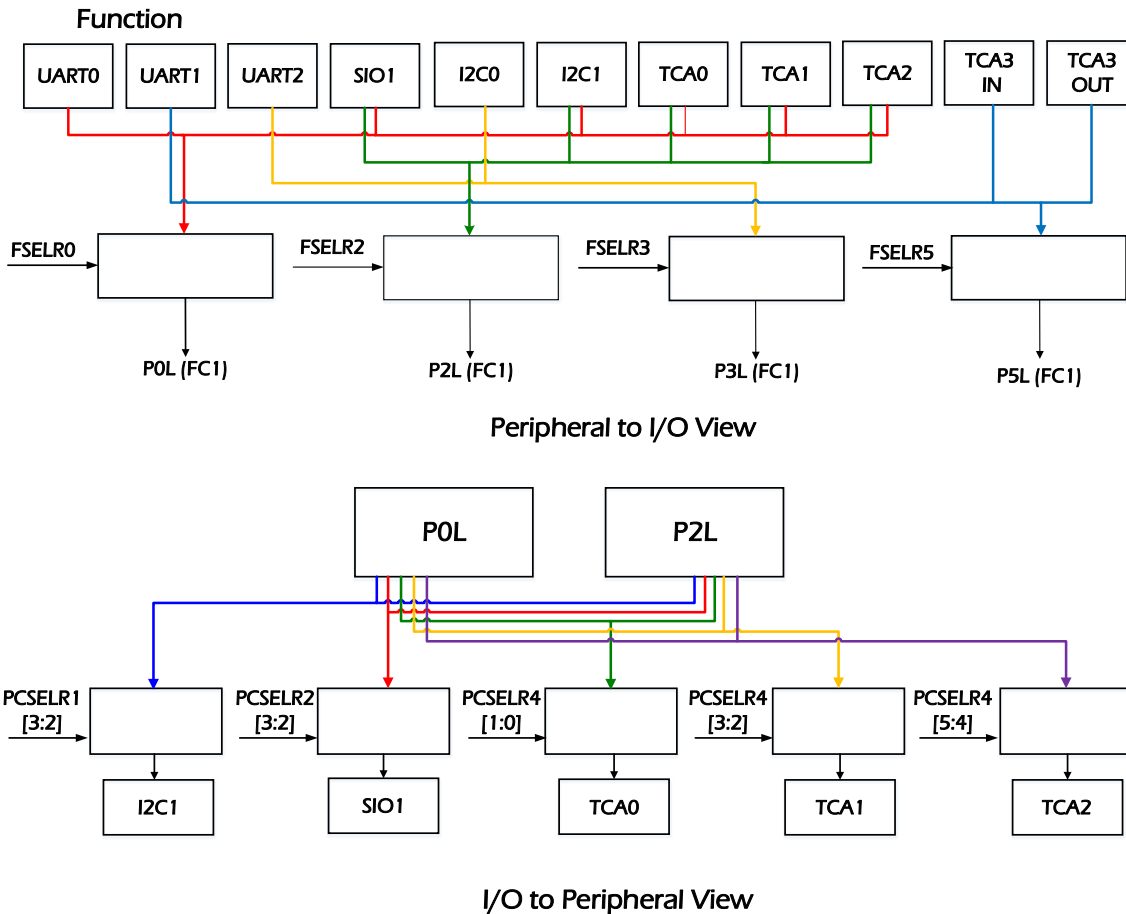


图 11-2 PNIC 架构图

GPIO(低位 Px[3:0]与高位 Px[7:4]，简称为 PxL 与 PxH 组成 1 个外围线路群，功能选择寄存器(FSELR)则定义此外围线路群的配置方法：FSELRx[2:0]可对 Px[3:0]进行配置，FSELRx[6:4]则可对 Px[7:4]设置；例如像 UART + I2C、UART + Timer 等皆为有效组合。若不需要组合中的功能，这些引脚仍然可以作为通用 I/O，例如当 FSELR0[2:0]=000b，即设定 P0L 为 UART0 与 TCA2 功能，若 TCA2 功能是不需要的，P0.2 仍可以通用 I/O 运作(若做为通用 I/O 使用，需设定为 PxFC1=0，PxFC2=0)。

由于外围功能的设定极为弹性，不同 IO 可能会有相同功能选项，如图 11-2 中所演示的范例，P0L 与 P2L 皆可控制 SIO1，此时就须透过外围通道选择寄存器(PCSELRx)选择 P0L 或 P2L 为可控制 SIO 功能的信道 IO。

## 12.定时器/计数器

### 12.1 看门狗定时器(WDT)

看门狗定时器是个防止系统故障的系统，用于快速检测 CPU 的故障如由噪声造成的死循环等，并使 CPU 恢复正常状态。

看门狗定时器信号可设定成看门狗中断要求信号，或是看门狗计时器重定信号。

注：看门狗定时器可能因噪声干扰或其他因素无法正常工作，进行系统设计时需务必特别注意。

注：在 Sleep 模式下，请改以 WDT INT/WDT RST 其他中断源或复位唤醒。

#### 12.1.1 看门狗定时器架构

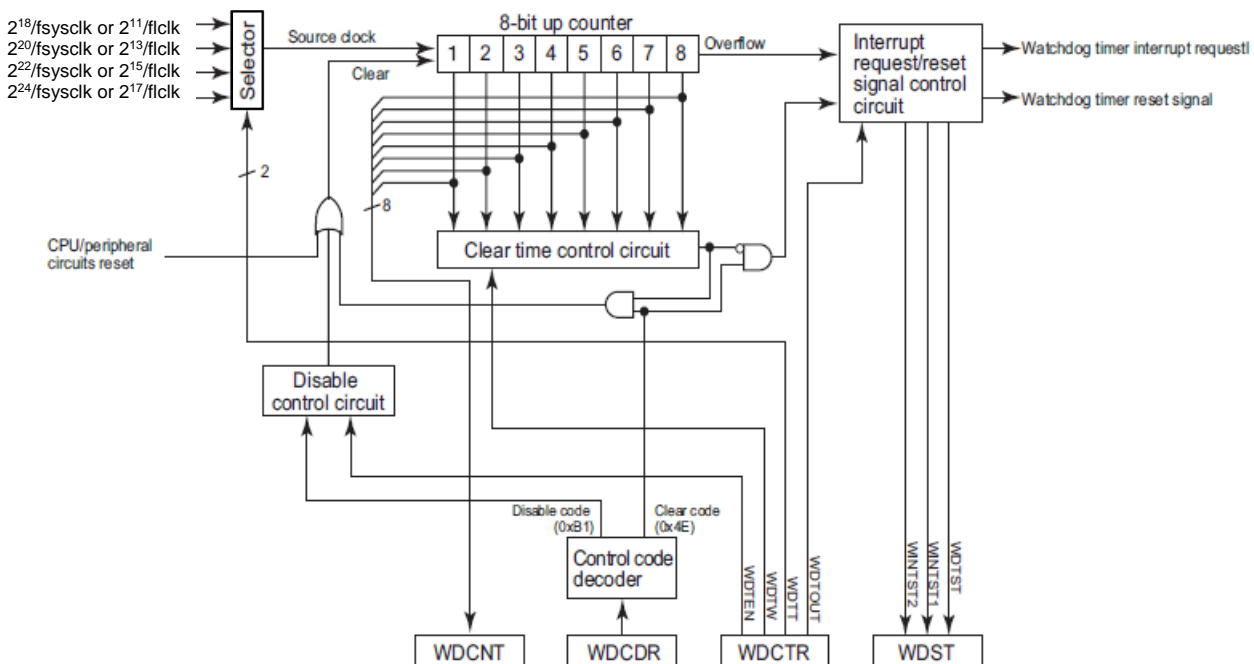


图 12-1 看门狗定时器架构



## 12.1.2 看门狗定时器控制

看门狗定时器由看门狗定时器控制寄存器 WDCTR，看门狗定时器控制寄存器 WDCDR，看门狗定时器计数器监控 WDCNT 和看门狗定时器状态 WDST 所控制。

在系统复位及唤醒操作完成后，看门狗定时器会自动被启动。

地址	寄存器	描述
0x0028	WDCTR	看门狗定时器控制寄存器
0x0029	WDCDR	看门狗定时器控制寄存器
0x002A	WDCNT	8 位上数计数器监控
0x002B	WDST	看门狗定时器状态

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

看门狗定时器控制寄存器(WDCTR)

WDCTR	7	6	5	4	3	2	1	0
位符号	-	-	WDTEN	WDTW[1:0]		WDTT[1:0]		WDTOUT
读/写	R	R	R/W	R/W		R/W		R/W
复位后	1	0	1	0	0	1	1	0

WDTEN	允许/禁止看门狗定时器	0: 禁止 1: 允许			
WDTW[1:0]	设定 8 位上数计数器清空时间	00: 于 8 位上数计数器溢位时间的全时段内，写入清空码会清除 8 位上数计数器。 01: 于 8 位上数计数器溢位时间的前 1/4 时段内，写入清空码会产生看门狗定时器中断要求。超过溢位时间的 1/4 时间后，写入清空码会清除 8 位上数计数器。 10: 于 8 位上数计数器溢位时间的前 1/2 时段内，写入清空码会产生看门狗定时器中断要求。超过溢位时间的 1/2 时间后，写入清空码会清除 8 位上数计数器。 11: 于 8 位上数计数器溢位时间的前 3/4 时段内，写入清空码以产生看门狗定时器中断要求。超过溢位时间的 3/4 时间后，写入清空码会清除 8 位上数计数器。			
WDTT[1:0]	设定 8 位上数计数器溢位时间		一般模式	一般模式	
			TBTCR<DV9CK>=0	TBTCR<DV9CK>=1	
		00:	2 <sup>18</sup> /fsysclk	2 <sup>11</sup> /fclk	2 <sup>11</sup> /fclk
		01:	2 <sup>20</sup> /fsysclk	2 <sup>13</sup> /fclk	2 <sup>13</sup> /fclk
		10:	2 <sup>22</sup> /fsysclk	2 <sup>15</sup> /fclk	2 <sup>15</sup> /fclk
11:	2 <sup>24</sup> /fsysclk	2 <sup>17</sup> /fclk	2 <sup>17</sup> /fclk		
WDTOUT	选择 8 位上数计数器的溢位检测信号	0: 看门狗定时器中断要求信号 1: 看门狗定时器复位要求信号			

注 1 : fsysclk 为系统时钟[Hz]，fclk 为低速时钟(Hz)。

注 2 : WDCTR<WDTEN>为“1”的情况下，WDCTR<WDTW>、WDCTR<WDTT>和 WDCTR<WDTOUT>寄存器设定无法改变。若要禁止看门狗定时器的操作，清除 WDCTR<WDTEN>为“0”并且将禁止码(0xB1)写入看门狗定时器控制寄存器 WDCCR 内。在设定 WDCTR<WDTEN>为“1”时，可以同时设定 WDCTR<WDTW>、WDCTR<WDTT>和 WDCTR<WDTOUT>寄存器。

注 3 : WDCTR 的第 7 位和第 6 位读出数值分别为“1”和“0”。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**看门狗定时器控制寄存器(WDCDR)**

WDCDR	7	6	5	4	3	2	1	0
位符号	WDTCR[7:0]							
读/写	W							
复位后	0							

WDTCR[7:0]	写入看门狗定时器控制	<p>0x4E: 清空码，清除看门狗定时器</p> <p>0xB1: 禁止码，当 WDTCR&lt;WDTCR&gt;为“0”时，禁止看门狗定时器操作同时清除 8 位上数计数器</p> <p>其他: 无效</p>
------------	------------	--

**8 位上数计数器监控(WDCNT)**

WDCNT	7	6	5	4	3	2	1	0
位符号	WDCNT[7:0]							
读/写	R							
复位后	0							

WDCNT[7:0]	监控 8 位上数计数器监控数值	读取 8 位上数计数器数值
------------	-----------------	---------------

**看门狗定时器状态(WDST)**

WDST	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	WINTST2	WINTST1	WDTST
读/写	R	R	R	R	R	R	R	R
复位后	0	1	0	1	1	0	0	1

WINTST2	看门狗定时器中断要求信号因素状态 2	<p>0: 无看门狗定时器中断要求信号产生</p> <p>1: 有看门狗定时器中断要求信号产生，原因为 8 位上数计数器发生溢位</p>
WINTST1	看门狗定时器中断要求信号因素状态 1	<p>0: 无看门狗定时器中断要求信号产生</p> <p>1: 有看门狗定时器中断要求信号产生，原因为清空时间外的 8 位上数计数器释放</p>
WDTST	看门狗定时器操作状态	<p>0: 操作禁止</p> <p>1: 操作允许</p>

注 1：藉由读取 WDST 将 WDST<WINTST2>和 WDST<WINTST1>清除为“0”。

注 2：复位后的数值可由 WDST 的第 7 位到第 3 位读出。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 12.1.2.1 看门狗定时器操作的允许/禁止设定

设定 WDCTR<WDTEN>为“1”可允许看门狗定时器的操作，8 位上数计数器会开始进行源时钟的计数。

在系统复位及唤醒操作完成后，WDCTR<WDTEN>会被初始设定为“1”。此时看门狗定时器被启动。

若要禁止看门狗定时器操作，将 WDCTR<WDTEN>清除为“0”并将 0xB1 写入看门狗定时器控制寄存器 WDCDR。要禁止看门狗定时器操作，将 8 位上数计数器清除为“0”。

注：在 WDCTR<WDTEN>为“1”的情况下，若将禁止码 0xB1 写入 WDCDR 的同时发生 8 位上数计数器的溢位，看门狗定时器操作会优先被禁止，而不会执行溢位检测。

要重新允许看门狗定时器操作，设定 WDCTR<WDTEN>为“1”即可。不需写入控制进 WDCDR 寄存器。

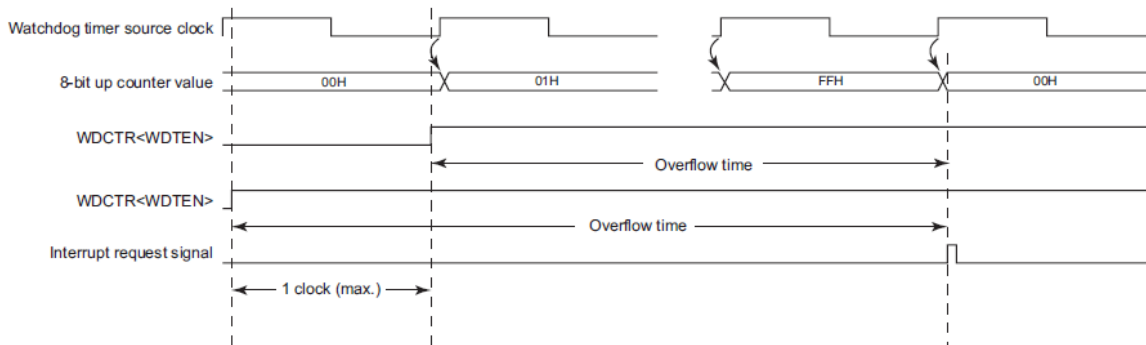


图 12- 2 WDCTR<WDTEN>设定时序和溢位时间

注：8 位上数计数器的源时钟的工作和 WDCTR<WDTEN>并不同步。因此，8 位上数计数器在 WDCTR<WDTEN>设定为“1”之后第一次的溢位时间，可能比设定要短最多一个源时钟周期。要清空 8 位上数计数器，必须在溢位时间减去一个源时钟周期的时间内进行。

### 12.1.2.2 设定 8 位上数计数器清空时间

用 WDCTR<WDTW>寄存器设定 8 位上数计数器的清空时间。

WDCTR<WDTW>设定为“00”时，清空时间等同于 8 位上数计数器的溢位时间，可于任意时间进行 8 位上数计数器的清除。

WDCTR<WDTW>设定不为“00”时，清空时间被定在 8 位上数计数器溢位时间内的某特定时段。在清空时间外进行 8 位上数计数器的操作释放，会产生看门狗定时器中断要求信号。

此时，看门狗定时器不会被清空而是继续计数。若 8 位上数计数器没有在清空时间内被清空，依据 WDCTR<WDTOUT>的设定，计数器发生溢位时会产生看门狗计时器重定要求信号或是看门狗定时器中断要求信号。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

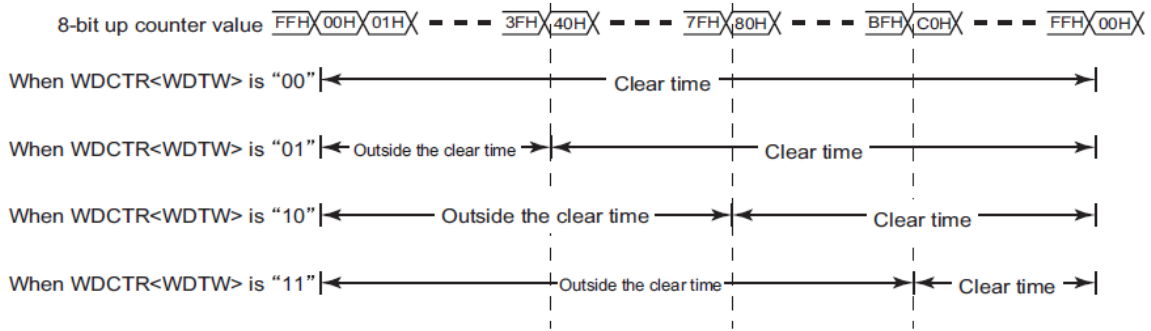


图 12-3 WDCR<WDTW>与 8 位上数计数器清空时间

### 12.1.2.3 设定 8 位上数计数器溢位时间

用 WDCR<WDTT>寄存器设定 8 位上数计数器的溢位时间。

8 位上数计数器发生溢位时，依据 WDCR<WDTOUT>的设定，会产生看门狗定时器重定要求信号或看门狗定时器中断要求信号。

若选择看门狗定时器中断要求信号为故障检测信号，看门狗定时器不会停止计数，甚至在发生溢位后仍继续。

在深眠模式(包括唤醒)中或睡眠/睡眠(低速时钟)模式中，看门狗定时器会暂时停止计数，并且在系统脱离深眠/睡眠/睡眠(低速时钟)模式后继续计数。为避免 8 位上数计数器在系统脱离深眠/睡眠/睡眠(低速时钟)模式后发生即刻溢位的状况，建议在进入工作模式切换前，先清空 8 位上数计数器。

WDTT	看门狗溢位时间		
	一般模式, 系统时钟为 HIRC/ PLL/HTAL		一般模式 系统时钟为 LIRC
	TBTCR<DV9CK> = 0	TBTCR<DV9CK> = 1	
00	10.92ms	62.5ms	62.5ms
01	43.70 ms	250ms	250ms
10	174.76ms	1s	1s
11	699.06ms	4s	4s

表 12-1 看门狗定时器溢位时间 (以 FSYCLK = 24MHZ; FLCLK = 32.768KHZ 为范例)

注: 8 位上数计数器的源时钟的工作和 WDCR<WDTEN>并不同步。因此，8 位上数计数器在 WDCR<WDTEN>设定为“1”之后第一次的溢位时间，可能比设定要短最多一个源时钟周期。要清空 8 位上数计数器，必须在溢位时间减去一个源时钟周期的时间内进行。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

#### 12.1.2.4 设定 8 位上数计数器溢位检测信号

用 WDCTR<WDTOUT>选择 8 位上数计数器的溢位被检测到后所产生的信号种类。

**(a) 选择看门狗定时器中断要求信号(WDCTR<WDTOUT>为'0')**

WDCTR<WDTOUT>为"0"时，8 位上数计数器发生溢位时会产生看门狗定时器中断要求信号。

看门狗定时器中断属于非屏蔽中断，不管中断主允许标帜 IMF 的设定为何，系统都会接受看门狗定时器中断要求。

*注：看门狗定时器中断产生时，另一个中断(包括另一个看门狗定时器中断)如果已被系统接受，系统会接受新的看门狗定时器中断并保留先前的中断。若看门狗定时器中断在没有执行 RETN 指令的情况下连续产生，单片机可能会因多层的中断交错发生故障。*

**(b) 选择看门狗定时器重定要求信号(WDCTR<WDTOUT>为'1')**

设定 WDCTR<WDTOUT>为"1"时，8 位上数计数器发生溢位时会产生看门狗定时器重定要求信号。

看门狗定时器重定要求信号会引起系统复位与后续的唤醒操作。

#### 12.1.2.5 写入看门狗定时器控制寄存器

将看门狗定时器控制写入看门狗定时器控制寄存器 WDCDR。

于 WDCDR 写入清空码 0x4E，则 8 位上数计数器会被清除为"0"并继续源时钟的计数。

WDCTR<WDTEN>为"0"时，于 WDCDR 写入禁止码 0xB1，会禁止看门狗定时器的操作。

为避免 8 位上数计数器发生溢位现象，在短于 8 位上数计数器溢位时间也同时是清空时间的时段内，清空 8 位上数计数器。

藉由设计不会发生计数器溢位的程序，程序的故障及死循环可藉由看门狗定时器中断要求信号所引起的中断进行检测。

利用看门狗定时器重定要求信号进行单片机的复位，可以在发生故障和死循环后使 CPU 恢复正常操作。

#### 12.1.2.6 读取 8 位上数计数器

读取 WDCNT 可读出 8 位上数计数器的计数数值。藉由随机读取 8 位上数计数器的计数值并和前一次读取数值比较，可检测看门狗定时器的停止与其他异常状态。

### 12.1.2.7 读取看门狗定时器状态

读取 WDST 可了解看门狗定时器状态。

允许看门狗定时器操作时，WDST<WDTST>读取值为“1”。禁止看门狗定时器操作时，WDST<WDTST>读取值为“0”。

8 位上数计数器发生溢位并产生看门狗定时器中断要求信号时，WDST<WINTST2>读取值为“1”。

8 位上数计数器在清空时间外的释放产生看门狗定时器中断要求信号时，WDST<WINTST1>读取值为“1”。

在看门狗定时器中断服务程序中读取 WDST<WINTST2>和 WDST<WINTST1>，可了解引起看门狗定时器中断要求信号的因素。

读取 WDST 时，WDST<WINTST2>和 WDST<WINTST1>会被清空为“0”。如果 WDST<WINTST2>或 WDST<WINTST1>因条件吻合要转变成“1”的同时进行 WDST 的读取，WDST<WINTST2>或 WDST<WINTST1>会被设定为“1”，而不是被清空为“0”。

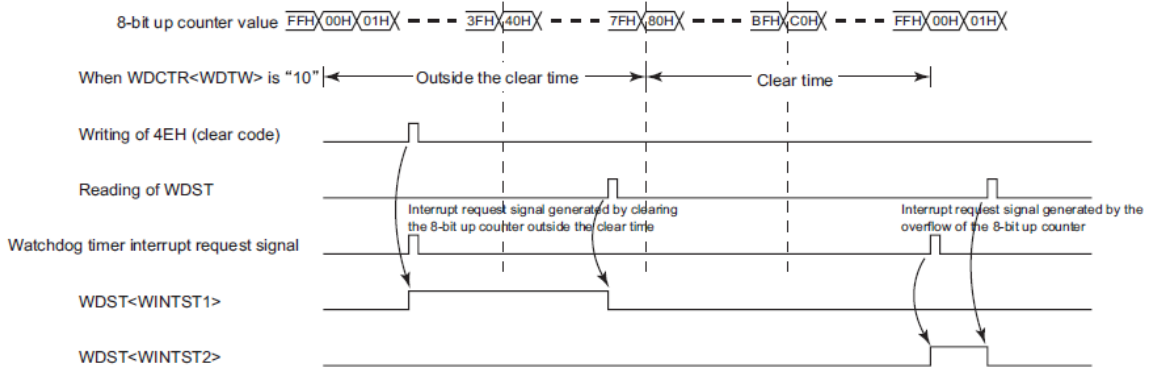


图 12-4 看门狗定时器状态

## 12.2 分频器输出(DVOB)

### 12.2.1 分频器输出架构

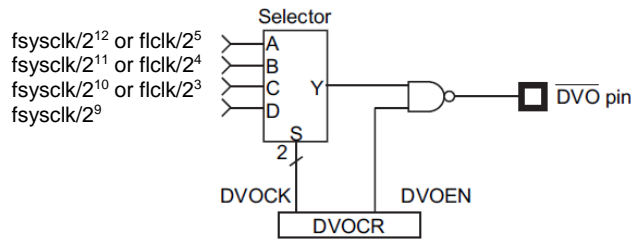


图 12-5 分频器输出架构

### 12.2.2 分频器输出控制

分频器输出是由分频器输出控制寄存器 DVOCR 所控制。

#### 分频器输出控制寄存器(DVOCR, 0x002F)

DVOCR	7	6	5	4	3	2	1	0
位符号	-	-	-	-	-	DVOEN	DVOCK[1:0]	
读/写	R	R	R	R	R	R/W	R/W	
复位后	0	0	0	0	0	0	0	0

DVOEN	允许/禁止分频器输出	0: 禁止 1: 允许			
DVOCK[1:0]	选择分频器输出频率 单位: [Hz]	系统时钟为 HIRC/ PLL/HXTAL		系统时钟为 LIRC	
		TBTCR<DV9CK>=0	TBTCR<DV9CK>=1		
		00:	$fsysclk / 2^{12}$	$flclk / 2^5$	$flclk / 2^5$
		01:	$fsysclk / 2^{11}$	$flclk / 2^4$	$flclk / 2^4$
		10:	$fsysclk / 2^{10}$	$flclk / 2^3$	$flclk / 2^3$
11:	$fsysclk / 2^9$	系统保留	系统保留		

注 1 :  $fsysclk$  · 系统时钟[Hz] ·  $flclk$  · 低速时钟[Hz]。

注 2 : 系统切换至深眠或睡眠/睡眠(低速时钟)工作模式时,  $DVOCR<DVOEN>$  会被清空为“0”。 $DVOCR<DVOCK>$  设定不变。

注 3 : 在一般或睡眠工作模式下, 若  $TBTCR<DV9CK>$  为“1”,  $DVO$  频率会因为  $flclk$  和  $fsysclk$  的同步而有些许振荡。

注 4 :  $DVOCR$  的第 7 位到第 3 位读出数值为“0”。



### 12.2.3 分频器输出功能

设定 DVOCR<DVOCK>寄存器以选择分频器输出频率。

设定 DVOCR<DVOEN>为“1”以允许分频器输出。之后，由 DVOCR<DVOCK>所选择的方波信号会从 DVOB 引脚输出。

清除 DVOCR<DVOEN>为“0”以禁止分频器输出，同时保持 DVOB 引脚为高电平。

系统切换至深眠或睡眠/睡眠(低速时钟)模式时，DVOCR<DVOEN>被清除为“0”，同时保持 DVOB 引脚为高电平。

不论 DVOCR<DVOEN>设定为何，分频器输出源时钟维持工作。

因此，在设定 DVOCR<DVOEN>为“1”后，第一级分频器输出的频率不是 DVOCR<DVOCK>设定的频率。

系统切换至深眠或睡眠/睡眠(低速时钟)模式时，DVOCR<DVOEN>被清除为“0”，分频器输出频率不是 DVOCR<DVOCK>设定的频率。

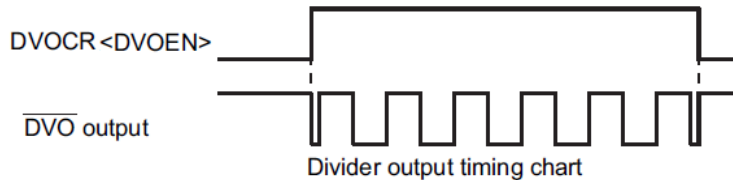


图 12-6 分频器输出时序

系统在一般模式和一般模式(低速时钟)之间切换时，由于系统时钟 fsysclk 和低速时钟 flclk 之间的同步，分频器输出频率无法达到预期的数值。

DVOCK	分频器输出频率 [Hz]		
	一般 / 睡眠模式		一般(低速时钟) / 睡眠(低速时钟)模式
	TBTCCR<DV9CK> = 0	TBTCCR<DV9CK> = 1	
00	5.86k	1.024k	1.024k
01	11.72k	2.048k	2.048k
10	23.44k	4.096k	4.096k
11	46.875k	Reserved	Reserved

表 12-2 分频器输出频率

(范例: fsysclk =24MHz, flclk=32.768kHz)

## 12.3 时基定时器(TBT)

时基定时器 TBT 产生按键扫描、动态显示及其他处理所需的时基。时基定时器同时提供时基定时器中断 INTTBT。

### 12.3.1 时基定时器架构

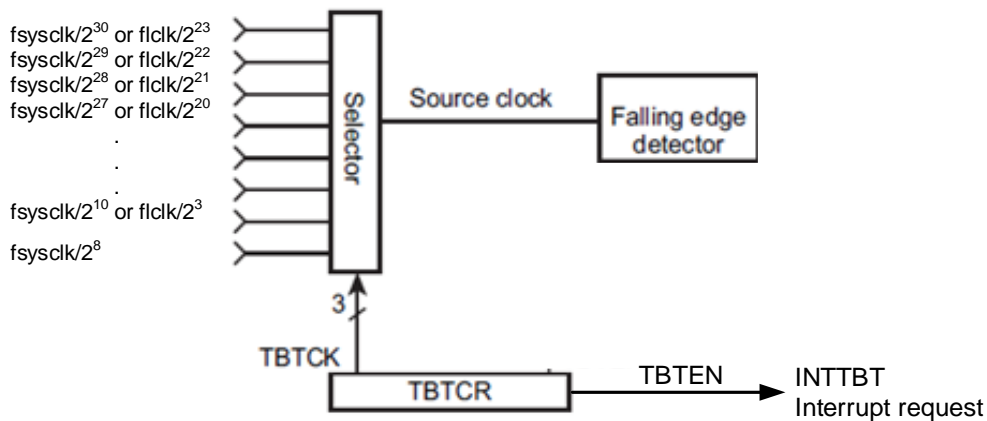


图 12-7 时基定时器架构

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 12.3.2 时基定时器控制

时基定时器由时基定时器控制寄存器 TBTCR 所控制。

#### 时基定时器控制寄存器(TBTCR, 0x002E)

TBTCR	7	6	5	4	3	2	1	0
位符号	-	-	DV9CK	TBTEN	TBTCK[3:0]			
读/写	R	R	R/W	R/W	R/W			
复位后	0	0	0	0	0	0	0	0

DV9CK	选择 9 级分频器的输入时钟	0: fsysclk/2 <sup>9</sup> 1: flclk			
TBTEN	允许/禁止时基定时器中断要求	0: 禁止 1: 允许			
TBTCK[3:0]	选择时基定时器中断频率 单位: Hz	TBTCK	一般·睡眠模式, HIRC/PLL/HXTAL	一般·睡眠模式 系统时钟为 LIRC	
			TBTCR<DV9CK>=0	TBTCR<DV9CK>=1	
		0000:	fsysclk/2 <sup>30</sup>	flclk/2 <sup>23</sup>	flclk/2 <sup>23</sup>
		0001:	fsysclk/2 <sup>29</sup>	flclk/2 <sup>22</sup>	flclk/2 <sup>22</sup>
		0010:	fsysclk/2 <sup>28</sup>	flclk/2 <sup>21</sup>	flclk/2 <sup>21</sup>
		0011:	fsysclk/2 <sup>27</sup>	flclk/2 <sup>20</sup>	flclk/2 <sup>20</sup>
		0100:	fsysclk/2 <sup>26</sup>	flclk/2 <sup>19</sup>	flclk/2 <sup>19</sup>
		0101:	fsysclk/2 <sup>25</sup>	flclk/2 <sup>18</sup>	flclk/2 <sup>18</sup>
		0110:	fsysclk/2 <sup>24</sup>	flclk/2 <sup>17</sup>	flclk/2 <sup>17</sup>
		0111:	fsysclk/2 <sup>23</sup>	flclk/2 <sup>16</sup>	flclk/2 <sup>16</sup>
		1000:	fsysclk/2 <sup>22</sup>	flclk/2 <sup>15</sup>	flclk/2 <sup>15</sup>
		1001:	fsysclk/2 <sup>20</sup>	flclk/2 <sup>13</sup>	flclk/2 <sup>13</sup>
		1010:	fsysclk/2 <sup>15</sup>	flclk/2 <sup>8</sup>	系统保留
		1011:	fsysclk/2 <sup>13</sup>	flclk/2 <sup>6</sup>	系统保留
1100:	fsysclk/2 <sup>12</sup>	flclk/2 <sup>5</sup>	系统保留		
1101:	fsysclk/2 <sup>11</sup>	flclk/2 <sup>4</sup>	系统保留		
1110:	fsysclk/2 <sup>10</sup>	flclk/2 <sup>3</sup>	系统保留		
1111:	fsysclk/2 <sup>8</sup>	系统保留	系统保留		

注 1 : fsysclk · 系统时钟[Hz] · flclk · 低速时钟[Hz]。

注 2 : 系统切换至深眠模式时, TBTCR<TBTEN>会被清空为“0”, TBTCR<TBTCK>设定不变。

注 3 : TBTCR<TBTEN>为“0”时, 必须设定 TBTCR<TBTCK>。

注 4 : 在一般或睡眠(低速时钟)工作模式下, 若 TBTCR<DV9CK>为“1”, 中断要求会因为 flclk 和 fsysclk 的同步而有些许振荡。

注 5 : TBTCR 的第 7 位到第 4 位读出数值为“0”。

### 12.3.3 时基定时器功能

设定  $TBTCR<TBTCk>$  以选择时基定时器的源时钟频率。改变  $TBTCR<TBTCk>$  的设定，必须在  $TBTCR<TBTEN>$  为“0”的情况下，否则时基定时器中断  $INTTBT$  要求的发生时序会不合预期。

设定  $TBTCR<TBTEN>$  为“1”时，中断要求信号会在原时钟的下降沿产生。清空  $TBTCR<TBTEN>$  为“0”则不会产生任何中断要求信号。

不论  $TBTCR<TBTEN>$  设定为何，时基定时器的源时钟维持工作。

允许时基定时器中断要求后，在源时钟的第一个下降沿会产生一个时基定时器中断  $INTTBT$ 。因此，设定  $TBTCR<TBTEN>$  为“1”到第一个中断要求发生之间的时间，会比  $TBTCR<TBTCk>$  设定的频率周期要短。

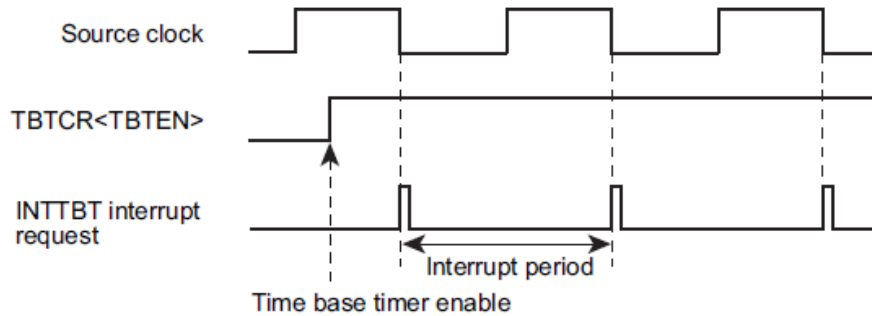


图 12-8 时基定时器中断

系统在一般模式和一般模式(低速时钟)之间切换时，由于系统时钟  $f_{sysclk}$  和低速时钟  $f_{lclk}$  之间的同步，中断要求无法在预期的时间点发生。建议在  $TBTCR<TBTEN>$  设定为“0”时进行进行系统工作模式的转换。

No. : TDDS01-57613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

TBTK	时基定时器中断频率 [Hz]		
	系统时钟为 HIRC/ PLL/HXTAL		系统时钟为 LIRC
	TBTCR<DV9CK> = 0	TBTCR<DV9CK> = 1	
0000	0.0224	0.0039	0.0039
0001	0.0447	0.0078	0.0078
0010	0.0894	0.0156	0.0156
0011	0.1788	0.0313	0.0313
0100	0.3576	0.0625	0.0625
0101	0.7153	0.125	0.125
0110	1.431	0.25	0.25
0111	2.861	0.5	0.5
1000	5.722	1	1
1001	22.89	4	4
1010	732.42	128	reserved
1011	2930	512	reserved
1100	5859	1024	reserved
1101	11719	2048	reserved
1110	23438	4096	reserved
1111	93750	reserved	reserved

表 12-3 时基定时器中断频率(范例: FSYCLK=24.0MHZ · FLCLK=32.768KHZ)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 12.4 16 位定时器

SQ7613 产品线具备 8 个高效能 16 位定时器计数器 TCA0、TCA1、TCA2、TCA3、TCA4、TCA5、TCA6、TCA7。

	定时器输入引脚	定时器输出引脚
定时器 TCA0	TCA0	TCA0
定时器 TCA1	TCA1	TCA1
定时器 TCA2	TCA2	TCA2
定时器 TCA3	TCA3	TCA3
定时器 TCA4	TCA4	TCA4
定时器 TCA5	TCA5	TCA5
定时器 TCA6	TCA6	TCA6
定时器 TCA7	TCA7	TCA7

表 12-4 16 位定时器引脚名称

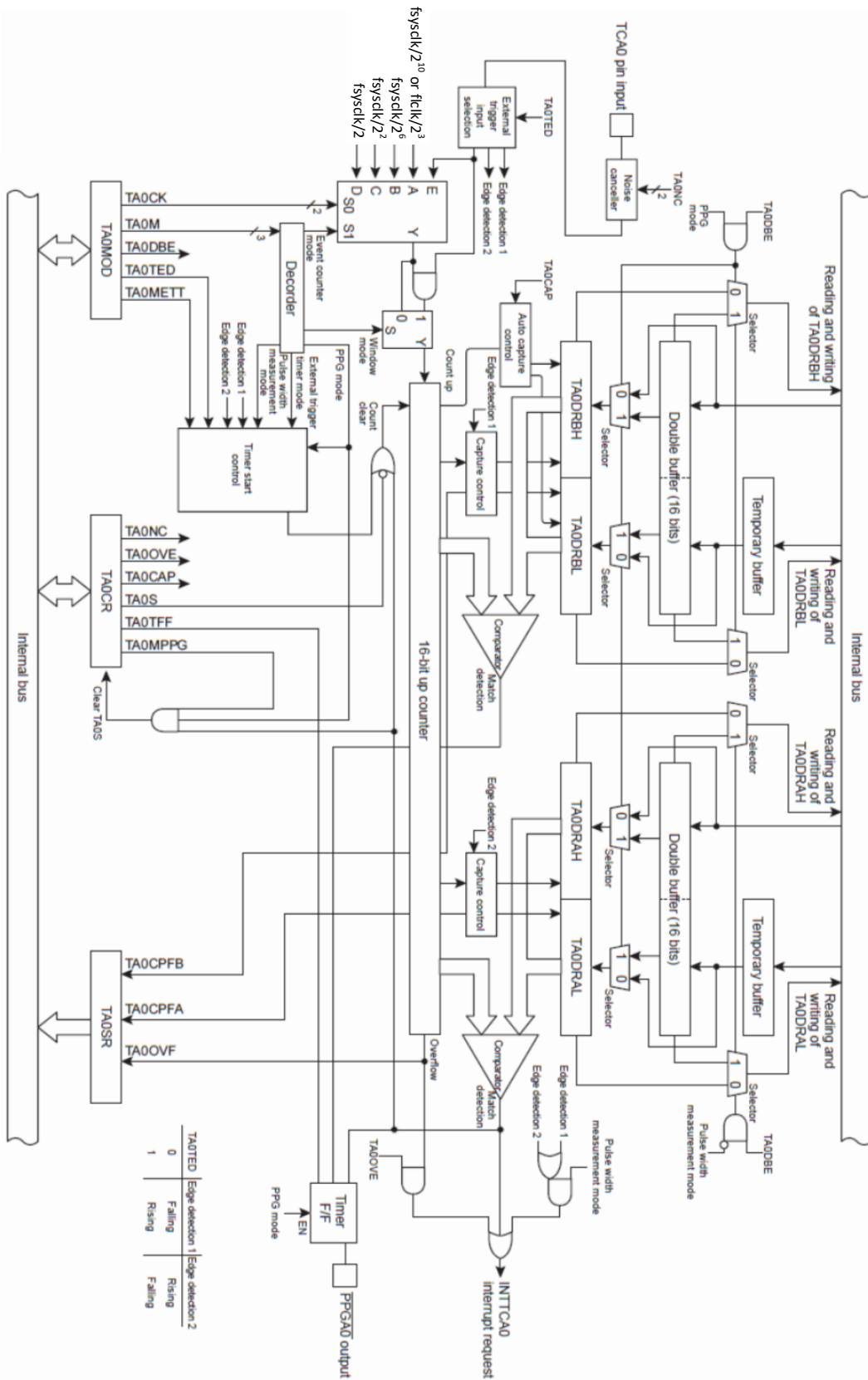


图 12-9 16 位定时器架构 (以 TCA0 为范例)

### 12.4.1 16 位定时器计数器控制

定时器计数器 TCA 是由外围电路时钟允许寄存器 PCKEN0/ PCKEN1、定时器 TCAx 模式寄存器 TAxMOD(x=0~7)、定时器 TCAx 控制寄存器 TAxCR(x=0~7)和 16 位定时器 TCAx 寄存器 TAxDRA 与 TAxDRB 控制(x=0~7)。以下章节内容以 TCA0 为例，这些叙述也同样适用于 TCA1~ TCA7。

地址	寄存器	描述
0x0178	PCKEN0	外围电路时钟允许寄存器 0
0x0179	PCKEN1	外围电路时钟允许寄存器 1
0x0070	TA0MOD	定时器 TCA0 模式寄存器
0x0071	TA1MOD	定时器 TCA1 模式寄存器
0x0072	TA2MOD	定时器 TCA2 模式寄存器
0x0073	TA3MOD	定时器 TCA3 模式寄存器
0x0074	TA4MOD	定时器 TCA4 模式寄存器
0x0075	TA5MOD	定时器 TCA5 模式寄存器
0x0076	TA6MOD	定时器 TCA6 模式寄存器
0x0077	TA7MOD	定时器 TCA7 模式寄存器
0x0068	TA0CR	定时器 TCA0 控制寄存器
0x0069	TA1CR	定时器 TCA1 控制寄存器
0x006A	TA2CR	定时器 TCA2 控制寄存器
0x006B	TA3CR	定时器 TCA3 控制寄存器
0x006C	TA4CR	定时器 TCA4 控制寄存器
0x006D	TA5CR	定时器 TCA5 控制寄存器
0x006E	TA6CR	定时器 TCA6 控制寄存器
0x006F	TA7CR	定时器 TCA7 控制寄存器
0x0078	TA0SR	定时器 TCA0 状态寄存器
0x0079	TA1SR	定时器 TCA1 状态寄存器
0x007A	TA2SR	定时器 TCA2 状态寄存器
0x007B	TA3SR	定时器 TCA3 状态寄存器
0x007C	TA4SR	定时器 TCA4 状态寄存器
0x007D	TA5SR	定时器 TCA5 状态寄存器
0x007E	TA6SR	定时器 TCA6 状态寄存器
0x007F	TA7SR	定时器 TCA7 状态寄存器
0x0081	TA0DRAH	定时器 TCA0 高位寄存器 A
0x0085	TA1DRAH	定时器 TCA1 高位寄存器 A
0x0089	TA2DRAH	定时器 TCA2 高位寄存器 A



地址	寄存器	描述
0x008D	TA3DRAH	定时器 TCA3 高位寄存器 A
0x0091	TA4DRAH	定时器 TCA4 高位寄存器 A
0x0095	TA5DRAH	定时器 TCA5 高位寄存器 A
0x0099	TA6DRAH	定时器 TCA6 高位寄存器 A
0x009D	TA7DRAH	定时器 TCA7 高位寄存器 A
0x0080	TA0DRAL	定时器 TCA0 低位寄存器 A
0x0084	TA1DRAL	定时器 TCA1 低位寄存器 A
0x0088	TA2DRAL	定时器 TCA2 低位寄存器 A
0x008C	TA3DRAL	定时器 TCA3 低位寄存器 A
0x0090	TA4DRAL	定时器 TCA4 低位寄存器 A
0x0094	TA5DRAL	定时器 TCA5 低位寄存器 A
0x0098	TA6DRAL	定时器 TCA6 低位寄存器 A
0x009C	TA7DRAL	定时器 TCA7 低位寄存器 A
0x0083	TA0DRBH	定时器 TCA0 高位寄存器 B
0x0087	TA1DRBH	定时器 TCA1 高位寄存器 B
0x008B	TA2DRBH	定时器 TCA2 高位寄存器 B
0x008F	TA3DRBH	定时器 TCA3 高位寄存器 B
0x0093	TA4DRBH	定时器 TCA4 高位寄存器 B
0x0097	TA5DRBH	定时器 TCA5 高位寄存器 B
0x009B	TA6DRBH	定时器 TCA6 高位寄存器 B
0x009F	TA7DRBH	定时器 TCA7 高位寄存器 B
0x0082	TA0DRBL	定时器 TCA0 低位寄存器 B
0x0086	TA1DRBL	定时器 TCA1 低位寄存器 B
0x008A	TA2DRBL	定时器 TCA2 低位寄存器 B
0x008E	TA3DRBL	定时器 TCA3 低位寄存器 B
0x0092	TA4DRBL	定时器 TCA4 低位寄存器 B
0x0096	TA5DRBL	定时器 TCA5 低位寄存器 B
0x009A	TA6DRBL	定时器 TCA6 低位寄存器 B
0x009E	TA7DRBL	定时器 TCA7 低位寄存器 B

以上表格为 TCA 寄存器地址，并于后续进行各个寄存器的说明。定时器 TCA 低/高位设定雷同，故寄存器皆以通用符号 x(x=0~7)进行说明。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**外围电路时钟允许寄存器 0 (PCKEN0)**

PCKEN0	7	6	5	4	3	2	1	0
位符号	TCA3	TCA2	TCA1	TCA0	reserved	reserved	reserved	reserved
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

TCA3	TCA3 允许控制	0: 禁止 1: 允许
TCA2	TCA2 允许控制	0: 禁止 1: 允许
TCA1	TCA1 允许控制	0: 禁止 1: 允许
TCA0	TCA0 允许控制	0: 禁止 1: 允许

**外围电路时钟允许寄存器 1(PCKEN1)**

PCKEN1	7	6	5	4	3	2	1	0
位符号	reserved	UART2	UART1	UART0	TCA7	TCA6	TCA5	TCA4
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

TCA7	TCA7 允许控制	0: 禁止 1: 允许
TCA6	TCA6 允许控制	0: 禁止 1: 允许
TCA5	TCA5 允许控制	0: 禁止 1: 允许
TCA4	TCA4 允许控制	0: 禁止 1: 允许

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

定时器 TCAX 模式寄存器(TAxMOD), x=0~7

TAxMOD	7	6	5	4	3	2	1	0
位符号	TADBE	TATED	TACAP TAMETT	TACK[1:0]		TAM[2:0]		
读/写	R/W	R/W	R/W	R/W		R/W		
复位后	1	0	0	0	0	0	0	0

TADBE	双缓存器控制	0: 禁止双缓存器 1: 允许双缓存器			
TATED	外部触发输入方式选择	0: 上升沿 / 高电平 1: 下降沿 / 低电平			
TACAP	脉宽测量模式控制	0: 双沿抓取 1: 单沿抓取			
TAMETT	外部触发定时器控制	0: 触发启动 1: 触发启动与结束			
TACK [1:0]	定时器 TCAX 源时钟选择		一般/睡眠模式		一般(低速时钟)/ 睡眠(低速时钟) 模式
			TBTCR<DV9CK>=0	TBTCR<DV9CK>=1	
		00:	$f_{sysclk}/2^{10}$	$f_{clk}/2^3$	$f_{clk}/2^3$
		01:	$f_{sysclk}/2^6$	$f_{sysclk}/2^6$	-
		10:	$f_{sysclk}/2^2$	$f_{sysclk}/2^2$	-
11:	$f_{sysclk}/2$	$f_{sysclk}/2$	-		
TAM[2:0]	定时器 TCAX 工作模式选择	000:	定时器模式		
		001:	定时器模式		
		010:	事件计数器模式		
		011:	PPG 输出模式		
		100:	外部触发定时器模式		
		101:	窗模式		
		110:	脉宽测量模式		
		111:	系统保留		

注 1 :  $f_{sysclk}$  · 系统时钟[Hz] ·  $f_{clk}$  · 低速时钟[Hz]。

注 2 : 在定时器停止时(TAxCR <TAS>="0")才设定 TAxMOD。定时器工作时(TAxCR <TAS>="1")设定 TAxMOD 寄存器是无效的。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

定时器 TCAX 控制寄存器(TAxCR), x=0~7

TAxCR	7	6	5	4	3	2	1	0
位符号	TAOVE	TATFF	TANC [1:0]		-	-	TAACAP TAMPPG	TAS
读/写	R/W	R/W	R/W		R	R	R/W	R/W
复位后	0	1	0	0	0	0	0	0

TAOVE	溢位中断控制	0: 计数器溢位发生时, 不产生 INTTCAX 中断要求 1: 计数器溢位发生时, 产生 INTTCAX 中断要求		
TATFF	定时器 F/F 控制	0: 清除 1: 设定		
TANC[1:0]	噪声抑制取样间隔设定		一般/睡眠模式	一般(低速时钟) / 睡眠(低速时钟)模式
		00:	无噪声抑制	无噪声抑制
		01:	fsysclk / 2	-
		10:	fsysclk / 2 <sup>2</sup>	-
		11:	fsysclk / 2 <sup>8</sup>	fclk / 2
TAACAP	自动抓取功能	0: 禁止自动抓取 1: 允许自动抓取		
TAMPPG	PPG 输出控制	0: 连续 1: 单次		
TAS	定时器 TCAX 启动控制	0: 停止并清除定时器 1: 开始		

注 1: 自动抓取功能只可用于定时器模式、事件计数器模式、外部触发定时器模式及窗模式。

注 2: 在定时器停止时(TAS="0")才设定 TATFF、TAOVE 与 TANC。在定时器工作时(TAS="1")设定是无效的。

注 3: 系统切换至深眠模式时, TAS 寄存器会被清空为"0"并停止定时器。系统脱离深眠模式后, 需再次设定 TAS 寄存器以使用定时器 TCAX。

注 4: TAxCR 寄存器的第 3 位与第 2 位读出数值为"0"。

注 5: 在一般(低速时钟)或睡眠(低速时钟)1 模式下, 不要将 TANC 设定为"01"或"10"。将 TANC 设定为"01"或"10"将停止噪声抑制功能, 且定时器将无信号输入。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**定时器 TCAX 状态寄存器(TAxSR), x=0~7**

TAxSR	7	6	5	4	3	2	1	0
位符号	TAOVF	-	-	-	-	-	TACPFA	TACPFB
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

TAOVF	溢位标识	0: 未发生溢位 1: 至少发生 1 次溢位
TACPFA	抓取完成标识 A	0: 未完成抓取工作 1: 在双沿抓取模式下至少完成 1 次脉宽抓取
TACPFB	抓取完成标识 B	0: 双沿抓取 1: 在单沿抓取模式下至少完成 1 次抓取工作 在双沿抓取模式下至少完成 1 次脉宽抓取

注 1 : TAOVF、TACPFA 和 TACPFB 将在 TAxSR 完成读取后自动清除为 0。对 TCAXSR 的写入是无效的。

注 2 : TAxSR 寄存器的第 6 位到第 2 位读出数值为“0”。

**定时器 TCAX 高位寄存器 A (TAxDRAH), x=0~7**

TAxDRAH	15	14	13	12	11	10	9	8
位符号	TAxDRAH[15:8]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

**定时器 TCAX 低位寄存器 A (TAxDRAL), x=0~7**

TAxDRAL	7	6	5	4	3	2	1	0
位符号	TAxDRAL[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 定时器 TCAX 高位寄存器 B (TAXDRBH), x=0~7

TAXDRBH	15	14	13	12	11	10	9	8
位符号	TAXDRBH[15:8]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

## 定时器 TCAX 低位寄存器 B(TAXDRBL), x=0~7

TAXDRBL	7	6	5	4	3	2	1	0
位符号	TAXDRBL[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

注 1：对 TAXDRAL (TAXDRBL) 进行写入指令时，设定值会先存储于暂时缓存器中，而不会立即生效。而后，写入高位寄存器 TAXDRAH (TAXDRBH) 时，16 位设定值将共同存储于双缓存器或 TAXDRAL/H。在设定定时器 TCAX 寄存器时，要确认先写入低位寄存器、再写入高位寄存器。

注 2：在脉宽测量模式下，无法写入定时器计数器寄存器。

## 12.4.2 低耗电功能

设定定时器 TCA0 的低耗电寄存器 PCKEN0 <TCA0> 为“0”，在不需使用定时器时停止定时器 TCA0 的基本时钟供应，以节省系统耗电；此时定时器无法使用。设定 PCKEN0 <TCA0> 为“1”可启动定时器计数器的基本时钟供应，并启动定时器工作。

复位后，PCKEN0 <TCA0> 会被回复至初始设定“0”，定时器的工作停止。第一次使用定时器前，必须在程序初始设定中，设定 PCKEN0 <TCA0> 为“1” (在定时器控制寄存器工作前)。

不要在定时器工作时改变 PCKEN0 <TCA0> 的设定为“0”，否则定时器计数器的工作可能会不合预期。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 12.4.3 定时器功能

定时器 TCA0 有 6 种工作模式，包括：定时器模式，外部触发定时器模式，事件计数器模式，窗模式，脉宽测量模式及可程序设计脉冲产生 PPG 输出模式。

#### 12.4.3.1 定时器模式

在定时器模式中，定时器会依内部时钟往上计数，并于特定的时间点规律地产生中断。

##### (a) 设定

设定 TA0MOD<TAM>为“000”或“001”以启动定时器模式。设定 TA0MOD<TACK>选择源时钟。

设定 TA0CR<TAS>为“1”以启动定时器工作。定时器启动后，对 TA0MOD 与 TA0CR<TAOVE>的写入变成无效。在启动定时器前，必须先完成所有必要模式设定。

TA0MOD <TACK>	源时钟[Hz]			分辨率		
	一般或睡眠模式		一般, 睡眠模式 (低速时钟)	fsysclk = 24MHz		fclk = 32.769 Hz
	TBTCR <DV9CK> = 0	TBTCR <DV9CK> = 1		TBTCR <DV9CK> = 0	TBTCR <DV9CK> = 1	
00	fsysclk/2 <sup>10</sup>	fclk/2 <sup>3</sup>	fclk/2 <sup>3</sup>	42.67us	244.14us	244.14us
01	fsysclk/2 <sup>6</sup>	fsysclk/2 <sup>6</sup>	-	2.67 us	2.67 us	-
10	fsysclk/2 <sup>2</sup>	fsysclk/2 <sup>2</sup>	-	166.67ns	166.67ns	-
11	fsysclk/2	fsysclk/2	-	83.34ns	83.34ns	-

表 12-5 定时器模式分辨率与最长时间设定

##### (b) 工作

设定 TA0CR<TAS>为“1”，让 16 位计数器依选择的内部源时钟往上计数。当计数器数值达到定时器 TCA0 寄存器 A (TA0DRA)的设定数值时，INTTCA0 中断要求会被产生，计数器会被清空为“0x0000”。清空后，计数器会再度开始计数。定时器工作时，若设定 TA0CR<TAS>为“0”，计数器停止工作同时被清除为“0x0000”。

##### (c) 自动抓取

将 TA0CR<TAACAP>设定为“1”可将往上计数的最新计数值放入定时器 TCA0 寄存器 B(TA0DRB)中 (自动抓取功能)。当 TA0CR<TAACAP>为“1”时，往上计数的最新计数值可由 TA0DRBL 读取。读取 TA0DRBL 的同时也会加载 TA0DRBH。因此，在读入抓取数值时，确认先读取 TA0DRBL、再读取 TA0DRBH (抓取时间为读取 TA0DRBL 所需的时间)。定时器工作或停止时皆可使用自动抓取功能。当定时器停止时，TA0DRBL 的读值为“0x00”。TA0DRBH 在定时器停止后将保持原先的抓取值，至 TA0DRBL 于定时器停止时被读取后，将被清除为“0x00”。当溢位(overflow)发生后，定时器计数值会回到 0，并重新计数。

若定时器启动且 TA0CR<TA0CAP>被写为“1”，则定时器启动后将立即开始自动抓取工作。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注：当 TA0CR<TAS>由“1”改写为“0”时，无法同时改变 TA0CR<TAACAP>的设定值。(设定无效)

例:

如下设定，在定时器模式下发生溢位时，TCA0 中断对应的 IER1 bit3 会变成 1

```
TA0CR_TAOVE = 1;    // TAOVE=1: overflow interrupt enable  
TA0CR_TAACAP= 1;    // 1: Auto capture enable
```

## (d) 寄存器缓存架构

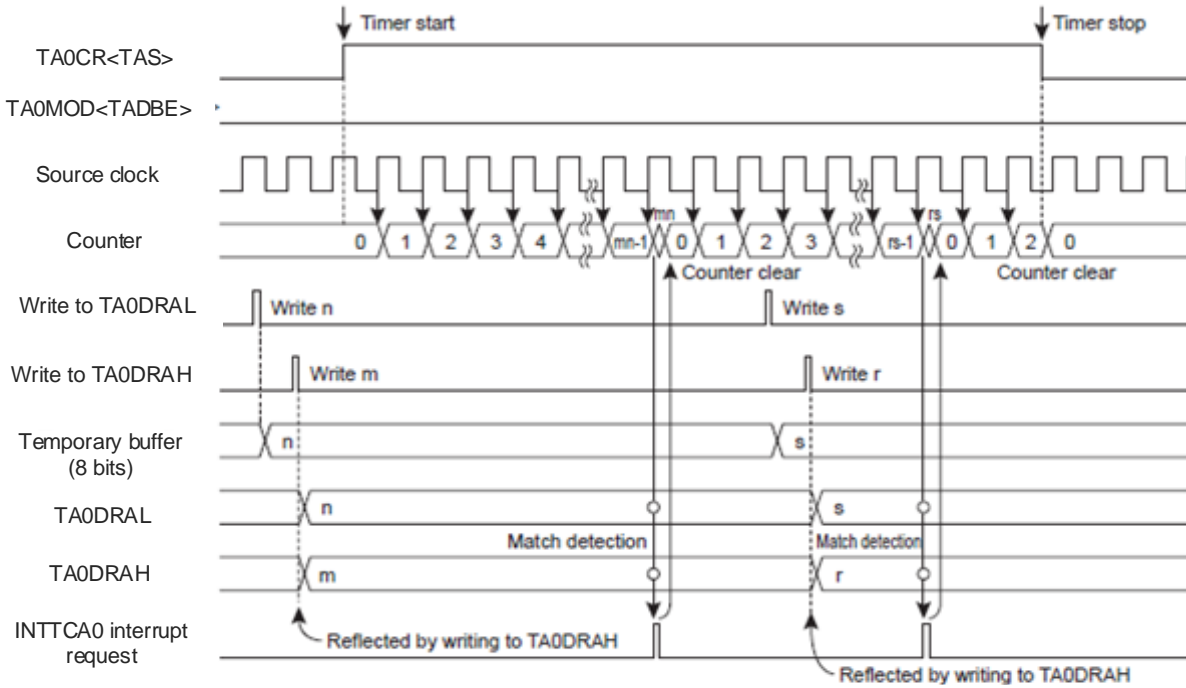
### 1. 暂时缓存器

本产品具备 1 个 8 位暂时缓存器。在进行 TA0DRAL 写入时，不论允许或禁止双缓存器功能，写入数据将先储存在此暂时缓存器。而后，在进行 TA0DRAH 写入时，设定值将存入双缓存器或 TA0DRAH。同时，暂时缓存器内的设定值将存入双缓存器或 TA0DRAL(此设计架构是为了使低位寄存器与高位寄存器的设定值同时生效)。因此，在设定 TA0DRA 时，确认先将数据写入 TA0DRAL、再写入 TA0DRAH。

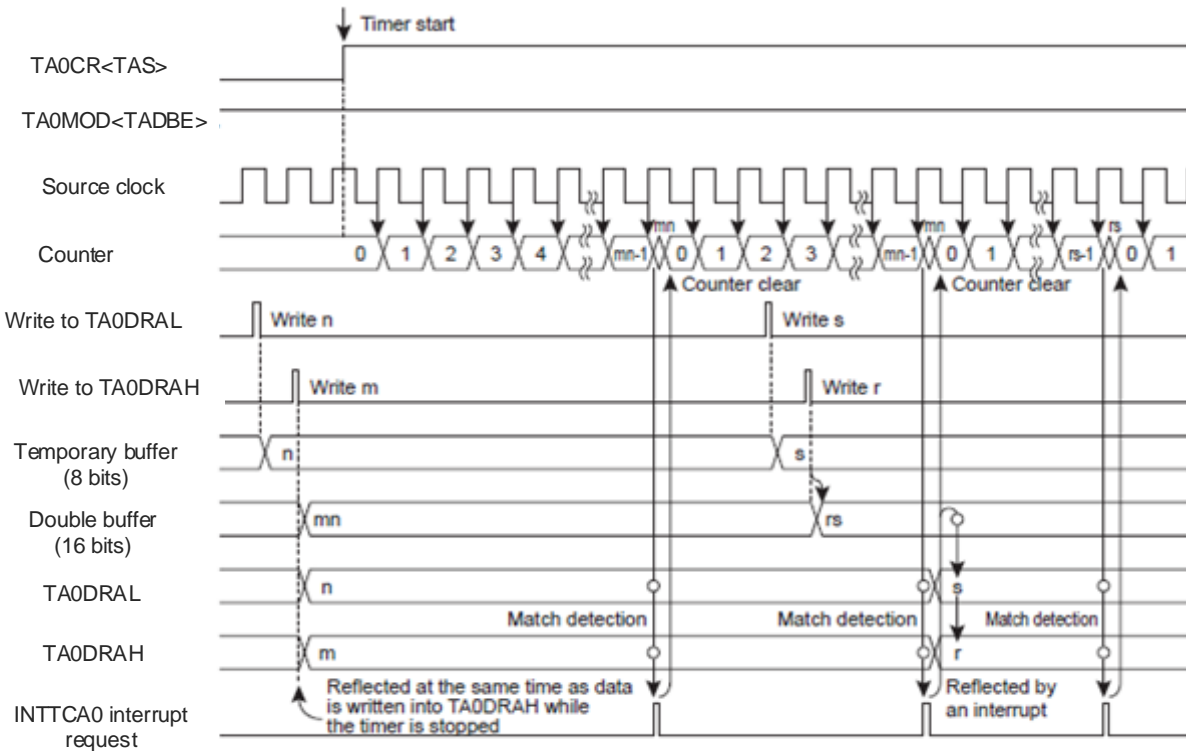
### 2. 双缓存器

本产品可透过设定 TA0CR<TADBE>以使用双缓存器。若要允许/禁止使用双缓存器，分别设定 TA0CR<TADBE>为“1”和“0”。





When the double buffer is disabled (TA0MOD<TADBE>=" 0"



When the double buffer is enabled (TA0MOD<TADBE>=" 1"

图 12- 10 定时器模式时序图(以 TCA0 为范例)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

- 允许双缓存器时

若于定时器工作时执行 TA0DRAH 寄存器的新设定值写入，新设定值会先存储于双缓存器中，而不会立即改变 TA0DRAH/L 的设定。TA0DRAH/L 会比较计数器数值与原设定值。

当计数器数值达到原设定值时，INTTCA0 中断要求会被产生，双缓存器存储的新设定值会被存入 TA0DRAH/L。而后的定时器比对检测工作就会依新的设定值进行。

对 TA0DRAH/L 进行读取时，所读取的是存于双缓存器内的值(原设定值)，而非存于 TA0DRAH/L 内的值(最新的有效数值)。

若于定时器停止时执行 TA0DRAH/L 寄存器的新设定值写入，新设定值会直接存储于双缓存器与 TA0DRAH/L 寄存器内。

- 禁止双缓存器时

若于定时器工作时执行 TA0DRAH 寄存器的新设定值写入，新设定值会直接存入 TA0DRAH/L。后续的定时器比对检测工作会依新的设定值进行。

若 TA0DRAH/L 的新设定值小于计数器数值，新设定值的比对检测会在计数器的计数溢位后才执行。因此，中断要求间隔可能会比设定的时间要长。如果操作上有问题，建议启动双缓存器。

若于定时器停止时执行 TA0DRAH/L 寄存器的新设定值写入，新设定值会直接存储于 TA0DRAH/L 寄存器内。

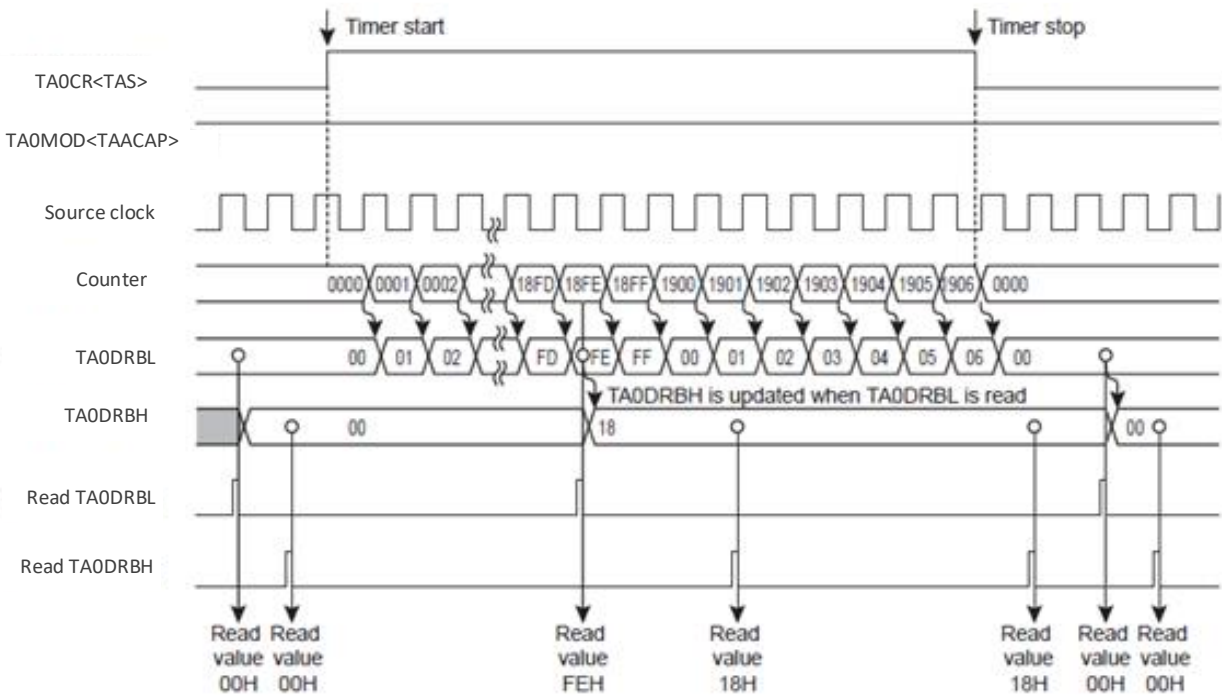


图 12- 11 TCA0 定时器模式范例时序图 (自动抓取)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

(e) 范例

用 TCA0 当中断定时器 :

1. 使用外部晶振: 16MHz
2. 系统频率除频后=16MHz/8=2MHz:  
CLKCR0\_SCKPSC= 0x03; // (系统 fsysclk = 16MHz/8 = 2Mhz)
3. TCA 频率=2Mhz/4=500KHz, 代表计数一个单位需耗时 0.002ms:  
TA0MOD\_TACK = 0x02; // fsysclk/4 = 500KHz = 0.002ms
4. 设定每 50000\*0.002ms = 100ms 中断一次  
TA0DRAL = 0x50 ; // 设定计数器值 0xC350=50000  
TA0DRAH = 0xC3 ;

执行结果:

每 100ms 会执行 IntTCA0 中断副程序一次

### 12.4.3.2 外部触发定时器模式

在外部触发定时器模式中，计数器会在 TCAx 引脚输入触发后依往上计数。

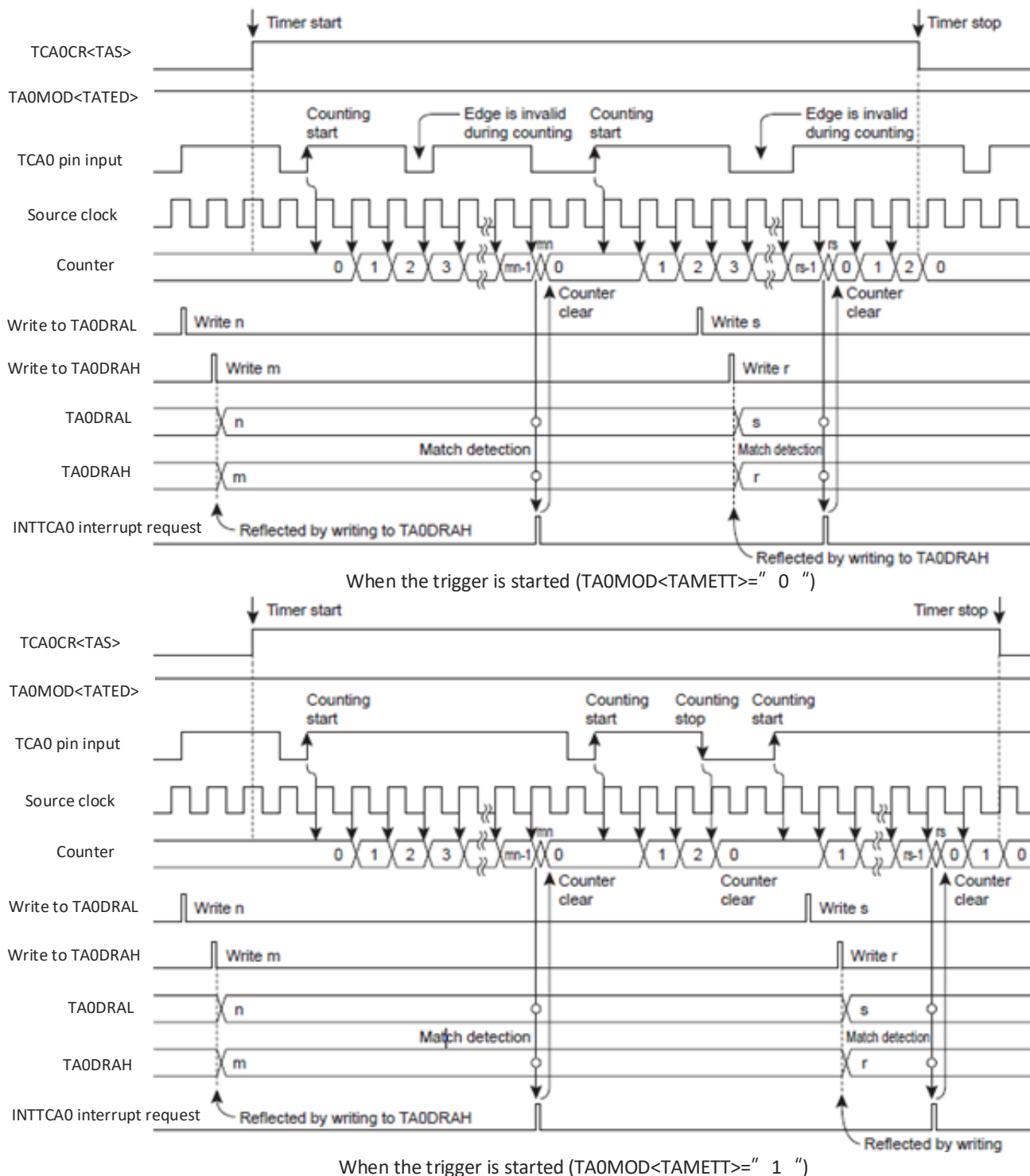


图 12-12 外部触发定时器模式时序图(TCA0 为范例)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**(a) 设定**

设定 TA0MOD<TAM>为“100”以启动外部触发定时器模式。设定 TA0MOD<TACK>选择源时钟。

设定触发沿输入选择 TA0MOD<TATED>以选择触发沿。输入选择 TA0MOD<TATED>以选择触发沿。设定 TA0MOD<TATED>为“0”选择上升沿触发，设定为“1”选择下降沿。

此模式需使用 TCA0 输入引脚，请确认在使用前、先将 TCA0 引脚端口设定为输入模式。

设定 TA0CR<TAS>为“1”以启动定时器工作。定时器启动后，无法对 TA0MOD 与 TA0CR<TAOVE>写入。在启动定时器前，必须先完成所有必要模式设定。

**(b) 工作**

定时器启动后，当所选择的触发沿输入 TCA0 引脚时，计数器将依选择的内部源时钟往上计数。当计数器数值达到定时器 TCA0 寄存器 A(TA0DRA)的设定数值时，INTTCA0 中断要求会被产生，计数器会被清空为“0x0000”。清空后，计数器会再度开始计数。

当 TA0MOD<TAMETT>为“1”且系统检测到与所选择的触发沿相反的沿信号时，计数器停止工作同时被清除为“0x0000”。而后，当检测到所选择的触发沿信号时，计数器会再度开始计数。在此模式下，可藉由检测超过特定脉宽的脉冲输入来产生中断要求。当 TA0MOD <TAMETT>为“0”时，由侦测到特定触发沿开始、到启动计数后至比对检测符合为止的期间，侦测相反触发沿的动作将被忽略。

定时器工作时，若设定 TA0CR<TAS>为“0”，计数器停止工作同时被清除为“0x0000”。

**(c) 自动抓取**

参考“12.4.3.1 - (c) 自动抓取”。

**(d) 寄存器缓存架构**

参考“12.4.3.1 - (d) 寄存器缓存架构”。

**12.4.3.3 事件计数器模式**

在事件计数器模式中，计数器会依 TCA0 引脚的输入信号触发沿往上计数。

**(a) 设定**

设定 TA0MOD<TAM>为“010”以启动事件计数器模式。

设定触发沿输入选择 TA0MOD<TATED>以选择触发沿。设定 TA0MOD<TATED>为“0”选择依上升沿触发往上计数，设定为“1”选择依下降沿往上计数。

此模式需使用 TCA0 输入引脚，请确认在使用前、先将 TCA0 引脚端口设定为输入模式。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

设定 TA0CR<TAS>为"1"以启动定时器工作。定时器启动后，无法对 TA0MOD 与 TA0CR<TAOVE>写入。在启动定时器前，必须先完成所有必要模式设定。

**(b) 工作**

事件计数器模式启动后，当所选择的触发沿输入 TCA0 引脚时，计数器开始往上计数。

当计数器数值达到定时器 TCA0 寄存器 A(TA0DRA)的设定数值时，INTTCA0 中断要求会被产生，计数器会被清空为"0x0000"。清空后，计数器会依 TCA0 输入信号的每个上升沿与下降沿重新往上计数。

定时器工作时，若设定 TA0CR<TAS>为"0"，计数器停止工作同时被清除为"0x0000"。

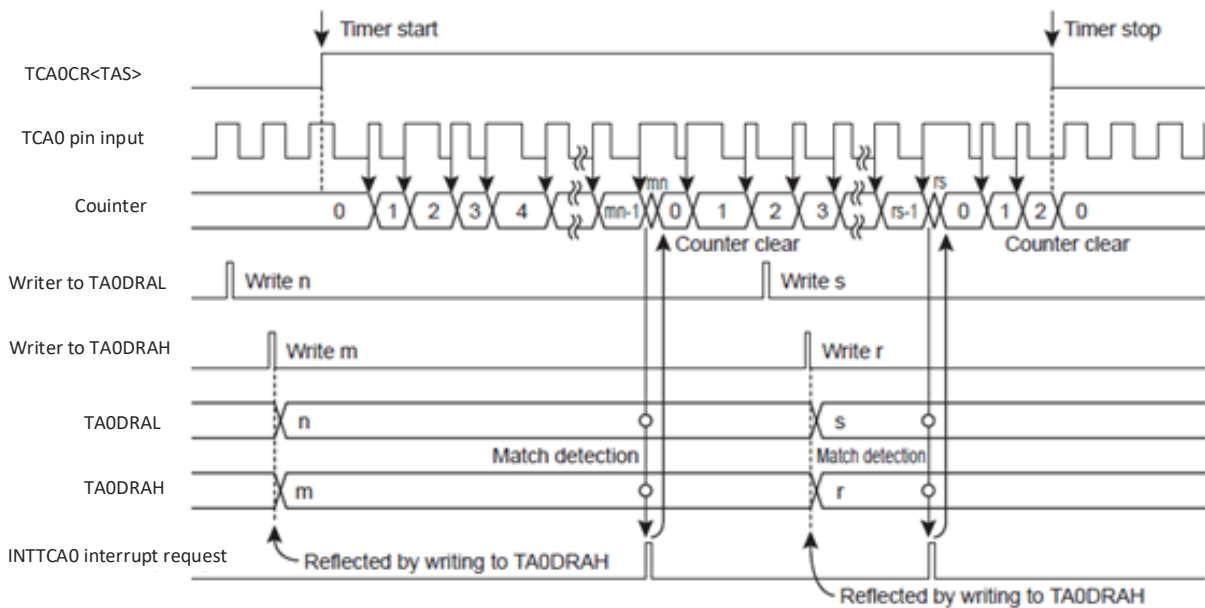
最高工作频率是  $f_{sysclk}/2$  [Hz](一般或睡眠模式)，或  $f_{clk}/2^3$ [Hz](一般或睡眠(低速时钟)模式)。高电平或低电平信号脉宽必须大于等于两个机器周期。

**(c) 自动抓取**

参考"12.4.3.1 - (c) 自动抓取"。

**(d) 寄存器缓存架构**

参考"12.4.3.1 - (d) 寄存器缓存架构"。

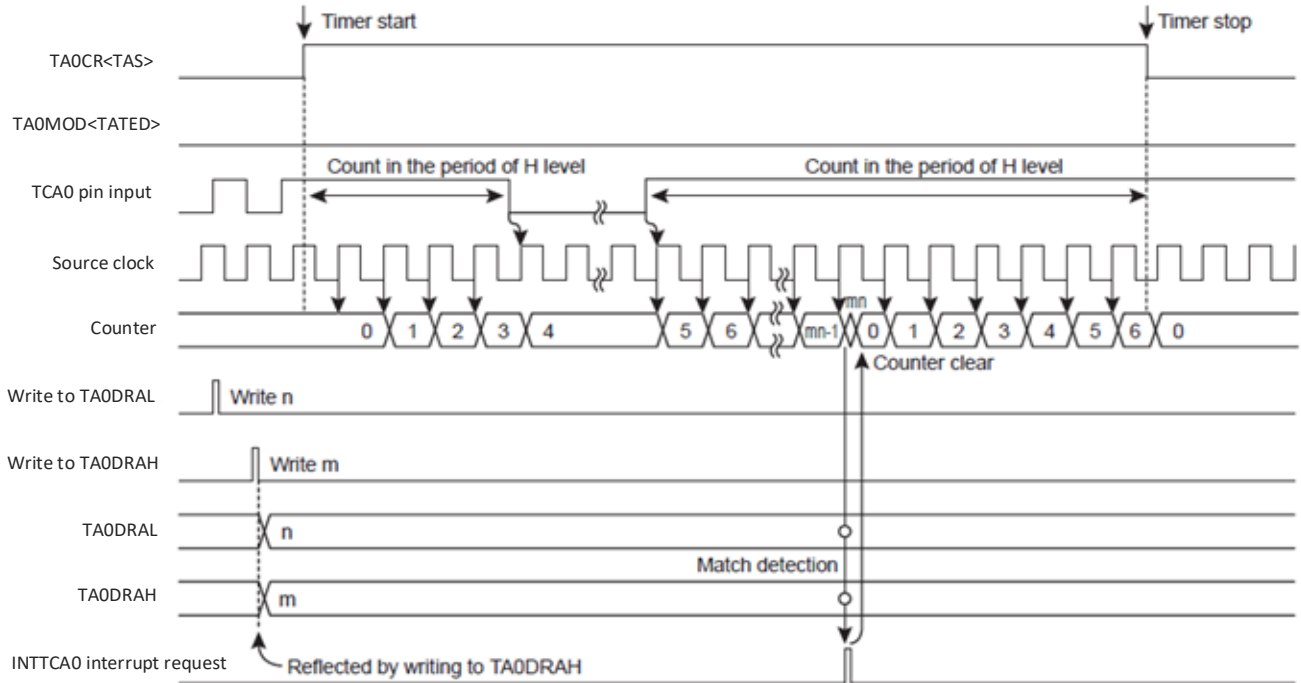


When the rising edge is selected (TA0MOD<TATED>=" 0 ")

图 12- 13 事件计数器模式时序图(TCA0 为范例)

### 12.4.3.4 窗模式

在窗模式中，计数器会依 TCA0 引脚输入脉冲(窗脉冲)与内部时钟之逻辑乘积(AND)脉冲的上升沿往上计数。



During the H-level counting (TA0MOD<TATED>=" 0")

图 12-9 窗模式时序图(TCA0 为范例)

#### (a) 设定

设定 TA0MOD<TAM>为"101"以启动窗模式。设定 TA0MOD<TACK>选择源时钟。

设定触发沿输入选择 TA0MOD<TATED>以选择窗脉冲电平。设定 TA0MOD<TATED>为"0"选择依窗脉冲高电平往上计数，设定为"1"选择依窗脉冲低电平往上计数。

此模式需使用 TCA0 输入引脚，请确认在使用前、先将 TCA0 引脚端口设定为输入模式。

设定 TA0CR<TAS>为"1"以启动定时器工作。定时器启动后，无法对 TA0MOD 与 TA0CR<TAOVE>写入。在启动定时器前，必须先完成所有必要模式设定。

#### (b) 工作

窗模式工作启动后，当 TA0MOD<TATED>所选择的电平输入 TCA0 引脚时，计数器开始依 TA0MOD<TACK>所选择的源时钟往上计数。

当计数器数值达到定时器 TCA0 寄存器 A(TA0DRA)的设定数值时，INTTCA0 中断要求会被产生，计数器会被清空为"0x0000"。清空后，计数器会重新开始往上计数。

最高工作频率不能太快，以免程序无法分辨计数值。频率脉冲的定义应充分低于所程序设计的内部源时钟。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

定时器工作时，若设定 TA0CR<TAS>为"0"，计数器停止工作同时被清除为"0x0000"。

**(c) 自动抓取**

参考"12.4.3.1 - (c) 自动抓取"。

**(d) 寄存器缓存架构**

参考"12.4.3.1 - (d) 寄存器缓存架构"。

**12.4.3.5 脉宽测量模式**

在脉宽测量模式中，计数器会依 TCA0 引脚输入之上升沿/下降沿往上计数，并依内部时钟测量输入脉宽。

**(a) 设定**

设定 TA0MOD<TAM>为"110"以启动脉宽测量模式。设定 TA0MOD<TACK>选择源时钟。

设定触发沿输入选择 TA0MOD<TATED>以选择触发沿。设定 TA0MOD<TATED>为"0"选择依上升沿触发开始抓取脉宽，设定为"1"选择依下降沿触发开始抓取脉宽。

抓取后的动作由脉宽测量模式控制 TA0MOD<TACAP>决定。设定 TA0MOD<TACAP>为"0"选择双沿抓取。设定 TA0MOD<TACAP>为"1"选择单沿抓取。

计数溢位后的动作可由溢位中断控制 TA0CR<TAOVE>设定。设定 TA0CR<TAOVE>为"0"选择计数溢位发生时不产生 INTTCA0 中断要求。设定 TA0CR<TAOVE>为"1"选择计数溢位发生时产生 INTTCA0 中断要求。

此模式需使用 TCA0 输入引脚，请确认在使用前、先将 TCA0 引脚端口设定为输入模式。

设定 TA0CR<TAS>为"1"以启动定时器工作。此时，TA0DRA 与 TA0DRB 寄存器将被初始化为"0x0000"。定时器启动后，无法对 TA0MOD 与 TA0CR<TAOVE>写入。在启动定时器前，必须先完成所有必要模式设定。

**(b) 工作**

定时器启动后，当所选择的触发沿 (启动沿) 输入 TCA0 引脚时，INTTCA0 中断要求将被产生，计数器开始依所选择的源时钟往上计数。而后，当系统检测到与所选择的触发沿相反的沿信号时，计数值将被抓取至 TA0DRB，并产生 INTTCA0 中断要求，然后设定 TA0SR <TACPFB>为"1"。依据不同的 TA0MOD<TACAP>设定，有以下不同的工作方式：

**1. 双沿抓取 (当 TA0MOD <TA0CAP>为"0")**

当系统检测到与所选择的触发沿相反的沿信号后开始往上计数。而后，当所选择的触发沿输入时，计数值将被抓取至 TA0DRA，并产生 INTTCA0 中断要求，然后设定 TA0SR <TACPFA>为"1"。此时，计数器将被清除为"0x0000"。

**2. 单沿抓取 (当 TA0MOD <TA0CAP>为"1")**

当系统检测到与所选择的触发沿相反的沿信号后停止往上计数，并被清除为"0x0000"。而后，当启动沿输入时，INTTCA0 中断要求将被产生，计数器会重新开始往上计数。



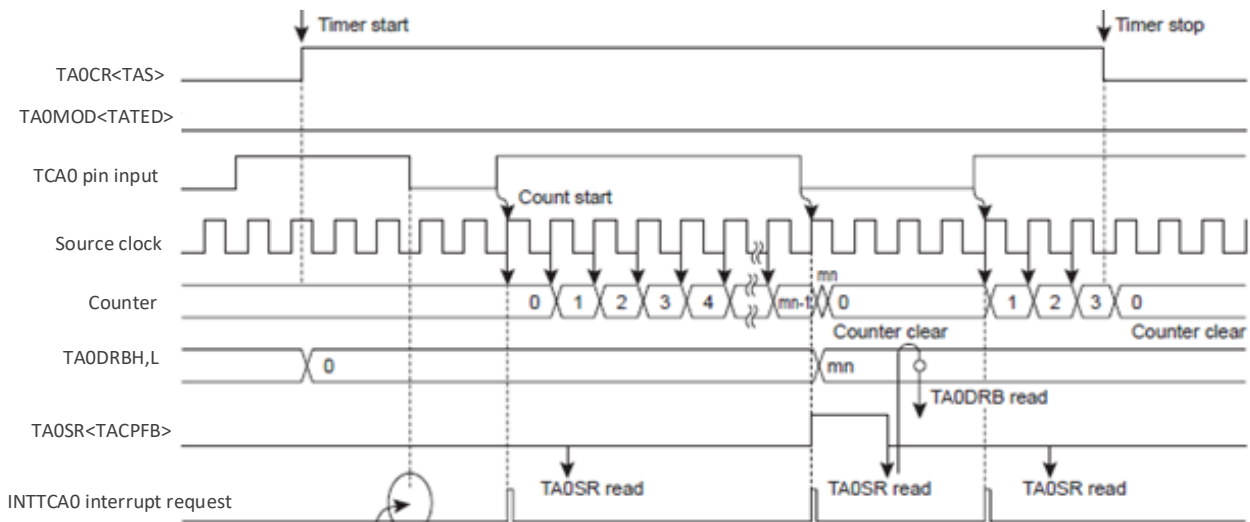
No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

若在抓取时发生计数溢位，溢位标识 TA0SR<TAOVF>会被设定为"1"。此时如果溢位中断标识 TA0CR<TAOVE>为"1"，将产生 INTTCA0 中断要求。

TA0SR 被读取后，抓取完成标识 TA0SR<TACPF A, TACPF B>与溢位标识 TA0SR<TAOVF>将自动被清除为"0"。

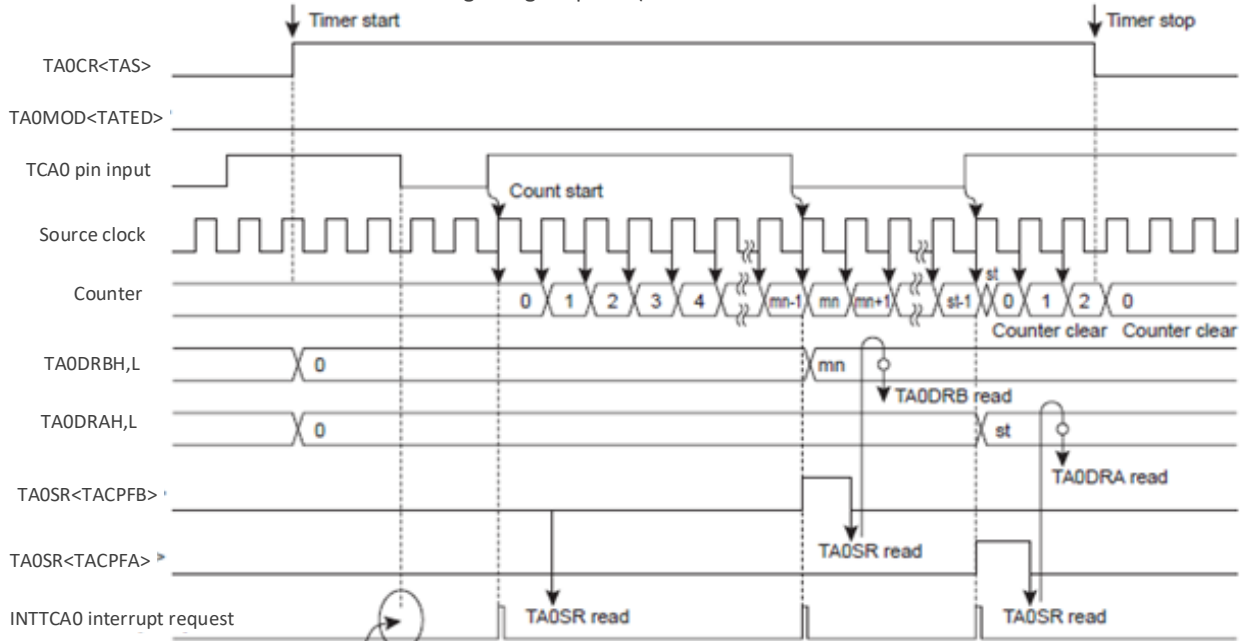
抓取值应在侦测到下一个触发沿之前完成由 TA0DRB 的读取动作 (双沿抓取时由 TA0DRA 读取)。若未完成抓取值读取，将处于未定义状态。TA0DRA 与 TA0DRB 应以 16 位指令存取。

定时器工作时，若设定 TA0CR<TAOS>为"0"，计数器停止工作同时被清除为"0x0000"。



After the timer is started, if the falling edge is detected first, no interrupt occurs.

Single-edge capture (TA0MOD<TAMCAP>=" 1"



After the timer is started, if the falling edge is detected first, no interrupt occurs.

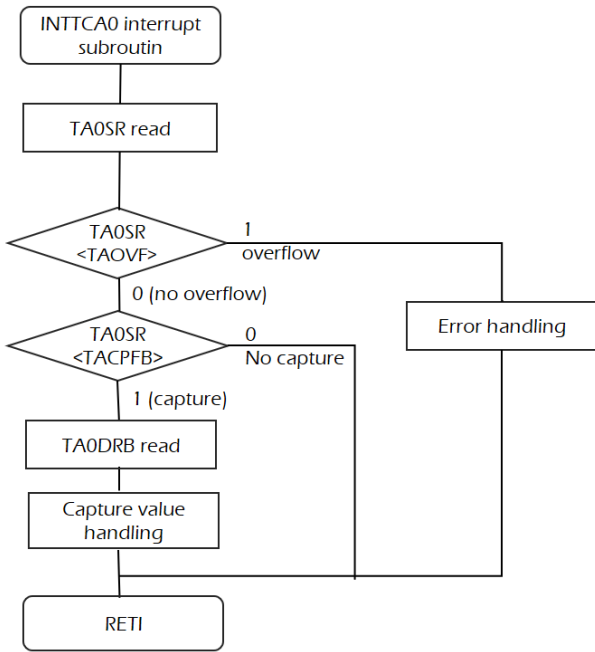
Double-edge capture (TA0MOD<TAMCAP>=" 0"

图 12- 10 脉宽测量模式时序图(TCA0 为范例)

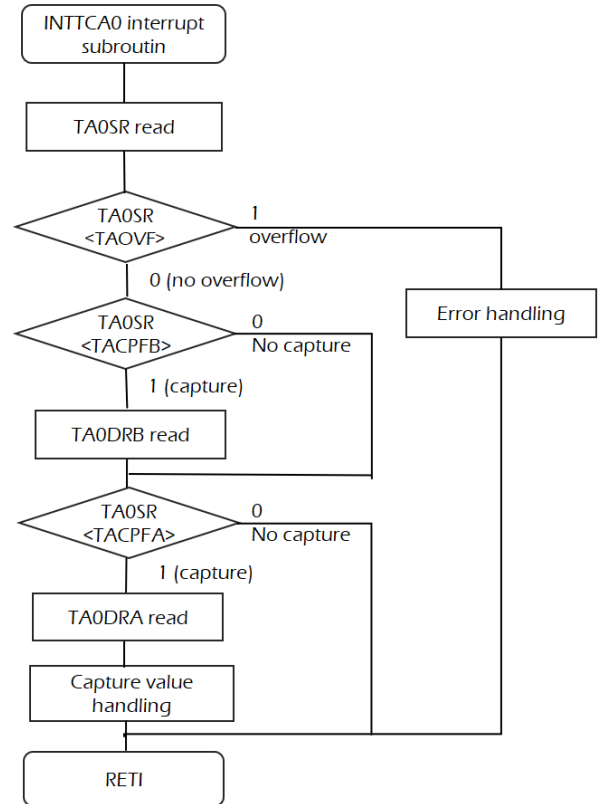
注：定时器启动后，若先侦测到与所选择的触发沿相反的信号沿，将不会进行抓取动作、也不会产生 INTTCA0 中断要求。在此情况下，抓取动作将于侦测到下一个所选择的触发沿开始。

(c) 抓取进程

下图图 12- 为 INTTCA0 中断子程序之抓取进程范例。抓取沿或溢位状态可由状态寄存器 TA0SR 轻易判断。



Interrupt process for single-edge capture



Interrupt process for double-edge capture

图 12- 16 TCA0 抓取进程范例

No. : TDDS01-57613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 12.4.3.6 可程序设计脉冲产生 PPG 输出模式

在可程序设计脉冲产生 PPG 输出模式中，由两个定时器寄存器输出任意占空比的脉冲。

#### (a) 设定

设定 TA0MOD<TAM>为“011”以启动 PPG 输出模式。设定 TA0MOD<TACK>选择源时钟。设定 TA0CR<TAMPPG>选择连续或单次 PPG 输出。

以 TA0DRA 设定 PPG 输出周期、并以 TA0DRB 设定首次输出反向的时间。确认 TA0DRA 的寄存器设定值较 TA0DRB 为大。此模式需使用 PPGA0B 引脚，请确认在使用前、先将 PPGA0B 引脚端口设定为输出模式。

在定时器触发器 TA0CR<TATFF>设定 PPGA0B 引脚的初始值。设定 TA0CR<TATFF>为“1”选择高电平为 PPGA0B 引脚的初始值。设定 TA0CR<TATFF>为“0”选择低电平为 PPGA0B 引脚的初始值。

设定 TA0CR<TAS>为“1”以启动定时器工作。定时器启动后，无法对 TA0MOD 与 TA0CR<TA0VE, TATFF>写入。在启动定时器前，必须先完成所有必要模式设定。

#### (b) 工作

定时器启动后，计数器开始往上计数。

当计数器数值达到定时器 TCA0 寄存器 B(TA0DRB)的设定数值。若 TA0CR<TATFF>设定为“0”，PPGA0B 引脚由低电平改变成高电平。若 TA0CR<TATFF>设定为“1”，PPGA0B 引脚由高电平改变成低电平。

而后，计数器持续往上计数。当计数器数值达到定时器 TCA0 寄存器 A(TA0DRA)的设定数值，若 TA0CR<TATFF>设定为“0”，PPGA0B 引脚由高电平改变成低电平。若 TA0CR<TATFF>设定为“1”，PPGA0B 引脚由低电平改变成高电平。此时，INTTCA0 中断要求将被产生。

如果 PPG 输出控制 TA0CR<TAMPPG>设定为“1”(单次)，TA0CR<TAS>将自动清空为“0”，定时器将停止动作。如果 PPG 输出控制 TA0CR<TAMPPG>设定为“0”(连续)，计数器将清除为“0x0000”并继续计数与 PPG 输出的动作。在 PPG 输出期间，当 TA0CR <TAS>被设定为“0”(包括单次 PPG 输出后的自动停止)，PPGA0B 引脚将回到 TA0CR<TATFF>所设定的电平。

在工作期间仍可改变 TA0CR <TAMPPG>。工作期间将 TA0CR <TAMPPG>由“1”改变为“0”会取消单次 PPG 输出、并允许连续 PPG 输出。将 TA0CR <TAMPPG>由“0”改变为“1”，则会在当笔脉冲输出完成后自动停止定时器。

定时器 TCA0 寄存器 A 与 B 可设定为双缓存器。设定 TA0MOD<TADBE>为“1”允许双缓存器。若在允许双缓存器的条件下于 PPG 输出期间改变 TA0DRA 与 TA0DRB 的设定值，直到计数器数值达到 TA0DRA 设定数值以前，写入 TA0DRA 与 TA0DRB 的动作不会生效。而在禁止双缓存器的条件下，TA0DRA 与 TA0DRB 的写入动作将立即生效。写入值若小于计数器数值，将发生计数溢位。1 个周期后，定时器比对进程将使 PPG 输出反向。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**(c) 寄存器缓存架构**

**1. 暂时缓存器**

产品线具 1 个 8 位暂时缓存器。在进行 TA0DRAL (TA0DRBL)写入时，不论允许或禁止双缓存器功能，写入数据将先储存在此暂时缓存器。而后，在进行 TA0DRAH (TA0DRBH)写入时，设定值将存入双缓存器或 TA0DRAH (TA0DRBH)。同时，暂时缓存器内的设定值将存入双缓存器或 TA0DRAL (TA0DRBL) (此设计架构是为了使低位寄存器与高位寄存器的设定值同时生效)。因此，在设定 TA0DRA (TA0DRB)时，确认先将数据写入 TA0DRAL，再写入 TA0DRAH(或者先写入 TA0DRBL 再写入 TA0DRBH)。

**2. 双缓存器**

产品线可透过设定 TA0MOD<TADBE>以使用双缓存器。若要允许/禁止使用双缓存器，分别设定 TA0MOD<TADBE>为“1”和“0”。

**- 允许双缓存器时**

若于定时器工作时执行 TA0DRAH (TA0DRBH)寄存器的新设定值写入，新设定值会先存储于双缓存器中，而不会立即改变 TA0DRAH/L (TA0DRBH/L)的设定。TA0DRAH/L (TA0DRBH/L)会比较计数器数值与原设定值。

当计数器数值达到原设定值时，INTTCA0 中断要求会被产生，双缓存器存储的新设定值会被存入 TA0DRAH/L (TA0DRBH/L)。而后的定时器比对检测工作就会依新的设定值进行。

对 TA0DRAH/L (TA0DRBH/L)进行读取时，所读取的是存于双缓存器内的值(原设定值)，而非存于 TA0DRAH/L (TA0DRBH/L)内的值(最新的有效数值)。

若于定时器停止时执行 TA0DRAH/L (TA0DRBH/L)寄存器的新设定值写入，新设定值会直接存储于双缓存器与 TA0DRAH/L (TA0DRBH/L)寄存器内。

**- 禁止双缓存器时**

若于定时器工作时执行 TA0DRAH (TA0DRBH)寄存器的新设定值写入，新设定值会直接存入 TA0DRAH/L (TA0DRBH/L)。后续的定时器比对检测工作会依新的设定值进行。

若 TA0DRAH/L (TA0DRBH/L)的新设定值小于计数器数值，新设定值的比对检测会在计数器的计数溢位后才执行。因此，中断要求间隔可能会比设定的时间要长。如果操作上有问题，建议启动双缓存器。

若于定时器停止时执行 TA0DRAH/L (TA0DRBH/L)寄存器的新设定值写入，新设定值会直接存储于 TA0DRAH/L (TA0DRBH/L)寄存器内。

(d) 范例

以下是一个 PPG 输出 2.84KHz 的例子:

```

//假设系统时钟除频后是 2MHz
CLKCR0_SCKPSC=0x30; // fsysclk=16MHz/8=2MHz

//TCA1 频率
TAMOD_TACK=0x03 //TCA1 频率=fsysclk/2= 1MHz, cycle time=1us
TA1DRAL=0x60; // 设定 PPG 1 个周期时间
TA1DRAH=0x01; //PPG 1 cycle time=1us*0x0160=352us=2.84KHz
TA1DRBL=0xb0; // 设定 PPG 占空比 (pulse period)
TA1DRBH=0x00; // (占空比固定设 50% = 0x0160/2 = 0x000b0)

```

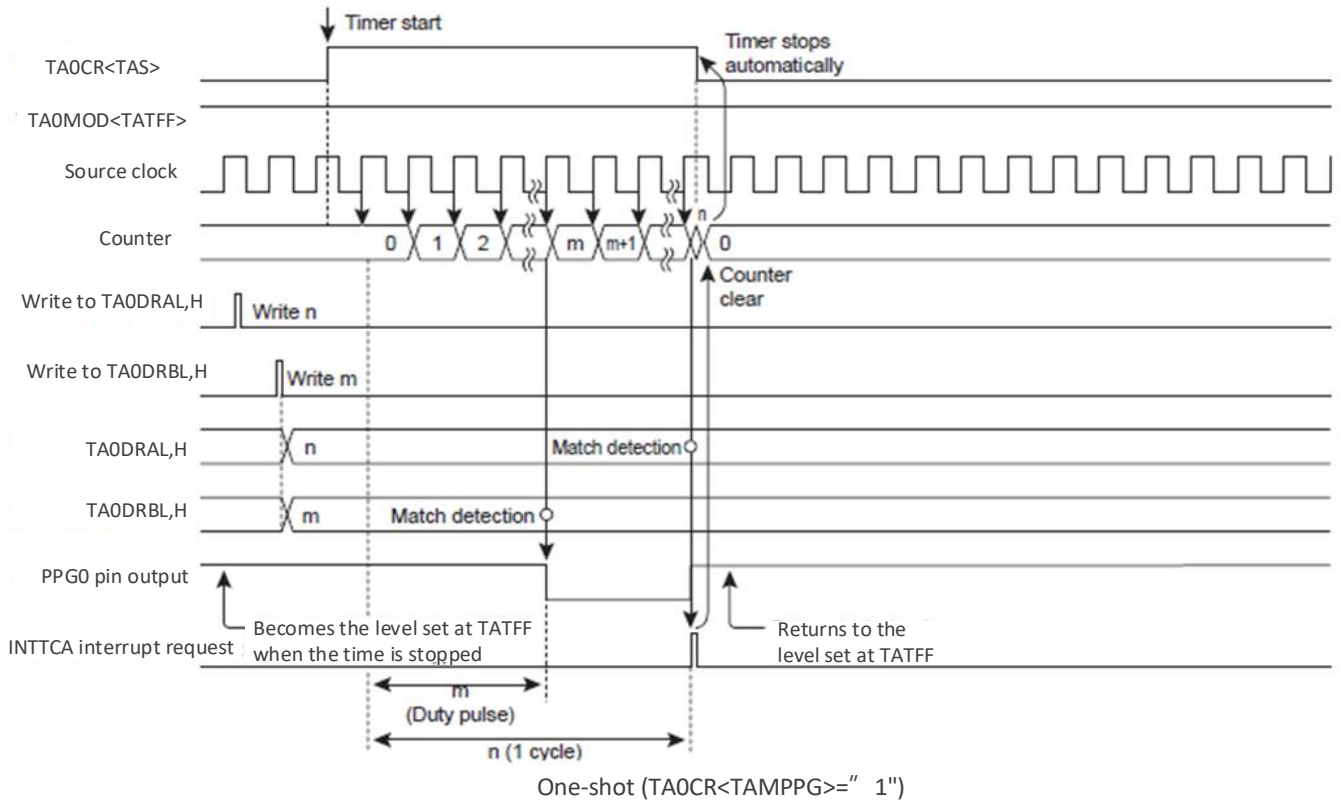


图 12- 17 PPG 模式时序图- 单次输出(TCA0 为范例)

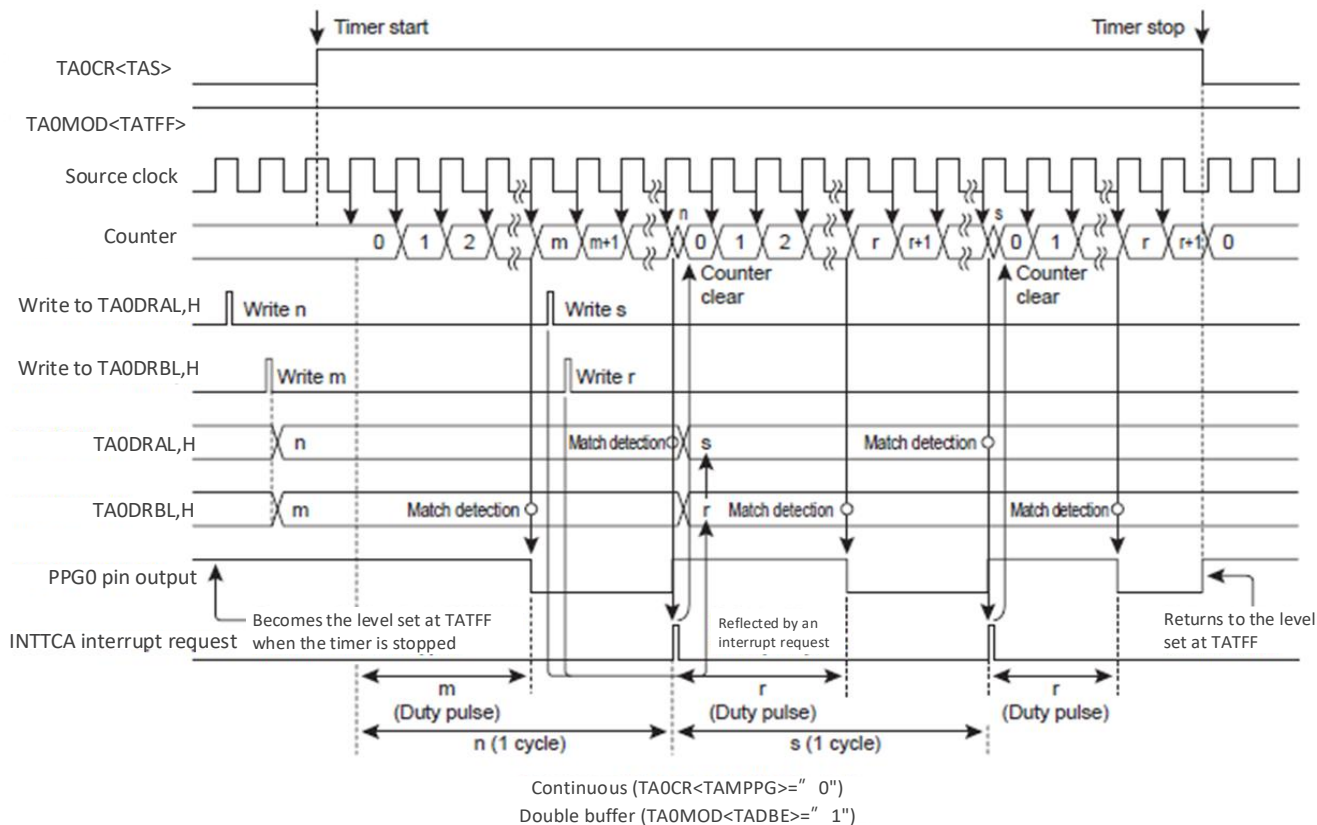


图 12- 18 PPG 模式时序图- 连续输出(TCA0 为范例)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

#### 12.4.4 噪声抑制

在使用 TCA0 引脚的工作模式中，可启动数字噪声抑制器。

使用数字噪声抑制器时，输入电平依 TA0CR<TANC>所设定的取样间隔加以取样。连续侦测到 3 次相同电平时，定时器的输入电平将会改变。

将 TA0CR<TANC>设定为"00"以外的任何值可启动噪声抑制器，不论 TA0CR<TAS>的数值为何。

使用噪声抑制器时，定时器将在 TA0CR<TANC>设定后、经过 4 次取样间隔的时间后启动。如此可稳定输入信号。在定时器停止时(TA0CR <TAS> = "0")才设定 TA0CR<TANC>。TA0CR <TAS> = "1"时，写入动作将被忽略。

## 13.通用异步收发器 (UART)

本产品最高具有 3 个通用异步收发器(UART0、UART1、UART2)。相关特殊功能寄存器(SFR)地址及引脚名称的信息，请参考表 13.1 与表 13.2。

	UARTxCR1 (地址)	UARTxCR2 (地址)	UARTxDR (地址)	UARTxSR (地址)	RDxBUF (地址)	TDxBUF (地址)
UART0	UART0CR1 (0x00A0)	UART0CR2 (0x00A1)	UART0DR (0x00A2)	UART0SR (0x00A3)	RD0BUF (0x00A4)	TD0BUF (0x00A5)
UART1	UART1CR1 (0x00A6)	UART1CR2 (0x00A7)	UART1DR (0x00A8)	UART1SR (0x00A9)	RD1BUF (0x00AA)	TD1BUF (0x00AB)
UART2	UART2CR1 (0x00AC)	UART2CR2 (0x00AD)	UART2DR (0x00AE)	UART2SR (0x00AF)	RD2BUF (0x00B0)	TD2BUF (0x00B1)

表 13-1 SFR 地址

	串行数据输入引脚	串行数据输出引脚
UART0	RXD0	TXD0
UART1	RXD1	TXD1
UART2	RXD2	TXD2

表 13-2 引脚名称

### 13.1 UART 架构

UARTx(x=0~2)是由外围电路时钟允许寄存器 PCKEN1、UARTx(x=0~2)控制寄存器 UARTxCR1 与 UARTxCR2、及 UARTx 波特率(baud)寄存器 UARTxDR(x=0~2)所控制。而工作状态可透过 UART 状态控制寄存器 UARTxSR(x=0~2)进行监控。以下章节内容以 UART0 为例，这些叙述也同样适用于 UART1, UART2。



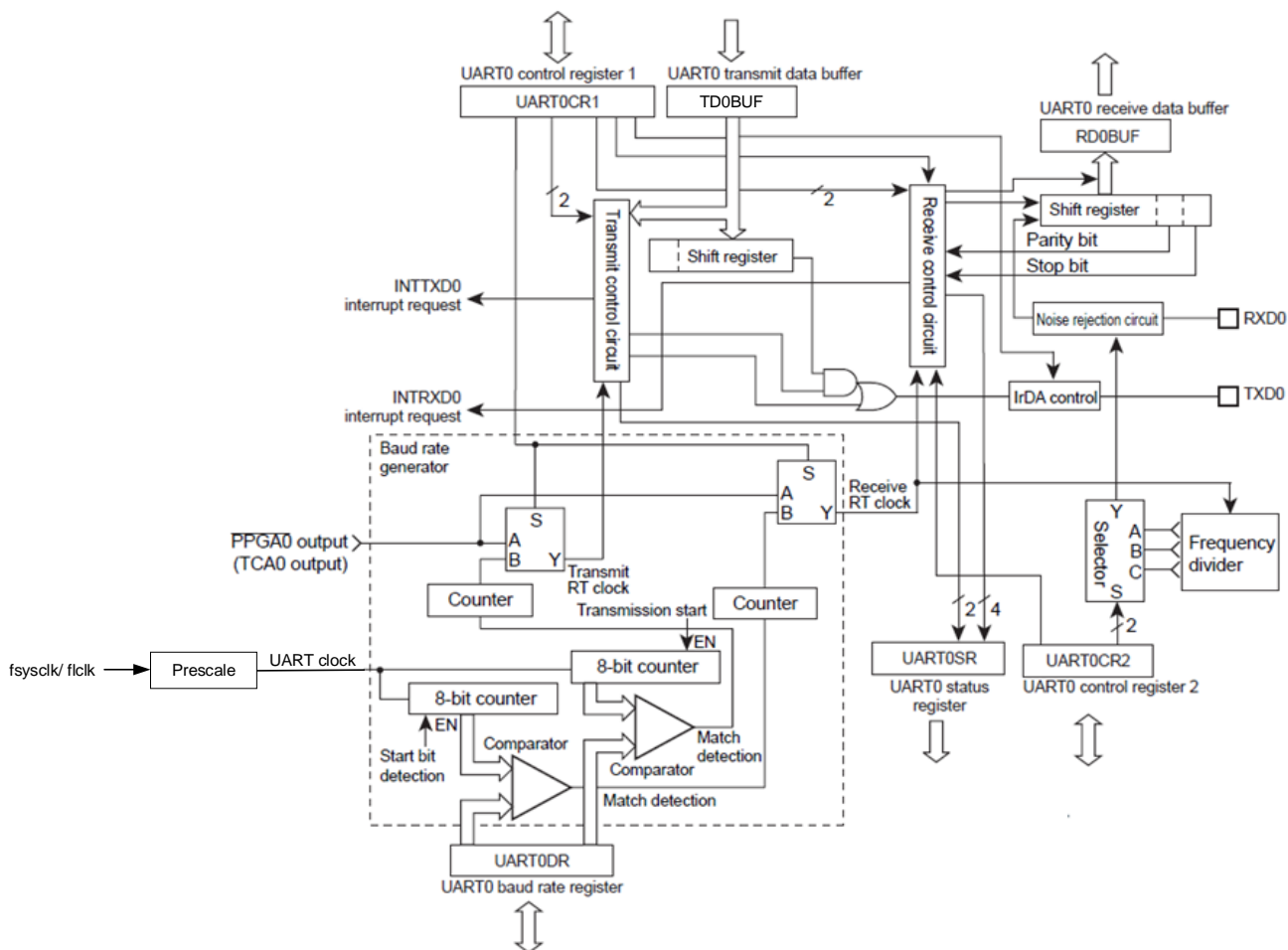


图 13- 1 UART 工作模块图(以 UART0 为例)

### 外围电路时钟允许寄存器 1 (PCKEN1)

PCKEN1 (0x0179)	7	6	5	4	3	2	1	0
位符号	reserved	UART2	UART1	UART0	TCA7	TCA6	TCA5	TCA4
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

UART2	UART2 允许控制	0: 禁止 1: 允许
UART1	UART1 允许控制	0: 禁止 1: 允许
UART0	UART0 允许控制	0: 禁止 1: 允许

### UART0 控制寄存器 1 (UARTOCR1)

UARTOCR1 (0x00A0)	7	6	5	4	3	2	1	0
位符号	TXE	RXE	STOPBT	EVEN	PE	IRDASEL	BRG	-
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
复位后	0	0	0	0	0	0	0	0

TXE	发送工作	0: 禁止 <sup>注2</sup> 1: 允许
RXE	接收工作	0: 禁止 <sup>注2</sup> 1: 允许
STOPBT	发送端结束位长度	0: 1 位 1: 2 位
EVEN	同位选择	0: 奇数同位 1: 偶数同位
PE	同位加入选择	0: 无同位 1: 有同位
IRDASEL	TXD 引脚输出选择	0: UART 输出 1: IrDA 输出
BRG	收发基本时钟选择	一般模式 (f <sub>sysclk</sub> 为 HIRC/PLL/HXTAL)
		一般模式 (f <sub>sysclk</sub> 为 LIRC)
		0 f <sub>sysclk</sub> <sup>注1</sup> 1 TCAX 输出 <sup>注5</sup>

注 1 : f<sub>sysclk</sub> · 系统时钟[Hz] · f<sub>clk</sub> · 低速时钟[Hz]。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注 2 : 在传送或接收期间, 即使 TXE 或 RXE 被设定为“0”, 在数据收发结束前工作不会停止。此时, 存储于发送数据缓存器的数据将被舍弃。

注 3 : EVEN、PE 与 BRG 的设定为发送与接收工作皆为相同。

注 4 : 在改变 BRG 以前, 先设定 RXE 与 TXE。

注 5 : 当 BRG 设定为 TCAX 输出时, RT 时钟将变为异步, 发送/接收数据的起始位可能缩短最多(UARTxDR+1)/收发基本时钟频率) [s]。若该引脚非用于 TCAX 输出, 请透过端口功能控制寄存器控制 TCAX 输出。

注 6 : 为防止 UART 通讯期间 STOPBR、EVEN、PE、IRDASEL 与 BRG 意外发生改变, 在 UART 工作期间无法改写寄存器。详细说明请参考“12.3 防止 UARTxCR1 与 UARTxCR2 寄存器改变的保护机制”。

### UART0 控制寄存器 2 (UART0CR2)

UART0CR2 (0x00A1)	7	6	5	4	3	2	1	0
位符号	DV[1:0]		RTSEL[2:0]			RXDNC[1:0]		STOPBR
读/写	R/W		R/W			R/W		R/W
复位后	0		0			0		0

DV [1:0]	除频数选择	00 : fsysclk/1 01 : fsysclk/2 10 : fsysclk/4 11 : fsysclk/8		
RTSEL[2:0]	选择 RT 时钟数		奇数位收发框	偶数位收发框
		000	16 个时钟	16 个时钟
		001	16 个时钟	17 个时钟
		010	15 个时钟	15 个时钟
		011	15 个时钟	16 个时钟
		100	17 个时钟	17 个时钟
		101	系统保留	
		11*	系统保留	
RXDNC[1:0]	选择 RXD 引脚输入噪声抑止时间 (将视为噪声而去除的脉宽时间)	00: 无噪声抑止 01: $1 \times (\text{UARTxDR} + 1) / (\text{收发基本时钟频率}) [s]$ 10: $2 \times (\text{UARTxDR} + 1) / (\text{收发基本时钟频率}) [s]$ 11: $4 \times (\text{UARTxDR} + 1) / (\text{收发基本时钟频率}) [s]$		
STOPBR	接收端结束位长度	0: 1 位 1: 2 位		

注 1 : RTSEL 可为偶数位与奇数位发送框设定 2 种 RT 时钟。详细说明请参考“13.7.1 收发波特率计算方法”。

注 2 : 有关 RXDNC 噪声抑止时间的细节, 参考“13.9 接收数据的噪声抑止”。

注 3 : 当 STOPBR 设定为 2 位时, 结束位的第 1 位(数据接收期间)将不进行收发框错误检查。

注 4 : 为防止 UART 通讯期间 RTSEL、RXDNC 与 STOPBR 意外发生改变, 在 UART 工作期间无法改写寄存器。详细说明请参考“13.3 防止 UARTxCR1 与 UARTxCR2 寄存器改变的保护机制”。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### UART0 波特率寄存器 (UART0DR)

UART0DR (0x00A2)	7	6	5	4	3	2	1	0
位符号	UART0DR7	UART0DR6	UART0DR5	UART0DR4	UART0DR3	UART0DR2	UART0DR1	UART0DR0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 在改变 UART0DR 以前, 先设定 UART0CR1<RXE>与 UART0CR1<TXE>为“0”。详细说明请参考“13.6.1 收发波特率计算方法”。

注 2 : 当 UART0CR1<BRG>设定为 TCA0 输出时, UART0DR 的数值没有意义。

### UART0 状态寄存器 (UART0SR)

UART0SR (0x00A3)	7	6	5	4	3	2	1	0
位符号	PERR	FERR	OERR	-	RBSY	RBFL	TBSY	TBFL
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

PERR	同位错误标帜	0: 无同位错误 1: 发生同位错误
RFERR	收发框错误标帜	0: 无收发框错误 1: 发生收发框错误
OERR	溢出错误标帜	0: 无溢出错误 1: 发生溢出错误
RBSY	接收忙碌标帜	0: 接收前或接收工作结束 1: 接收中
RBFL	接收缓存器已满标帜	0: 接收缓存器为空 1: 接收缓存器已满
TBSY	发送忙碌标帜	0: 发送前或发送工作结束 1: 发送中
TBFL	发送缓存器已满标帜	0: 发送缓存器为空 1: 发送缓存器已满

注 1 : 在产生 INTTXD1 中断要求后, TBFL 将自动被清除为“0”, 而当数据写入 TDxBUF 寄存器时, TBFL 将被设定为“1”。

注 2 : UART0SR 的第 4 位读值为“0”。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### UART0 接收数据寄存器 (RD0BUF)

RD0BUF (0x00A4)	7	6	5	4	3	2	1	0
位符号	RD0DR7	RD0DR6	RD0DR5	RD0DR4	RD0DR3	RD0DR2	RD0DR1	RD0DR0
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

### UART0 发送资料寄存器(TD0BUF)

TD0BUF (0x00A5)	7	6	5	4	3	2	1	0
位符号	TD0DR7	TD0DR6	TD0DR5	TD0DR4	TD0DR3	TD0DR2	TD0DR1	TD0DR0
读/写	W	W	W	W	W	W	W	W
复位后	0	0	0	0	0	0	0	0

## 13.2 UART 控制

UART 具有 1 个外围电路时钟控制寄存器 PCKEN1，可在不需使用 UART 功能时节省系统耗电。

设定 PCKEN1<UART0EN>为“0”可停止 UART 的基本时钟供应，以节省系统耗电；此时 UART 无法使用。设定 PCKEN1<UART0EN>为“1”可启动 UART 的基本时钟供应，并启动 UART 工作。

复位后，PCKEN1<UART0EN>会被回复至初始设定“0”，UART 的工作停止。第一次使用 UART 前，必须在程序初始设定中，设定 PCKEN1<UART0EN>为“1” (在 UART 控制寄存器工作前)。

不要在 UART 工作时改变 PCKEN1<UART0EN>的设定为“0”，否则 UART 可能发生无法预期的工作状态。

## 13.3 防止 UARTxCR1 与 UARTxCR2 寄存器改变的保护机制

本产品具有可以保护寄存器不被改变的功能，以确保 UART 的通信设置(比方结束位与同位)在 UART 工作期间不会发生改变。

UART0CR1 与 UART0CR2 寄存器的特定位只有在下表所显示的条件下可被改变。若在保护状态下对寄存器进行写入动作，这些特定位将维持原来数值不变。

Bit to be changed	Function	Conditions that allow the bit to be changed			
		UARTxCR1 <TXE>	UARTxSR <TBSY>	UARTxCR1 <RXE>	UARTxSR <TXE>
UARTxCR1<STOPBT>	Transmit stop bit length	Both of these bits are "0"		-	-
UARTxCR1<EVEN>	Parity selection	All of these bits are "0"			
UARTxCR1<PE>	Parity addition				
UARTxCR1<IRDASEL>	TXD pin output selection	Both of these bits are "0"		-	-
UARTxCR1<BRG>	Transfer base clock selection	All of these bits are "0"			
UARTxCR2<RTSEL>	Selection of number of RT clocks				
UARTxCR2<RXDNC>	Selection of RXD pin input noise rejection time	-	-	Both of these bits are "0"	
UARTxCR2<STOPBR>	Receive stop bit length				

表 13-3 UARTxCR1 与 UARTxCR2 的防止改变保护机制

### 13.4 收发数据格式

UART 收发数据由以下四种要素组成。由起始位至结束位的数据定义为“收发框”。起始位为 1 位(低电平)，数据共有 8 位。奇偶校验位是透过选择是否进行同位的 UART0CR1<PE>、与选择奇数同位或偶数同位的 UART0CR1<EVEN>两者进行设定。结束位的位长度则由 UART0CR1<STOPBT>设定。

图 14.2 显示收发数据格式，包括：

- 起始位 (1 位)
- 数据 (8 位)
- 奇偶校验位 (可选择偶数校验、奇数校验、或不校验)
- 结束位 (可设定 1 位或 2 位)

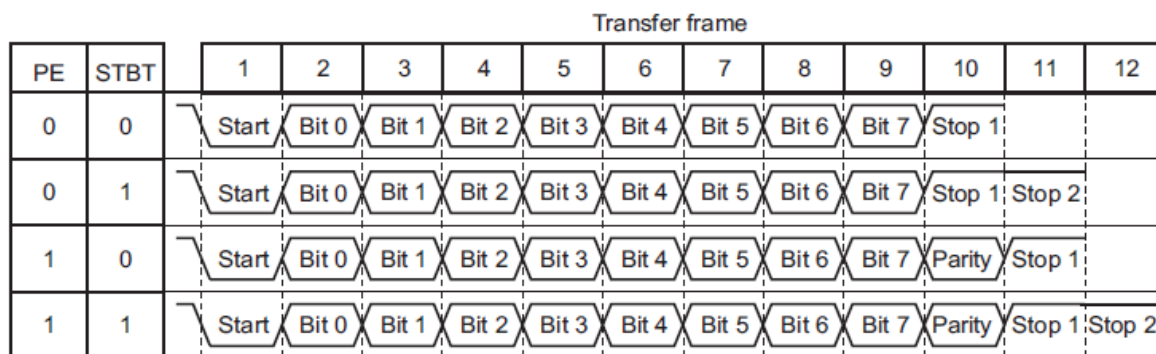


图 13-2 收发数据格式

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 13.5 红外线数据收发模式

TXD 引脚可由 IrDA 输出控制寄存器设定输出具红外线数据格式(IrDA)的数据。将 UART0CR1<IRDASEL>设定为 "1"可启动 TXD 引脚的红外线数据输出功能。

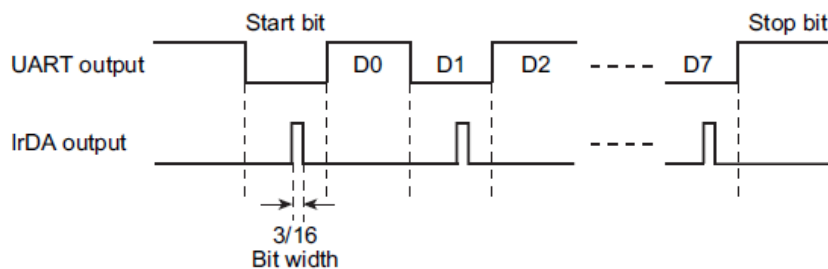


图 13-3 红外线数据格式范例 (一般输出与 IrDA 输出的比较)

### 13.6 收发波特率 (Baud Rate)

UART 的收发波特率由 UART0CR1<BRG>、UART0DR 与 UART0CR2<RTSEL>设定。UART0DR 与 UART0CR2 <RTSEL>之一般波特率与工作频率的设定方法如下。有关收发波特率的计算，参考“13.6.1 收发波特率计算方法”。

Basic baud rate[baud]	Register	Operating frequency						
		24MHz	16MHz	12MHz	8MHz	4MHz	2MHz	1MHz
128000	UARTxDR[7:0]	0x0A	0x07	0x05	0x03	0x01	0x00	-
	RTSEL[2:0]	0y100	0y011	0y011	0y011	0y011	0y011	-
	Error	(+0.27%)	(+0.81%)	(+0.81%)	(+0.81%)	(+0.81%)	(+0.81%)	-
115200	UARTxDR[7:0]	0x0C	0x08	0x06	-	-	-	-
	RTSEL[2:0]	0y000	0y011	0y010	-	-	-	-
	Error	(+0.16%)	(-0.44%)	(-0.79%)	-	-	-	-
76800	UARTxDR[7:0]	0x12	0x0C	0x09	0x06	-	-	-
	RTSEL[2:0]	0y001	0y000	0y011	0y010	-	-	-
	Error	(-0.32%)	(+0.16%)	(+0.81%)	(-0.79%)	-	-	-
62500	UARTxDR[7:0]	0x17	0x0F	0x0B	0x07	0x03	0x01	0x00
	RTSEL[2:0]	0y000	0y000	0y000	0y000	0y000	0y000	0y000
	Error	0%	0%	0%	0%	0%	0%	0%
57600	UARTxDR[7:0]	0x19	0x11	0x0C	0x08	-	-	-
	RTSEL[2:0]	0y000	0y011	0y000	0y011	-	-	-
	Error	(+0.16%)	(-0.44%)	(+0.16%)	(-0.44%)	-	-	-
38400	UARTxDR[7:0]	0x26	0x19	0x12	0x0C	0x06	-	-
	RTSEL[2:0]	0y000	0y000	0y001	0y000	0y010	-	-
	Error	(+0.16%)	(+0.16%)	(-0.32%)	(+0.16%)	(-0.79%)	-	-
19200	UARTxDR[7:0]	0x4D	0x30	0x26	0x19	0x0C	0x06	-
	RTSEL[2:0]	0y000	0y100	0y000	0y000	0y000	0y010	-
	Error	(+0.16%)	(+0.04%)	(+0.16%)	(+0.16%)	(+0.16%)	(-0.79%)	-
9600	UARTxDR[7:0]	0x92	0x64	0x4D	0x30	0x19	0x0C	0x06
	RTSEL[2:0]	0y100	0y001	0y000	0y100	0y000	0y000	0y010
	Error	(+0.04%)	(+0.01%)	(+0.16%)	(+0.04%)	(+0.16%)	(+0.16%)	(-0.79%)
4800	UARTxDR[7:0]	-	0xC9	0x92	0x64	0x30	0x19	0x0C
	RTSEL[2:0]	-	0y001	0y100	0y001	0y100	0y000	0y000
	Error	-	(+0.01%)	(+0.04%)	(+0.01%)	(+0.04%)	(+0.16%)	(+0.16%)



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

Basic baud rate[baud]	Register	Operating frequency						
		24MHz	16MHz	12MHz	8MHz	4MHz	2MHz	1MHz
2400	UARTxDR[7:0]	-	-	-	0xCF	0x67	0x33	0x19
	RTSEL[2:0]	-	-	-	0y000	0y000	0y000	0y000
	Error	-	-	-	(+0.16%)	(+0.16%)	(+0.16%)	(+0.16%)
1200	UARTxDR[7:0]	-	-	-	-	0xCF	0x67	0x33
	RTSEL[2:0]	-	-	-	-	0y000	0y000	0y000
	Error	-	-	-	-	(+0.16%)	(+0.16%)	(+0.16%)

Basic baud rate[baud]	Register	Operating frequency
		32.768kHz
300	UARTxDR[7:0]	0x06
	RTSEL[2:0]	0y011
	Error	(+0.67%)
150	UARTxDR[7:0]	0x0D
	RTSEL[2:0]	0y011
	Error	(+0.67%)
134	UARTxDR[7:0]	0x0E
	RTSEL[2:0]	0y001
	Error	(-1.20%)
110	UARTxDR[7:0]	0x11
	RTSEL[2:0]	0y001
	Error	(+0.30%)
75	UARTxDR[7:0]	0x1C
	RTSEL[2:0]	0y010
	Error	(+0.44%)

### 13.6.1 收发波特率计算方法

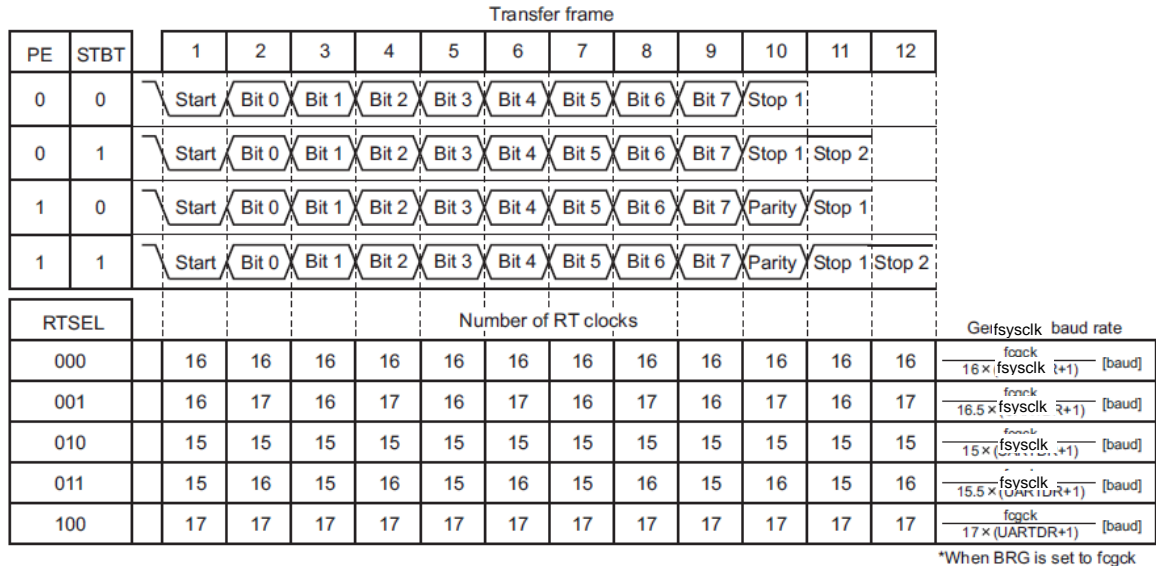


图 13-4 以 UARTOCR2<RTSEL>微调波特率

发送/接收数据之位宽度可透过 UARTOCR2<RTSEL>的设置进行微调。每位的 RT 时钟数可由 UARTOCR2<RTSEL> 设定在 15 至 17 个时钟数的范围内。RT 时钟为收发基本时钟，来自计数 UARTOCR1 <BRG>所设定之时钟数总共 (UARTODR 设定值)+1 次所得之脉冲。特别当 UARTOCR2<RTSEL>设定为“001”或“011”时，两种 RT 时钟将在每个位之间轮流，以生 RTx15.5 时钟数与 RTx16.5 时钟数的伪波特率(pseudo baud rate)。收发框中每位的 RT 时钟数如图 13.4 所示。

例如，当 fsysclk 为 16MHz、UARTOCR2<RTSEL>设定为“000”且 UARTODR 设定为“0x0C”，则波特率可以图 13.4 的公式计算而得为  $f_{sysclk} / (16 \times (UARTODR + 1)) = 76923$  (baud)。

这些设定将产生接近 76800(baud)之波特率(+0.16%)。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**UARTxCR2<RTSEL>与 UARTxDR 设定值之计算**

UART0DR 的工作频率与波特率设定值可由图 13.5 之计算公式加以计算。例如，欲以 fsysclk=16MHz 产生基本波特率 38400 (baud)，计算每个 UART0CR2<RTSEL>设定下的 UARTxDR 设定值，并向上补偿至产生图 13.6 所示之波特率。基本上，透过选择 UART0CR2<RTSEL>中有最小波特率误差的设定值来产生波特率。在图 13.5 中，UART0CR2<RTSEL> = “000”的设定在所有计算出的波特率中有最小的误差，因此所产生的波特率为 38462 (baud) (+0.16%)、可对应至基本波特率 38400 (baud)。

RTSEL	UARTxDR 设定值
000	$UARTxDR = \frac{fsysclk (Hz)}{16 \times A (baud)} - 1$
001	$UARTxDR = \frac{fsysclk (Hz)}{16.5 \times A (baud)} - 1$
010	$UARTxDR = \frac{fsysclk (Hz)}{15 \times A (baud)} - 1$
011	$UARTxDR = \frac{fsysclk (Hz)}{15.5 \times A (baud)} - 1$
100	$UARTxDR = \frac{fsysclk (Hz)}{17 \times A (baud)} - 1$

表 13-4 UART0DR 计算方式 (当 BRG 设为 FSYSCLK)

RTSEL	UARTxDR 计算	Baud 率产生
000	$UARTxDR = \frac{16000000 (Hz)}{16 \times 38400(baud)} - 1 \approx 25$	$\frac{16000000 (Hz)}{16 \times (25+1)} = 38462 \text{ baud } (+0.16\%)$
001	$UARTxDR = \frac{16000000 (Hz)}{16.5 \times 38400(baud)} - 1 \approx 24$	$\frac{16000000 (Hz)}{16.5 \times (24+1)} = 38788 \text{ baud } (+1.01\%)$
010	$UARTxDR = \frac{16000000 (Hz)}{15 \times 38400(baud)} - 1 \approx 26$	$\frac{16000000 (Hz)}{15 \times (26+1)} = 39506 \text{ baud } (+2.88\%)$
011	$UARTxDR = \frac{16000000 (Hz)}{15.5 \times 38400(baud)} - 1 \approx 25$	$\frac{16000000 (Hz)}{15.5 \times (25+1)} = 39702 \text{ baud } (+3.39\%)$
100	$UARTxDR = \frac{16000000 (Hz)}{17 \times 38400(baud)} - 1 \approx 24$	$\frac{16000000 (Hz)}{17 \times (24+1)} = 37647 \text{ baud } (-1.96\%)$

表 13-5 UART0DR 计算范例

注：与基本波特率的误差精准度应在时钟源的频率差异范围内，各时钟源的频率差异规格请见“2.2.2 时钟源”。即使误差在时钟源的频率差异范围内，UART 通讯仍可能因外部控制装置(比方：个人计算机)与通讯引脚之振荡晶体和负载电容的频率误差而失败。

### 13.6.2 如何以 TCA 作为 UART 的时钟源

(a) 范例环境:

System clock: 24MHz  
TCA0  
UART0

(b) 说明:

对于较低的波特率 (例如 600bps) · 如果系统时钟为 24MHz · 由于 UART 最大除频数为除 8, 所以 UART 的时钟源最小只能是  $24\text{MHz}/8=3\text{MHz}$ , 由公式可以算出 UART0DR 的值将大于 255 ( $3000000/16 * 600 = 312.5$ ) · 超出 UART0DR 允许的最大值 0xFF。

为了解决此问题, 我们可以将 TCA0 设定成 PPG 输出, 因为 TCA 的 TA0DRA 寄存器宽度有 16bits, 所以可以使用 TCA0 当成 UART0 的时钟源来产生较低的 UART 波特率。

(c) 以下说明如何设定:

系统时钟: 24 MHz  
TCA0 (输出给 UART0 的时钟 6 MHz)  
UART0 (波特率 600bps)

注: UARTx 与 TCAx 的 x 须一致 · 例如 UART0 必须搭配 TCA0

设定步骤如下:

1. 以 TCA0 当做 UART 的时钟源的设定:

```
PCKEN0_TCA0 = 1; // TCA0 Enable
TA0MOD_TAM = 0x03; // 设定为 16 位可编程脉冲产生 PPG 模式
TA0CR_TATFF = 1; // 设定初始值为"高准位"的占空比
TA0CR_TAMPPG = 0; // PPG 连续输出
TA0MOD_TACK = 0x02; //  $f_{cgck}/(2^2) = 24\text{M}/4 \text{ Hz} = 6\text{MHz}$ 
TA0DRA = 0x25E; // 设定 PPG 周期 (此设定请参考注 2 与表 13-6)
TA0DRB = 0x12F; // 设定 PPG 占空比为 50% (TA0DRA*50%)
```

2. UART0 的设定(以下只列出与“以 TCA0 当做 UART0 的时钟源”有关的设定, 其他同一般 UART 设定):

```
UART0CR1_BRG = 1; // 以 TCA0 当做 UART0 的时钟源
UART0CR2_RTSEL = 1; // 此设定请参考注 2 与表 13-6
```

注 1: 以 TCA0 当做 UART0 的时钟源时, 不需设置 UART0DR

注 2: RTSEL 与 TAxDRA 计算公式 · 请参考表 13-6 · 当 baudrate 算出有误差时, 可用 RTSEL 微调, 以选择误差最小的 baudrate

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

RTSEL	UARTxDR 设定值
000	$\text{baud} = \frac{\text{fsysclk (Hz)}}{16 \times \text{TxAxDRA}}$
001	$\text{baud} = \frac{\text{fsysclk (Hz)}}{16.5 \times \text{TxAxDRA}}$
010	$\text{baud} = \frac{\text{fsysclk (Hz)}}{15 \times \text{TxAxDRA}}$
011	$\text{baud} = \frac{\text{fsysclk (Hz)}}{15.5 \times \text{TxAxDRA}}$
100	$\text{baud} = \frac{\text{fsysclk (Hz)}}{17 \times \text{TxAxDRA}}$

表 13-6 TxAxDRA 计算方式 (当 BRG 设为 TCAX)

### 13.7 数据取样方法

基本上各 UART 通道的取样方法皆相同，以下以 UART0 作为范例展开说明。

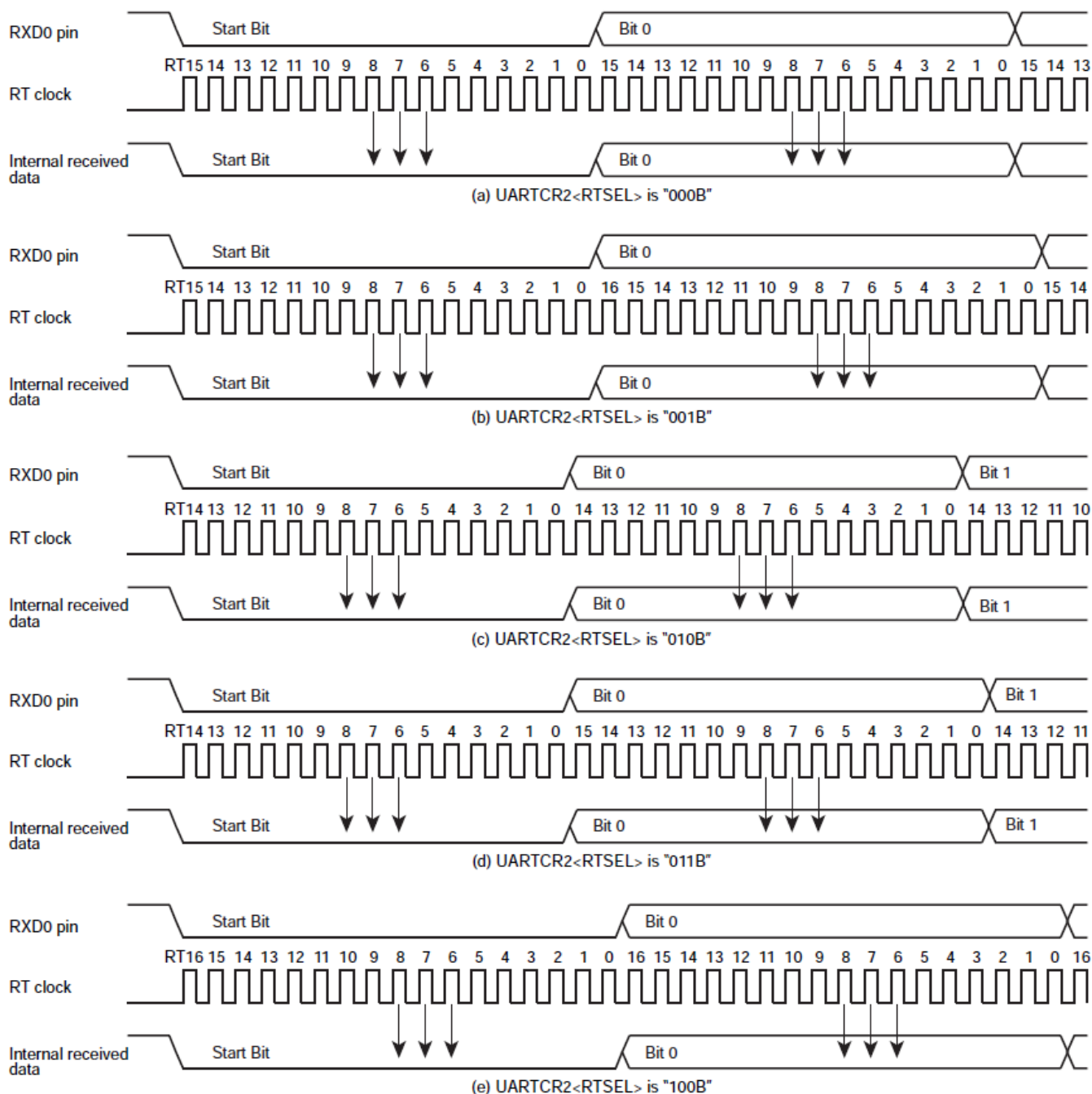


图 13-5 各种 UART0CR2<RTSEL>设定下的数据取样

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

当 RXD0 侦测到输入脉冲的下降沿时，UART 接收控制线路便开始 RT 时钟计数。每位计数 15 到 17 个 RT 时钟，每个时钟可表示为  $RT_n$  ( $n = 16$  到  $0$ )。有 17 个 RT 时钟的位会计数 RT16 到 RT0。有 16 个时钟的位会计数 RT15 到 RT0。有 15 个时钟的位会计数 RT14 到 RT0 (以上均为向下计数)。在计数 RT8 到 RT6 期间，UART 接收控制线路会对 RXD1 引脚的输入脉冲以多数决定的方式进行取样。在 3 次取样中侦测到 2 次以上相同电平将被作为该位的数据。

RT 时钟数可由  $UART0CR2<RTSEL>$  设定为 15 到 17 的范围内。然而即使 RT 时钟数有所改变，取样工作一律在 RT8 到 RT6 之间进行。

若由于噪声影响等因素，在启始位的取样中侦测到 '1'，RT 时钟的计数将会停止，并终止数据接收工作。而后，当 RXD0 再次侦测到输入脉冲的下降沿时，RT 时钟的计数会重新开始，数据接收工作也会由启始位重新开始。

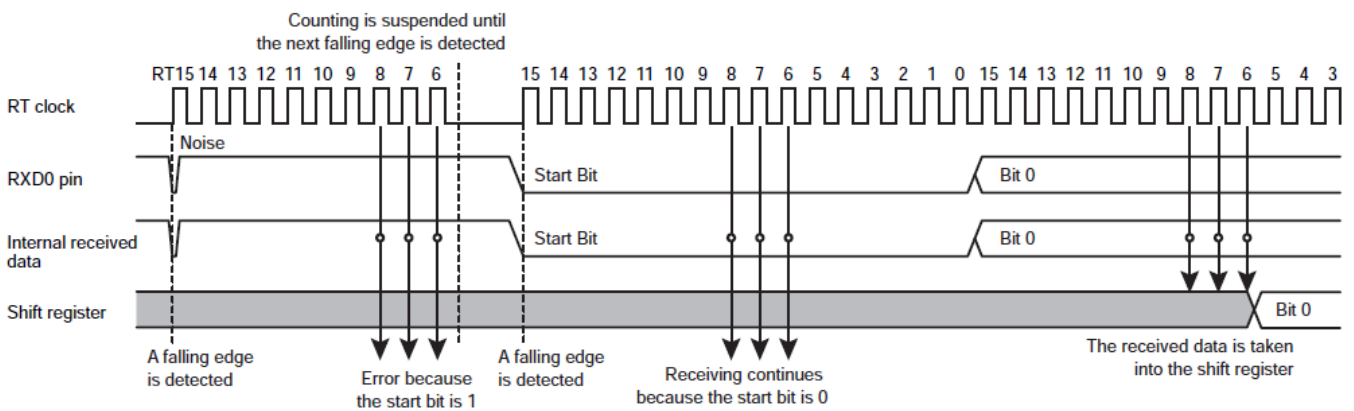


图 13-6 启始位的取样

### 13.8 接收数据的噪声抑止

基本上各 UART 信道的噪声抑止原理皆相同，以下以 UART0 作为范例展开说明。

当 UART0CR2<RXDNC>设定允许噪声抑止时，会被视为正常信号的脉冲时间如表 13-6 所示。

RXDNC	Noise rejection time [s]	Time of pulses to be regarded as signals
00	No noise rejection	-
01	$(UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$2 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$
10	$2 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$4 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$
11	$4 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$	$8 \times (UART0DR+1)/(Transfer\ base\ clock\ frequency)$

表 13-6 接收数据的噪声抑止时间

注：收发基本时钟频率为  $UARTxCR1<BRG>$  设定之时钟频率。

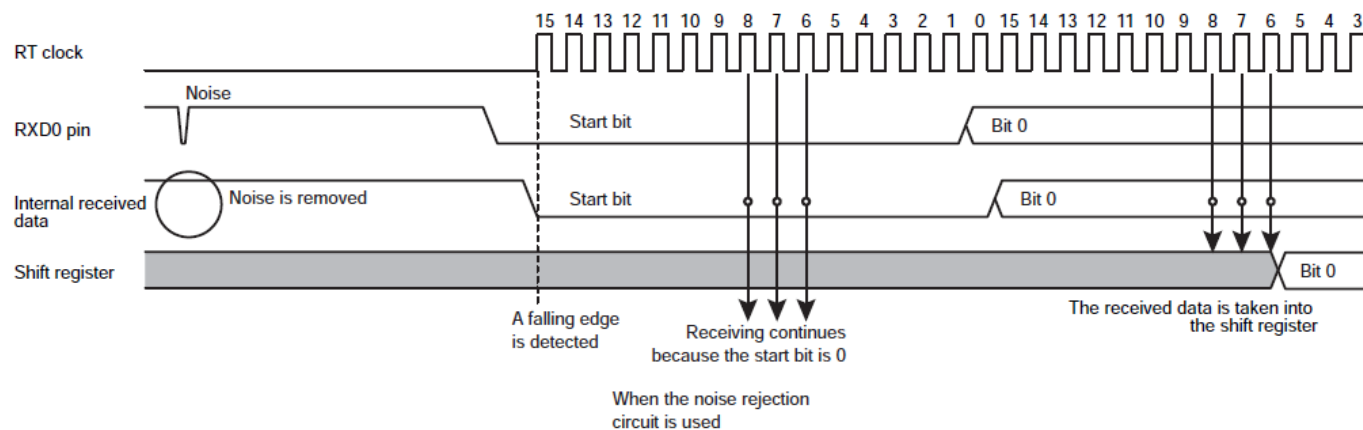


图 13-7 接收数据的噪声抑止



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 13.9 发送/接收工作

基本上各 UART 通道的发送/接收工作方式皆相同，以下以 UART0 作为范例展开说明。

#### 13.9.1 资料发送工作

设定 UART0CR1<TXE>为"1"。检查 UART0SR<TBFL>是否为"0"，再将数据写入发送数据缓存器 TD0BUF。对 TD0BUF 写入数据的动作会将 UART0SR<TBFL>设定为"1"，并将数据传送到发送移位寄存器，将数据依序由 TXD0 引脚输出。输出数据报含启始位、结束位(由 UART0CR1<STBT>设定为 1 位或 2 位)与奇偶校验位(若指定加入同位)。以 UART0CR1<BRG>、UART0CR2<RTSEL>与 UART0DR 选择数据收发波特率。开始数据发送时，发送缓存器已满标帜 UART0SR<TBFL>将清除为"0"，并产生 INTTXD0 中断要求。

注 1：数据写入 TD0BUF 后，如在前一笔数据传送到移位寄存器以前发生新一笔数据的写入，新写入的数据将覆盖前一笔数据，并传送到移位寄存器。

注 2：在表 13-7 的条件下，TXD0 引脚输出将依 UART0CR1<IRDASEL>的设定固定于低电平或高电平。

条件	TDX	
	IRDASEL = "0"	IRDASEL = "1"
当 UART0CR1<TXE> = "0"	高电平	低电平
从 UART0CR1<TXE> 写入"1" 至 传输的数据写入 TD0BUF		

表 13-7 TXD0 引脚输出

#### 13.9.2 数据接收工作

设定 UART0CR1<RXE>为"1"。当透过 RXD0 引脚接收数据时，所接收的数据将传送到接收数据缓存器 RD0BUF。此时，所接收的数据报含启始位、结束位(1 位或 2 位)与奇偶校验位(若指定加入同位)。接收到结束位(1 位或 2 位)时，数据本身(8 位)将被传送到接收数据缓存器 RD0BUF。之后接收缓存器已满标帜 UART0SR<RBFL>会被设定为"1"，并产生 INTRXD1 中断要求。以 UART0CR1<BRG>、UART0CR2<RTSEL>与 UART0DR 选择数据收发波特率。

如果接收数据时发生溢出错误，该数据将被舍弃而不会传送到接收数据缓存器 RD0BUF。原本存放在 RD0BUF 的数据将不受影响。

### 13.10 状态标识

基本上各 UART 信道的状态标识显示/操作皆相同，以下以 UART0 作为范例展开说明。

#### 13.10.1 同位错误标识

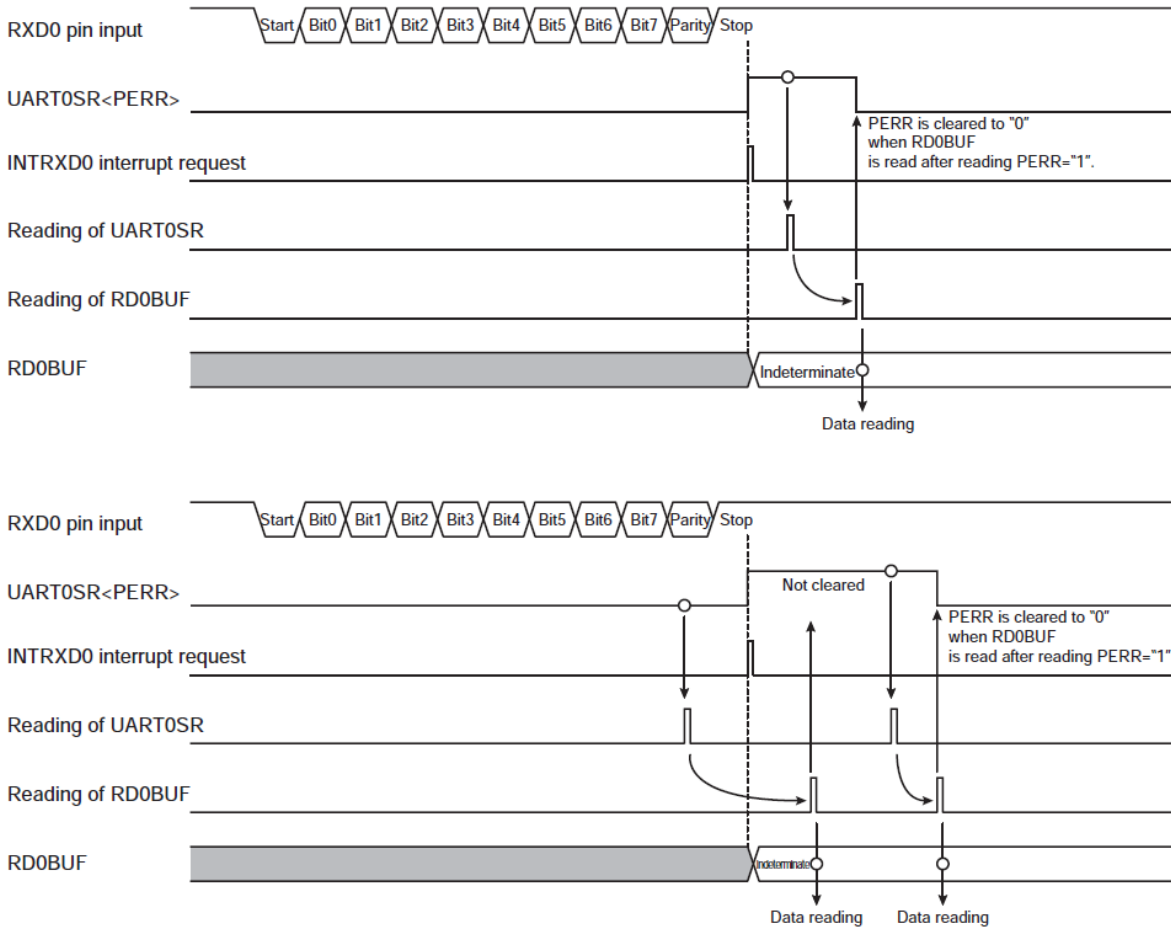


图 13-8 同位错误的发生

当收数据位的奇偶性与接收数据奇偶校验位不同时，同位错误标识 UART0SR<PERR>将被设定为“1”。此时将发出 INTRXD0 中断要求。

如果 UART0SR<PERR>为“1”，在 UART0SR 被读取后，UART0SR<PERR>将在后续 RD0BUF 被读取后清空为“0”。(此时 RD0BUF 数值将处于未定义状态)

如果在 UART0SR 被读取后将 UART0SR<PERR>设定为“1”，则在后续 RD1BUF 被读取后，UART0SR <PERR>将不会清空为“0”。这种状况下，UART0SR<PERR>将于 UART0SR 再次被读取、且后续 RD0BUF 也被读取后被清空为“0”。

### 13.10.2 数据框错误标识

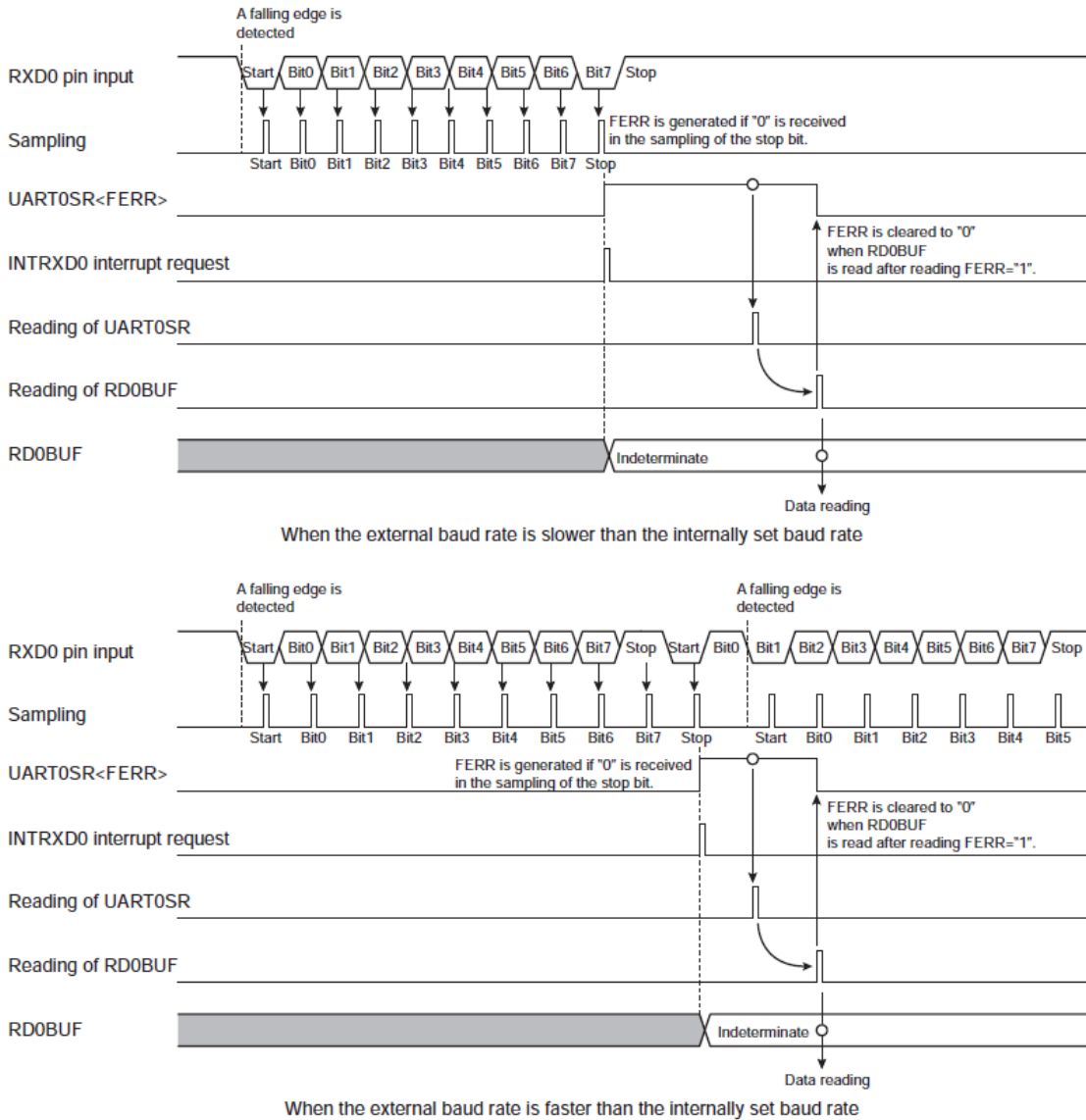


图 13-9 数据框错误的发生

若内部与外部的波特率不同、或由于 RXD0 引脚受噪声影响等因素使接收数据之结束位取样为“0”，数据框错误标识 UART0SR<FERR>将被设定为“1”。此时将发出 INTRXD0 中断要求。

如果 UART0SR<FERR>为“1”，在 UART0SR 被读取后，UART0SR<FERR>将在后续 RD0BUF 被读取后清空为“0”。

如果在 UART0SR 被读取后将 UART0SR<FERR>设定为“1”，则在后续 RD0BUF 被读取后，UART0SR <FERR>将不会清空为“0”。这种状况下，UART0SR<FERR>将于 UART0SR 再次被读取、且后续 RD0BUF 也被读取后被清空为“0”。

### 13.10.3 溢出错误标帜

若在上一笔接收数据由 RD0BUF 读出之前完成所有数据的接收工作，溢出错误标帜 UART0SR <OERR> 将被设定为“1”，并产生 INTRXD0 中断要求。发生溢出错误时所接收的数据将被舍弃，并保存上一笔接收数据。而后，如果在 UART0SR <OERR> 仍为“1”时接收到数据，将不在产生 INTRXD0 中断要求。所接收的数据仍将被舍弃。(图 13- 10)

被舍弃的接收数据将无法侦测到同位错误或数据框错误(因为并未设定错误标帜)。也就是说，在读取 UART0SR 期间如果这两种错误和溢出错误一起被侦测到，则这两种错误是上一笔接收数据(存放于 RD0BUF 的数据)所发生。(图 13- 11)

如果 UART0SR<OERR>为“1”，在 UART0SR 被读取后，UART0SR<OERR>将在后续 RD0BUF 被读取后清空为“0”。(图 13- 12)

如果在 UART0SR 被读取后将 UART0SR<OERR>设定为“1”，则在后续 RD0BUF 被读取后，UART0SR <OERR>将不会清空为“0”。这种状况下，UART0SR<OERR>将于 UART0SR 再次被读取、且后续 RD0BUF 也被读取后被清空为“0”。图 13- 12)

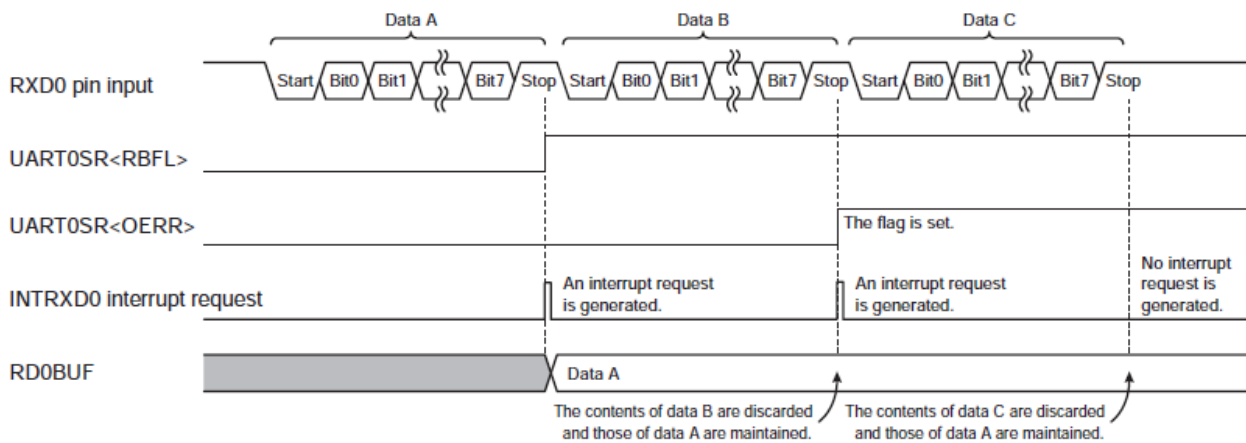
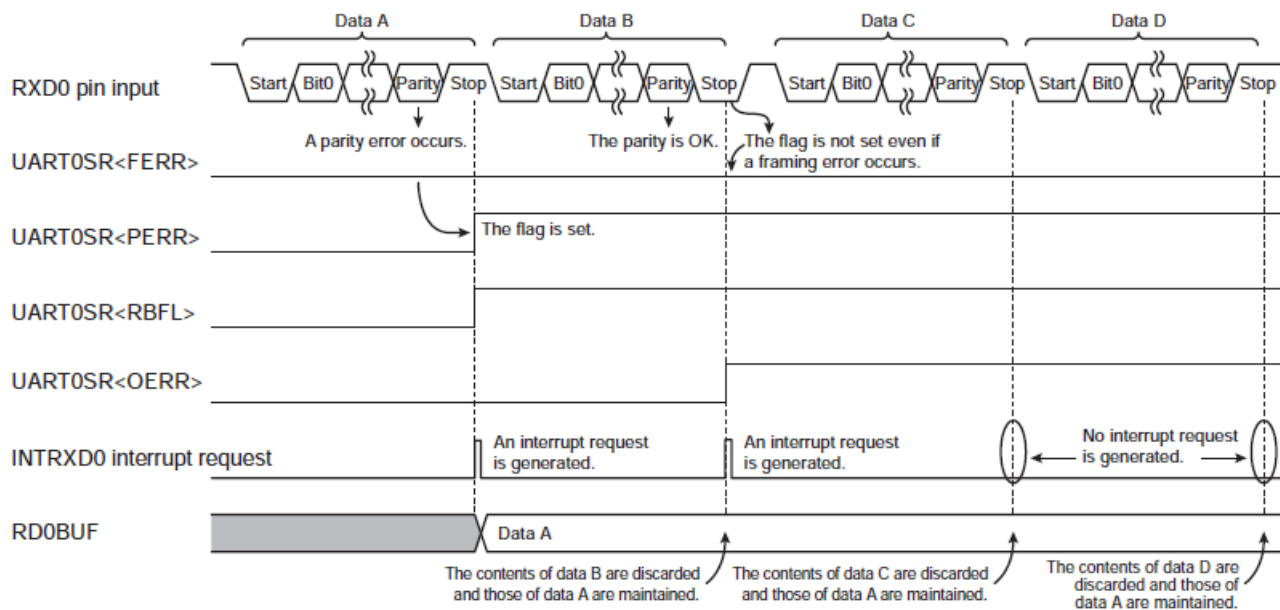
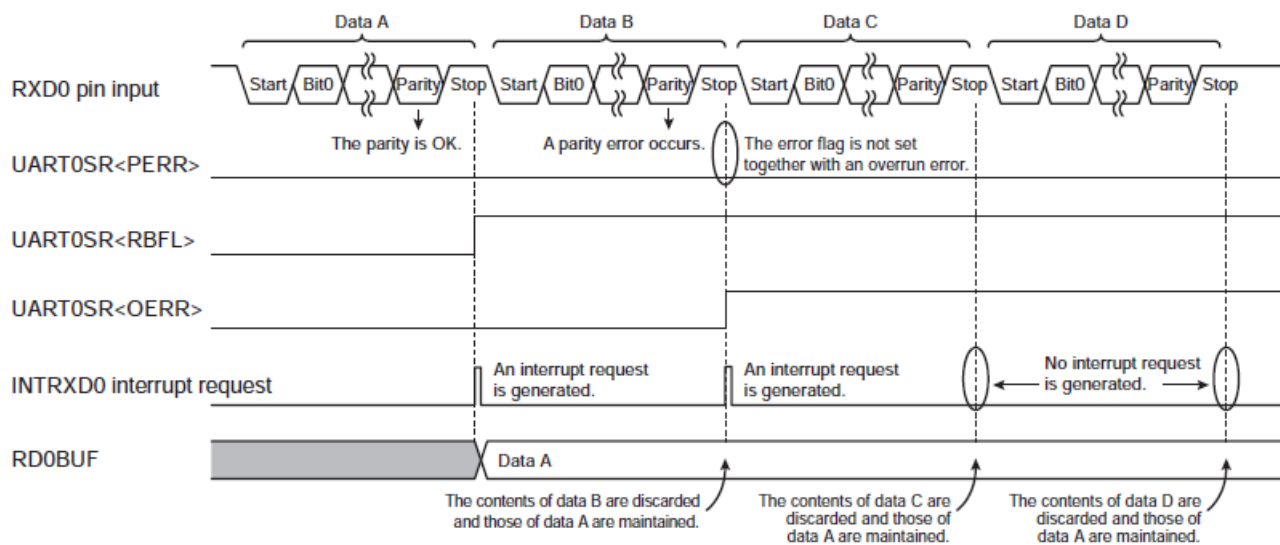


图 13- 10 INTRXD0 中断要求的产生



When a parity error occurs in the first received data and a framing error occurs in the second data



When a parity error occurs in the second received data

图 13-11 发生溢出错误时的数据框/同位错误标识

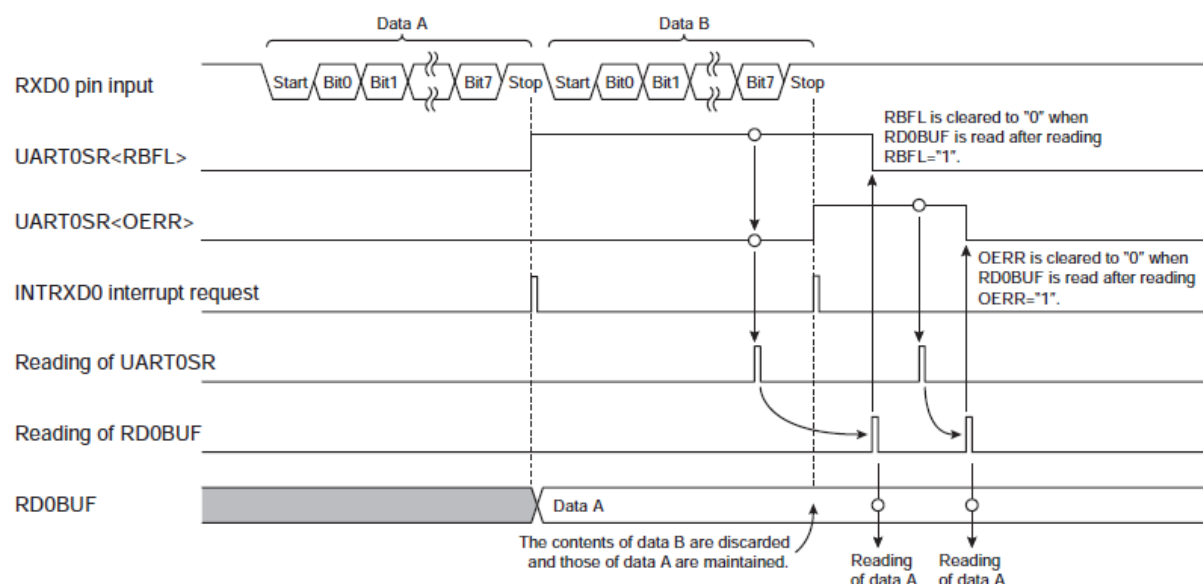
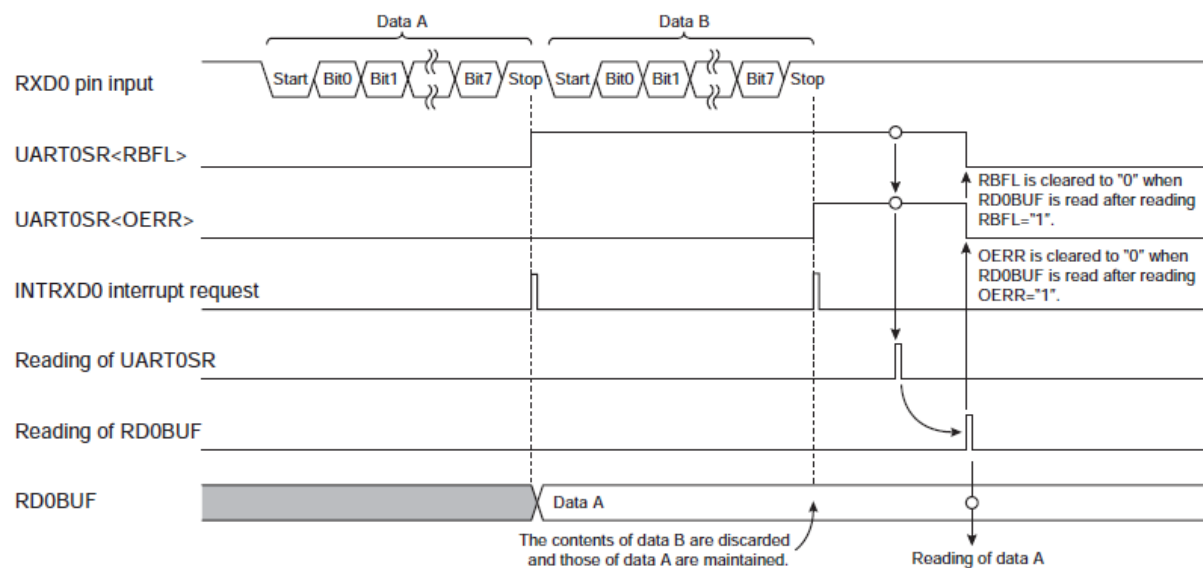


图 13- 12 溢出错误标识的清除

### 13.10.4 接收缓存器已满标帜

将接收数据存入 RDOBUF 将使 UART0SR<RBFL>被设定为“1”。

如果 UART0SR<RBFL>为“1”，在 UART0SR 被读取后，UART0SR<RBFL>将在后续 RDOBUF 被读取后清空为“0”。

如果在 UART0SR 被读取后将 UART0SR<RBFL>设定为“1”，则在后续 RDOBUF 被读取后，UART0SR <RBFL>将不会清空为“0”。这种状况下，UART0SR<OERR>将于 UART0SR 再次被读取、且后续 RDOBUF 也被读取后被清空为“0”。

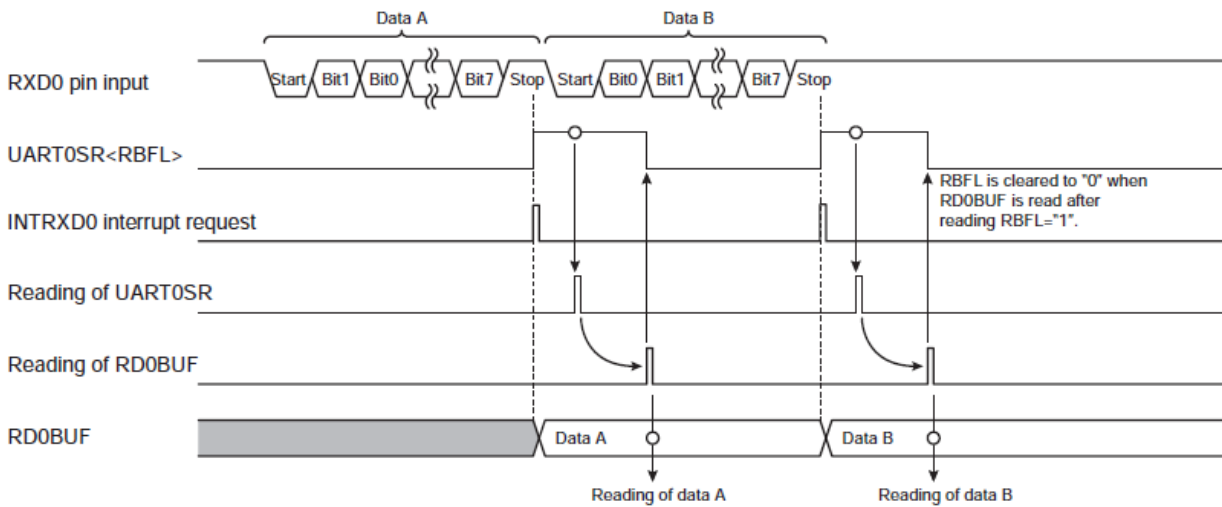


图 13- 13 接收缓存器已满的发生

### 13.10.5 发送忙碌标帜

若发送工作完成且 TD0BUF 无等候中的数据(当 UART0SR <TBFL>为“0”)，UART0SR <TBSY>将被清空为“0”。当发送工作于数据写入 TD0BUF 之后重新开始时，UART0SR <TBSY>将被设定为“1”。此时将产生 INTTXD0 中断要求。

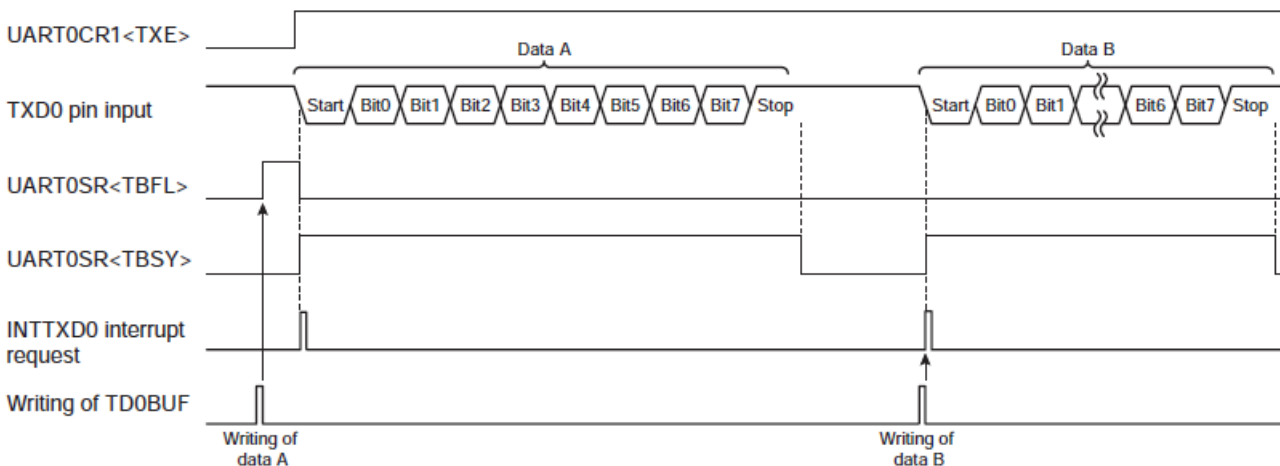


图 13- 14 发送数据缓存器已满的发生与发送忙碌标帜

### 13.10.6 发送缓存器已满标帜

当 TD0BUF 中没有数据、或当 TD0BUF 中的数据已传送到发送移位寄存器且开始发送工作时，UART0SR <TBFL> 将被清空为“0”。时将产生 INTTXD0 中断要求。

将数据写入 TD0BUF 将使 UART0SR <TBFL> 被设定为“1”。

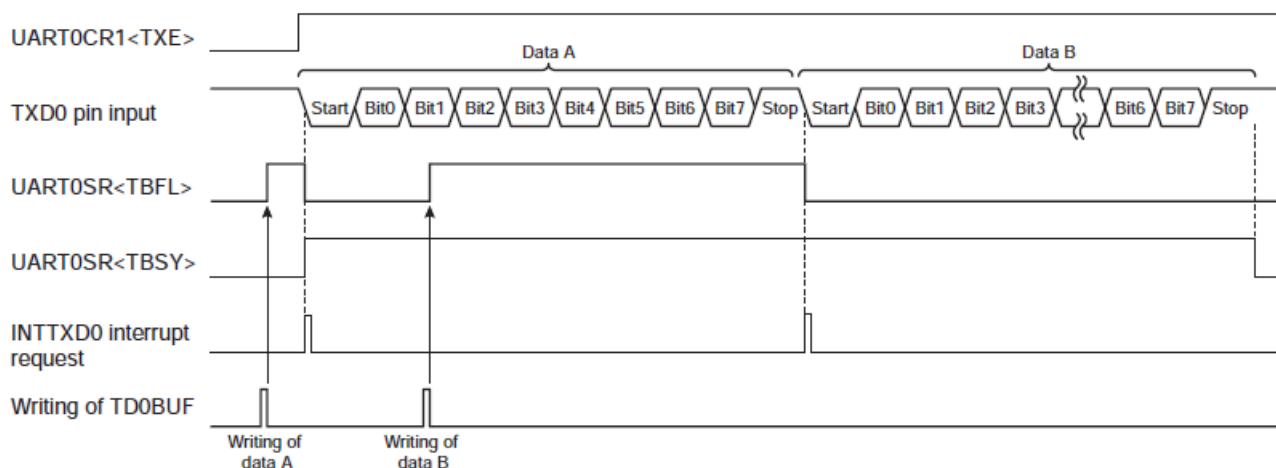


图 13- 15 发送缓存器已满的发生



### 13.11 接收流程

图 13-16 显示 UART0 接收流程的范例。流程中的标识判断细节如表 13-8 与表 13-9 所示。

侦测到数据框错误或同位错误时，表示接收资料数值有错，应进行错误处理工作，比方将 RD0BUF 所读取的接收数据舍弃、并再一次接收数据。

侦测到溢出错误时，表示有 1 笔或多笔数据的接收工作尚未完成。由于未能被接收的资料笔数无法判定，应进行错误处理工作，比方从头开始再次接收数据。基本上，溢出错误通常发生在内部软件处理无法跟上数据收发速度的情况下。建议降低收发波特率、或修改软件以进行数据流量控制。

注：若 INTRXD0 中断要求 使用了数个中断，这些中断应在 UART1SR 与 RD1BUF 完成读取后才被允许。

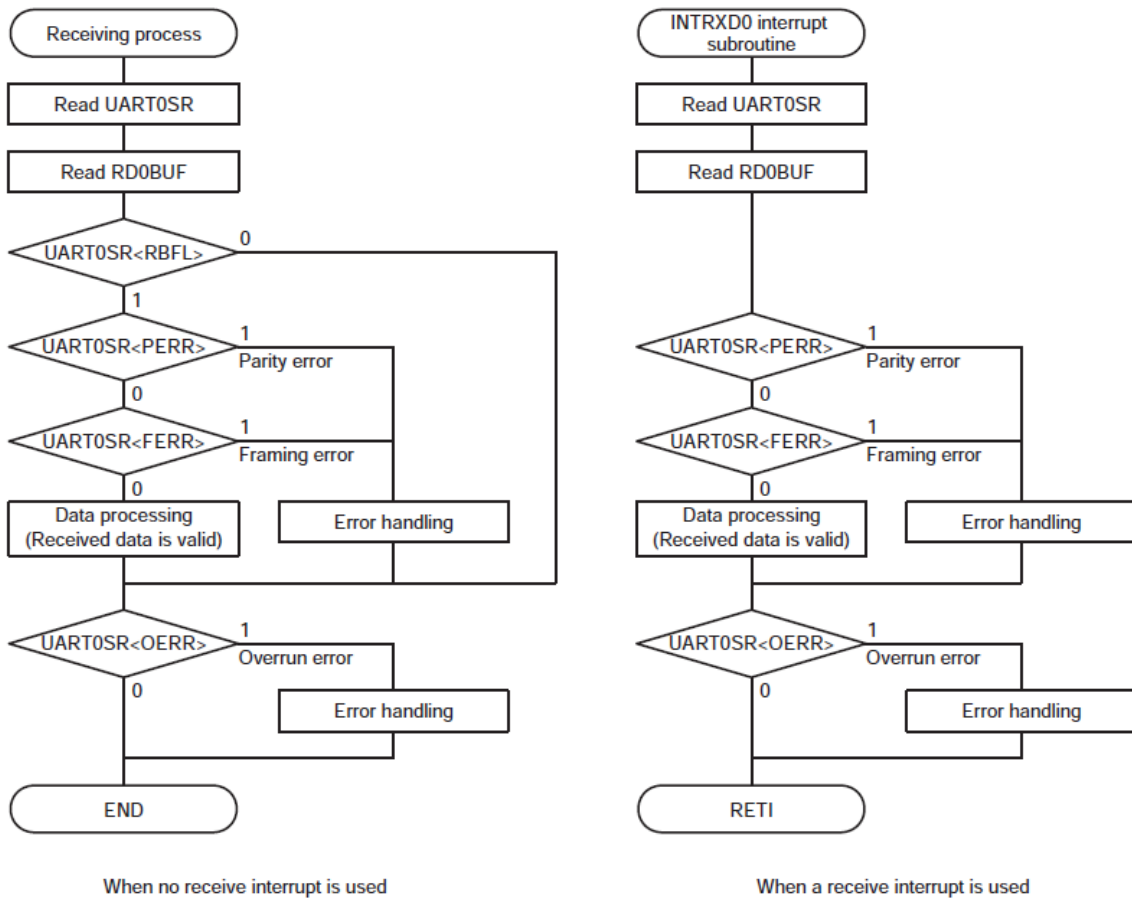


图 13-16 接收流程范例

RBFL	FERR/PERR	OERR	State
0	-	0	Data has not been received yet.
0	-	1	Some pieces of data could not be received during the previous data receiving process (Receiving of next data is completed in the period from when UART0SR is read to when RD0BUF is read in the previous data receiving process.)
1	0	0	Receiving has been completed properly.
1	0	1	Receiving has been completed properly, but some pieces of data could not be received.
1	1	0	Received data has erroneous value(s).
1	1	1	Received data has erroneous value(s) and some pieces of data could not be received.

表 13-8 不使用接收中断时的标识判断

FERR/PERR	OERR	State
0	0	Receiving has been completed properly.
0	1	Receiving has been completed properly, but some pieces of data could not be received.
1	0	Received data has erroneous value(s).
1	1	Received data has erroneous value(s) and some pieces of data could not be received.

表 13-9 使用接收中断时的标识判断

## 14. 串行总线接口(SBI)/I2C

本产品有一组串行总线接口(SBI)。此串行总线接口支持串行通信,并符合I2C总线标准。具备时钟同步与仲裁功能,支持多主控设备模式-多主控设备连结到同一总线,也支持通用数据格式。以下章节内容以I2C0 为例,这些叙述也同样适用于I2C1。

### 14.1 通信格式

#### 14.1.1 I2C 总线

I2C 总线透过 SDA 与 SCL 链接到不同设备上,且能同时与多设备通讯。

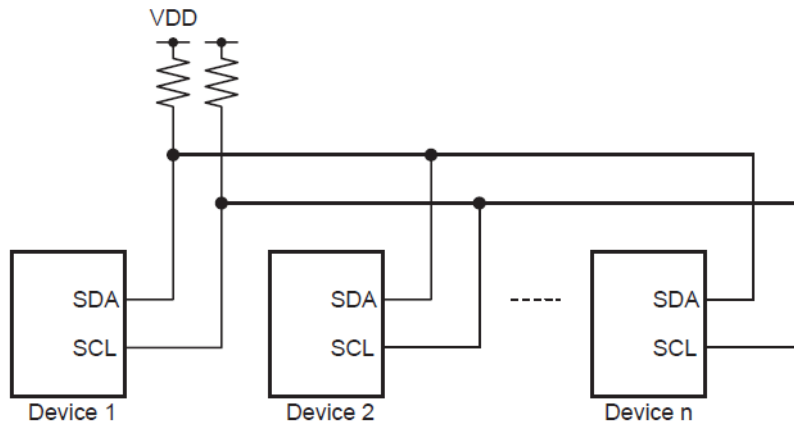


图 14-1 装置连接图

在主导设备与从属设备间进行通信。

主导设备会发送起始条件,从属设备地址,传输方向位与停止条件到总线的从属设备,进行数据传送与接收。

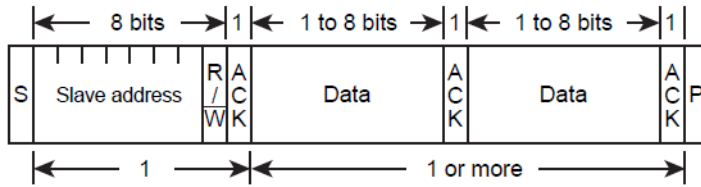
从属设备侦测到从主导设备传来的这些条件,并且传送与接收数据。

I2C 总线数据格式可透过串行总线接口连接,如图 14-2 所示。

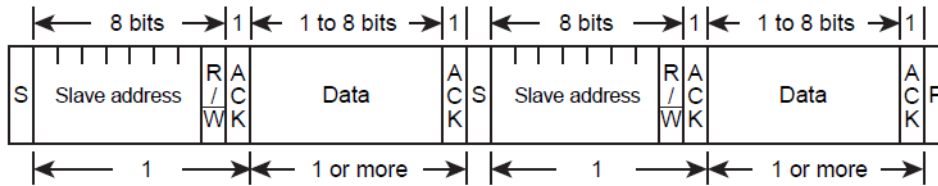
依据 I2C 串行总线标准,串行总线接口不支持以下功能:

1. 起始位
2. 10 位地址
3. SDA 与 SCL 下降前沿斜率控制

(a) Addressing format



(b) Addressing format (with restart)



S : Start condition  
 R/W : Direction bit  
 ACK : Acknowledge bit  
 P : Stop condition

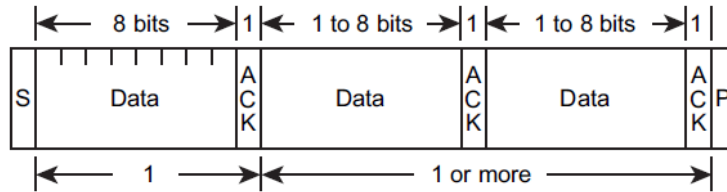
图 14-2 I2C 总线数据格式

### 14.1.2 通用数据格式

主控与从属设备间通讯使用通用数据格式。

在通用数据格式里,从属设备地址与位传输方向位将会视为数据处理。

(a) Free data format



S : Start condition  
 R/W : Direction bit  
 ACK : Acknowledge bit  
 P : Stop condition

图 14-3 通用数据模式

### 14.2 框图

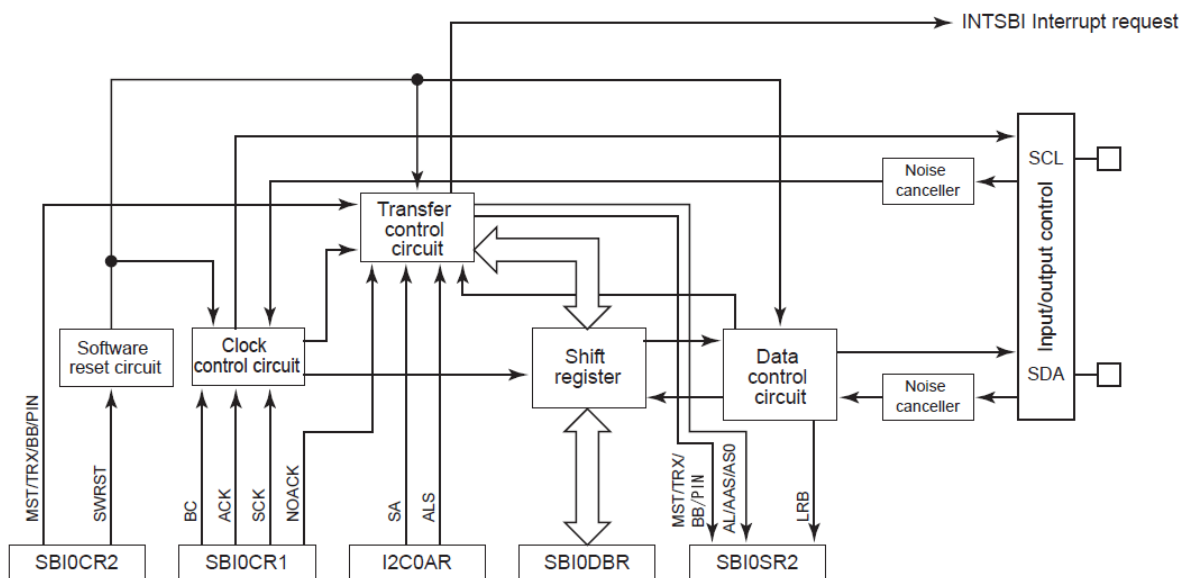


图 14-4 串行总线接口 0 (SBI0)方框图

### 14.3 控制

以下寄存器通常用于控制串行总线接口并监督运作状态

- 串行总线接口控制寄存器 1 (SBIxCR1, x=0,1)
- 串行总线接口控制寄存器 2 (SBIxCR2, x=0,1)
- 串行总线接口状态寄存器(SBIxSR, x=0,1)
- 串行总线接口数据缓存器(SBIxBR, x=0,1)
- I2C 总线地址寄存器(I2CxAR, x=0,1)

此外,串行总线接口有外围电路时钟允许寄存器,当串行总线接口没有被使用时, 可选择不开启时钟, 可节省功耗。以下章节内容以I2C0 为例, 这些叙述也同样适用于I2C1。以下表格为寄存器地址, 并于后续进行各个寄存器的说明。

描述	I2C0	I2C1
外围电路时钟允许寄存器 2	PCKEN2 (0x017A)	
串行总线接口控制寄存器 1	SBI0CR1 (0x00B8)	SBI1CR1 (0x00BD)
串行总线接口控制寄存器 2	SBI0CR2 (0x00B9)	SBI1CR2 (0x00BE)
串行总线接口状态寄存器	SBI0SR (0x00BA)	SBI1SR (0x00BF)
I2C 总线地址寄存器	I2C0AR (0x00BB)	I2C1AR (0x00C0)
串行总线数据缓存器	SBI0DBR (0x00BC)	SBI1DBR (0x00C1)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

外围电路时钟允许寄存器2(PCKEN2)

PCKEN2 (0x017A)	7	6	5	4	3	2	1	0
位符号	reserved	reserved	SIO1	SIO0	reserved	reserved	I2C1	I2C0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

SIO1	SIO1 允许控制	0: 禁止 1: 允许
SIO0	SIO0 允许控制	0: 禁止 1: 允许
I2C1	I2C1 允许控制	0: 禁止 1: 允许
I2C0	I2C0 允许控制	0: 禁止 1: 允许

注 1 : 当 I2C0EN 清除为“0”,提供串行总线接口的时钟将停止.同时,写入串行总线接口控制寄存器的数据将无效.当串行总线接口被使用时,将 I2C0EN 设为“1”,然后将数据写入串行总线接口控制寄存器。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

串行总线接口0控制寄存器1(SBIOCR1)

SBIOCR1 (0x00B8)	7	6	5	4	3	2	1	0
位符号	BC[2:0]			ACK	NOACK	SCK[2:0]		
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

BC[2:0]	数据的位数量	BC	ACK=0		ACK=1	
			传送数据的时钟数	数据的位数量	传送数据的时钟数	数据的位数量
		000	8	8	9	8
		001	1	1	2	1
		010	2	2	3	2
		011	3	3	4	3
		100	4	4	5	4
		101	5	5	6	5
ACK	产生与计算应答信号的时钟数	ACK	主控模式		从属模式	
		0:	不产生应答信号的时钟数, 当数据传输完成时产生一个中断。 (无应答模式)		当数据传输完成时产生一个中断。 (无应答模式)	
		1:	产生一个应答信号使用的时钟数, 当数据传输完成时产生一个中断。 (应答模式)		加计一个应答信号用的时钟数, 当数据传输完成时产生一个中断。 (应答模式)	
NOACK	设定/中断从属地址比对与“广播呼叫”之侦测	NOACK	主控模式		从属模式	
		0:	无效		启动从属地址比对与“广播呼叫”之侦测	
		1:	无效		中断从属地址比对与“广播呼叫”之侦测	
SCK[2:0]	主控模式的频率宽度 从属模式的频率脚位(SCL pin) 解放时间	SCK	$t_{HIGH}(m/fsysclk)$	$t_{LOW}(n/fsysclk)$	$f_{scl}@f_{sysclk}=24MHz$	
			m	n		
		000	9	12	1143KHz	
		001	11	14	960KHz	
		010	15	18	727KHz	
		011	23	26	490KHz	
		100	39	42	296KHz	
		101	71	74	166KHz	
110	135	138	88KHz			
111	263	266	45KHz			



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

注 1 :  $f_{sysclk}$  = 系统时钟[Hz],  $f_{clk}$  = 低速时钟 [Hz]。

注 2 : 当开始条件产生时,或停止条件产生,或数据传输进行时,不要变更寄存器的内容。在开始条件产生前,或者在为了停止数据传送而产生的中断程序处理完之前,将数据写入寄存器。

注 3 : 当软件复位后,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, I2COAR, SBIOSR 寄存器将回到初始值。

注 4 : 当运作切换为深眠,睡眠或一般模式(低速时钟)时,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, I2COAR, SBIODBR 寄存器将回到初始值。

注 5 : 当  $f_{sysclk}$  为 4MHz, SCK 不应被设为“000”, “001” 或“010”,因为这都无法满足总线标准的快速模式。

**串行总线接口0控制寄存器2 (SBIOCR2)**

SBIOCR2 (0x00B9)	7	6	5	4	3	2	1	0
位符号	MST	TRX	BB	PIN	SBIM	-	SWRST[1:0]	
读/写	W	W	W	W	W	R	W	W
复位后	0	0	0	1	0	0	0	0

MST	选择主控/从属	0:从属 1:主控
TRX	选择传输/接收	0:接收 1:传输
BB	产生开始/停止条件	0:产生停止条件(当 MST、TRX 与 PIN 为“1”) 1:产生开始条件(当 MST、TRX 与 PIN 为“1”)
PIN	取消中断服务需求	0:- (无法由软件清除此位) 1: 取消中断服务需求
SBIM	串行总线接口模式寄存器	0: 端口模式 1:串行总线接口模式
SWRST[1:0]	软件复位起始位	先写入“10”,再写入“01”,以启动软件复位

注 1 : 当 SBIOCR2<SBIM>为“0”时,除了 SBIOCR2<SBIM>以外,其它数据写入 SBIOCR2 是无效的。将数值写入 SBIOCR2 前,在 SBIOCR2<SBIM>写入“1”以启动串行总线模式。

注 2 : 当开始条件产生,或停止条件产生,或数据传输进行时,不要变更 SBIOCR2<SWRST>之外的其它 bit 内容。在开始条件产生前或为了停止数据传送而产生的中断程序处理完之前,将数据写入寄存器。

注 3 : 在切换端口模式到串行总线接口之前,确定端口是在高电位状态。在切换串行总线接口模式到端口模式之前,确定总线是睡眠的。

注 4 : SBIOCR2 是只能写入的寄存器,且不能透通过“读-修改-写”指令,像是做位元运算一样进行存取。

注 5 : 当软件复位后,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, I2COAR, SBIOSR2 寄存器将回到初始值。

注 6 : 当运作切换为深眠,睡眠 0 或一般模式(低速时钟)时,SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit,与 SBIOCR1, I2COAR, SBIODBR 寄存器将回到初始值。

注 7 : SBIOCR2 [2] 复位值必须为 0

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

串行总线接口0状态寄存器 (SBIOSR)

SBIOSR (0x00BA)	7	6	5	4	3	2	1	0
位符号	MST	TRX	BB	PIN	AL	AAS	AD0	LRB
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	1	0	0	0	*

MST	主控/从属状态检测	0:从属 1:主控
TRX	传输/接收状态检测	0:接收 1:传输
BB	总线状态检测	0:总线为自由状态 1:总线为忙碌状态
PIN	中断服务需求检测	0:需求中断 1:释放中断需求
AL	仲裁失败检测	0: - 1:仲裁失败检测
AAS	从属地址配对检测	0: - 1:从属地址配对或“广播呼叫”检测
AD0	“广播呼叫”检测	0: - 1:“广播呼叫”检测
LRB	最后接收位检测/监控	0:最后接收位为“0” 1:最后接收位为“1”

注 1 : 当 SBIOCR2<SBIM>为“0”时, SBIOSR 将被初始化。

注 2 : 启动软件复位后, SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit, 与 SBIOCR1, I2COAR, SBIOSR2 寄存器将被初始化。

当软件复位后, SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit, 与 SBIOCR1 以及 I2COAR, SBIOSR2 寄存器将回到初始值。

注 3 : 当工作模式切换为深眠, 睡眠或一般模式(低速时钟)时, SBIOCR2 寄存器除了 SBIOCR2<SBIM>以外的 bit, 与 SBIOCR1, I2COAR, SBIODBR 寄存器将被初始化。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**I<sup>2</sup>C 总线0地址寄存器(I2COAR)**

<b>I2COAR (0x00BB)</b>	<b>7</b>	<b>6</b>	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	<b>1</b>	<b>0</b>
位符号	SA[6:0]							ALS
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

SA[6:0]	从属地址设定	从属模式下的从属位址
ALS	通信格式选择	0: I2C 总线模式 1:通用数据格式

注 1 : I2COAR<SA>不要设为“0x00”。如果将 I2COAR<SA>设为“0x00”，当 I2C 总线标准起始位(“0x01”)在从属模式被接收时，从属设备地址将被视为符合。

注 2 : 当开始条件产生时或停止条件产生或数据传送进行中，请勿变更寄存器内容。在开始条件产生时或在停止数据传递的中断需求产生到生效的期间，将数据写入寄存器。

注 3 : 软件复位后，SBIOCR2 寄存器除了 SBIOCR2<SBIM>以外的 bit，与 SBIOCR1, I2COAR 和 SBIOSR2 将回到初始值。

注 4 : 当工作模式转换为深眠、睡眠或一般模式(低速时钟)时，SBIOCR2 寄存器除了 SBIOCR2<SBIM>之外的 bit，与 SBIOCR1, I2COAR, SBIODBR 寄存器将回到初始值。

**串行总线0数据缓存器(SBIODBR)**

<b>SBIODBR (0x00BC)</b>	<b>7</b>	<b>6</b>	<b>5</b>	<b>4</b>	<b>3</b>	<b>2</b>	<b>1</b>	<b>0</b>
位符号	SBIODBR[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 写入传输数据将以最高有效位(bit 7)开始。

注 2 SBIODBR 有独立写入与读写缓存器，且写入的数据不能被读出。因此 SBIODBR 不能透过“读-修改-写”指令，像是位元运算，进行存取。

注 3 : 当开始条件产生，或停止条件产生，或数据传输进行时，不要变更寄存器内容。在开始条件产生前或是停止数据传输的中断请求产生到生效的期间，将数据写入寄存器。

注 4 : 将空数据“0x00”写入 SBIODBR，以设定 SBIOCR2<PIN>为“1”。则写入 0x00 以外的数据，都将造成后续所接收的数据是不正确的。

注 5 : 当工作模式切换为深眠、睡眠或一般模式(低速时钟)时，SBIOCR2 除了 SBIOCR2<SBIM>以外的寄存器内容，与 SBIOCR1, I2COAR, SBIODBR 寄存器将被初始化。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 14.4 功能

### 14.4.1 低功耗功能

串行总线接口具外围电路时钟允许寄存器 2(PCKEN2), 当串行总线接口未使用时,可节省功耗。

将 PCKEN2<I2C0EN>设为“0”, 提供串行总线接口的基本时钟会暂停以减少功耗,但这同时也会使得串行总线接口无法使用. 将 PCKEN2< I2C0EN >设为“1”, 会启动串行总线接口的基本时钟,并可使用外部中断。

在复位之后, PCKEN2< I2C0EN >将被初始为“0”,且会导致串行总线接口无法使用.当第一次使用串行总线接口时,请务必在程序初始设定时(串行总线接口控制寄存器运作前)将 PCKEN2< I2C0EN >设为“1”。

当串行总线接口运作时,不要将 PCKEN2< I2C0EN >变更为“0”, 否则串行总线接口将会不可预测。

### 14.4.2 选取从属地址配对检测与广播呼叫检测

在从属模式,SBI0CR1<NOACK>可启动或不启动从属地址检测与广播呼叫配对检测。

将 SBI0CR1<NOACK>清除为“0”, 可启动从属地址配对检测与广播呼叫检测。

将 SBI0CR1<NOACK>设为“1”.将使后续从属地址配对检测与广播呼叫配对检测无效.由主控设备传送的从属地址与广播呼叫将被忽略.且没有应答回传,也不会产生中断需求。

在主动模式, SBI0CR1<NOACK>将被忽略且对工作没有影响。

*注: 在从属模式下进行数据传输时, 若将 SBI0CR1<NOACK>清除为“0”,则 SBI0CR1<NOACK>仍会维持为“1”并且回传一数据传输的应答信息。*

### 14.4.3 选取数据传输的时钟数与选取应答或单一应答模式

1 字节数据传输包含数据与一应答信号.当数据传输完成后,将会产生一中断需求。

SBI0CR1<BC>用来选取数据的位数,以进行后续传送与接收. 此应答模式是透过设定 SBI0CR1<ACK>为“1”开始进行。

主动装置将产生时钟给应答信号,并在接收模式下产出一应答信号.从属装置会计算时钟脉冲给应答信号,并在接收模式下产出应答信号。

SBI0CR1<ACK>设定为“0”,将启动无应答模式。

主控装置不会产生时钟脉冲给应答信号.从属装置也不会计算时钟脉冲给应答信号。

#### 14.4.3.1 数据传输的时钟脉冲数

数据传输的时钟脉冲数由 SBI0CR1<BC>与 SBI0CR1<ACK>进行设定。

SBI0CR1<ACK>设为“1”,开始启动应答模式。

在应答模式里,主控装置对应答信号,将产生对应于数据位数的时钟脉冲,且产生一中断需求。

从属设备计算对应数据位数的时钟脉冲,并对应答信号计算时钟脉冲,并且产生一中断需求。

SBI0CR1<ACK>设为“0”,将启动无应答模式。

在无应答模式,主控装置对应数据位数所产生时钟脉冲,并产生一中断需求。

从属装置对应数据位计算时钟脉冲,且产生一中断需求。

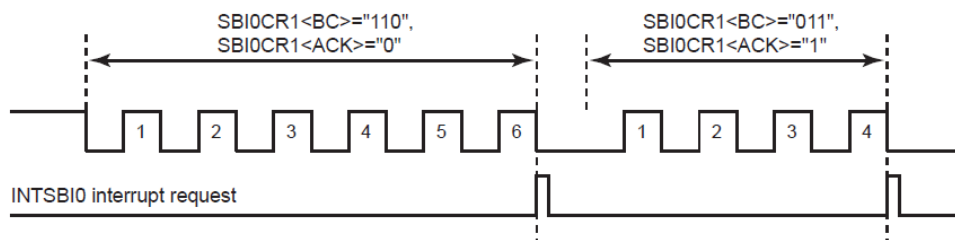


图 14-5 数据传输时的时钟脉冲与 SBIxCR1<BC>, SBIxCR1<ACK>(图以 SBI0 作为范例)

数据传输的时钟脉冲与 SBI0CR1<BC>与 SBI0CR1<ACK>的关系如下表所列

BC	ACK=0 (Non-acknowledgment mode)		ACK=1 (Acknowledgment mode)	
	Number of clocks for data transfer	Number of data bits	Number of clocks for data transfer	Number of data bits
000	8	8	9	8
001	1	1	2	1
010	2	2	3	2
011	3	3	4	3
100	4	4	5	4
101	5	5	6	5
110	6	6	7	6
111	7	7	8	7

表 14-1 数据传输的时钟脉冲与 SBIXCR1<BC>, SBIXCR1<ACK>间的关系

开始条件后，BC 被清除为“000”。

因此，从属地址与位方向将以 8 位单位传送。在其他状况下，BC 将维持设定值。

注：SBIXCR1<ACK>设定，必须在传送数据或是接收到从属地址之前。若 SBIXCR1<ACK>被清除，从属地址配对检测与传输方向位将不会正常运作。

#### 14.4.3.2 产出应答信号

在应答模式，在应答信号的时钟脉冲期间，SDA0 脚位会进行以下变更。

##### (a) 主动模式

传输模式，在应答信号的时钟脉冲期间，将释放 SDA0 脚位以接收从接收器发出的应答信号。在接收模式下，SDA0 脚位将被拉低，且应答信号在应答信号时钟脉冲期间产生一应答信号。

##### (b) 从动模式

当所接收的从属地址与设定于 I2COAR<SA>从属地址检测符合，或者接收到广播呼叫，SDA0 脚位被拉低，且在应答信号的时钟脉冲期间产生一应答信号。

在从属地址配对检测后，进行数据传输期间，或在传输模式下接收到广播呼叫，将释放 SDA0 脚位元以在应答信号的时钟脉冲期间从接收器接收一应答信号。

接收模式下，SDA0 脚位将被拉低并产生一应答信号。表 14-2 为应答模式下 SCL0 与 SDA0 的状态 (以 SCL0 与 SDA0 为范例)。

注：在无应答模式下，并未产生或计算信号的时钟脉冲，因此没有应答信号产出。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

Mode	Pin	Condition	Transmitter	Receiver
Master	SCL0	-	Add the clocks for an acknowledge signal.	Add the clocks for an acknowledge signal
	SDA0	-	Release the pin to receive an acknowledge signal	Output the low level as an acknowledge signal to the pin
Slave	SCL0	-	Count the clocks for an acknowledge signal	Count the clocks for an acknowledge signal
	SDA0	When the slave address match is detected or a "GENERAL CALL" is received	-	Output the low level as an acknowledge signal to the pin
		During transfer after the slave address match is detected or a "GENERAL CALL" is received	Release the pin to receive an acknowledge signal	Output the low level as an acknowledge signal to the pin

表 14-2 应答模式下 SCLx 与 SDAX 的状态(以 SCL0 与 SDA0 为范例)

### 14.4.4 串行时钟

#### 14.4.4.1 时钟源

SBI0CR1<SCK>用来设定高或低串行时钟周期，并在主动模式下输出。

SCK	$t_{HIGH}(m/fsysclk)$	$t_{LOW}(n/fsysclk)$
	m	n
000	9	12
001	11	14
010	15	18
011	23	26
100	39	42
101	71	74
110	135	138
111	263	266

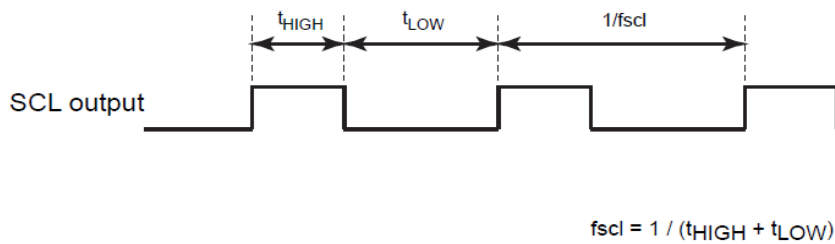


图 14-6 SCL 输出

注：有一些例子,当高周期与从 SBI0CR1<SCK>选取的  $t_{HIGH}$  不同时,当 SCL 上升前缘因总线的负载能力而趋缓时。

在主动模式下,开始条件产生时的持留时间为  $t_{HIGH}$  [s],当停止条件产生时的设定时间为  $t_{HIGH}$  [s]。

在从动模式中,SBI0CR2<PIN>设为“1”,当 SCL 脚位释放前,消失的时间为  $t_{LOW}$  [s]。

在主动与从动模式下,不管 SBI0CR1<SCK>设定,最高周期必须为  $3/fsysclk[s]$  以上,且低周期必须为  $5/fsysclk[s]$  或比外部时钟长。

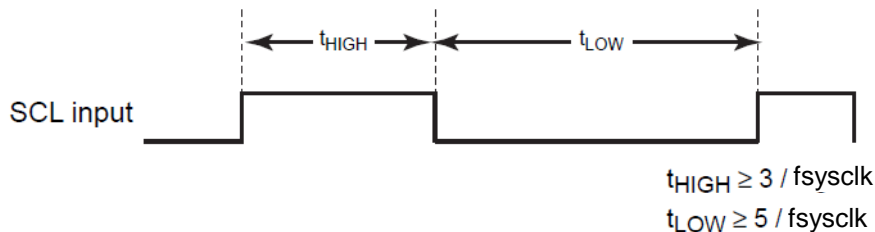


图 14-7 SCL 输入



### 14.4.4.2 时钟同步

具有 I2C 功能的脚位元，由于 IO 口结构的关系，为了驱动总线，进行线与，一个将要 clock 脉冲下拉到低电平的主机设备，将会使其余正在输出高电平的主机设备无效。所以，主机输出高电平时必须先进行检测以保持一致。

串行总线接口线路具时钟同步功能。此功能确保即使同时有 2 个以上的主控在同个总线，也能进行正常传输。

以下例子，解释当总线同时存在两个主控时的同步时钟程序。

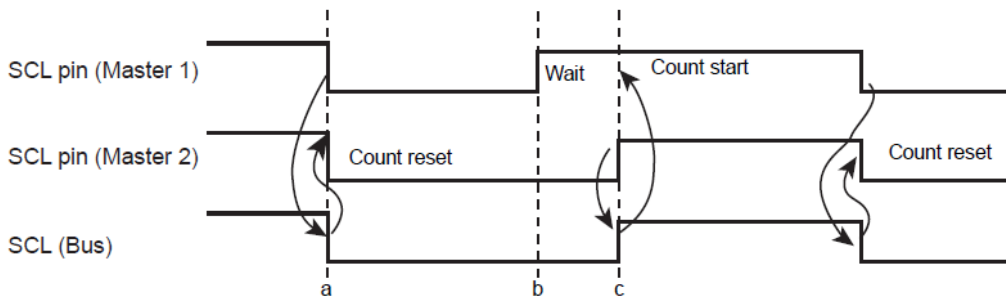


图 14-8 同步时钟范例

主控 1 在 a 点将 SCL 下拉到低电位，SCL 线将成为低电位。在检测到此状况后，主控 2 将重新计算高电位的时钟脉冲并设定 SCL 到低电位。

主控 1 在 b 点完成时钟脉冲计算，并设定 SCL 为高电位。因为主控 2 将保持 SCL 线在低电位，主控 1 将等到数完高电位时钟脉冲。当主控 2 在 c 点设定时钟脉冲为高电位，并侦测 SCL 线在高电位，主控 1 将开始计算高电位时钟脉冲。然后，处于完成计算高电位时钟脉冲的主控，将下拉 SCL 线到低电位。

总线的时钟脉冲决定于与总线链接的主控装置中，具最短高电位周期与最长低电位周期的主控装置。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 14.4.5 选取主控/从属

要设定主控装置, SBI0CR2<MST>须设为“1”。

要设定从属装置, SBI0CR2<MST>须清除为“0”。当总线停止条件或者被检测到仲裁丢失, SBI0CR2<MST>将被硬件清除为“0”。

### 14.4.6 选取传输/接收

要将装置设定为传送端, SBI0CR2<TRX>应被设为“1”。若要将装置设为接收者,则将 SBI0CR2<TRX>清除为“0”。

I2C 总线在从属模式进行数据传输, 如果主控装置的方向位(读/写)为“1”,则透过硬件将 SBI0CR2<TRX>设为“1”; 若方向位为“0”时,则清除为“0”。

在主机模式,收到一从从属装置上回传的应答信号后, 如果传输方向位为“1”,SBI0CR2<TRX>将透过硬件清除为“0”,若传输方向位为“0”的话,则透过硬件将,SBI0CR2<TRX>设定为“1”。当应答信号没有回传时,则维持现行的状态。

当总线为停止条件或检测到仲裁丢失时, SBI0CR2<TRX>透过硬件将清除为“0”。表格 14.3 表示 SBI0CR2<TRX>在不同模式下的变更条件,与变更后的 SBI0CR2<TRX>值。

注: 当 SBI0CR1<NOACK>为 1,从属地址符合检测,且广播呼叫检测无效,则 SBI0CR2<TRX>将维持不变。

Mode	Direction bit	Changing condition	TRX after changing
Slave mode	"0"	A received slave address is the same as the value set to I2CxAR<SA>	"0"
	"1"		"1"
Master mode	"0"	ACK signal is returned	"1"
	"1"		"0"

表 14-3 不同模式下 SBIxCR1<TRX>的运用

当串行总线接口线路在自由数据格式运作, 一从属地址与方向位将不被辨识.在产生开始条件后,将视为数据传送. SBI0CR2<TRX>不会被硬件改变。

### 14.4.7 生成开始/停止条件

当 SBIOSR2<BB>为“0”，一从属地址与 SBIODBR 所设的方向位将在开始条件产生后输出；当 SBIOCR2 <MST>, SBIOCR2<TRX>, SBIOCR2<BB>与 SBIOCR2<PIN>写入“1,将产生开始条件.”必须在开始条件产生前,将 SBIOCR1<ACK>设为“1”。

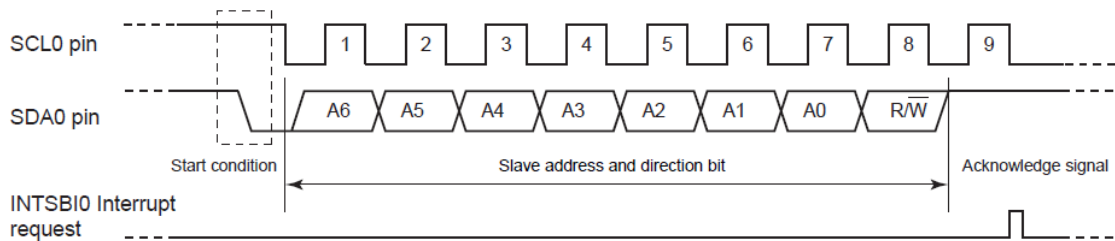


图 14-9 产生开始条件与从属地址(以 SBI0 为例)

当 SBIOCR2<BB>为“1”，将 SBIOCR2<MST>, SBIOCR2<TRX>与 SBIOCR2<PIN>写入“1”,且 SBIOCR2<BB>写入“0”,后续将产生总线停止条件。

当停止条件生成时, SCL 线将被其他装置下拉到低电位,在 SCL 线释放后,生成停止条件。

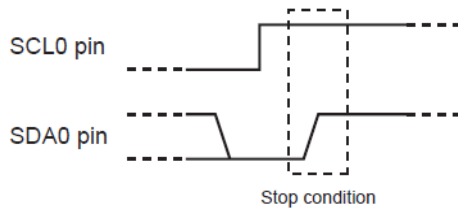


图 14-10 停止条件产生(以 SBI0 为例)

总线状态可透过读取 SBIOSR2<BB>内容而显示.当总线开始条件被检测(总线为忙碌状态), SBIOSR2<BB>为“1”;当停止条件被检测(总线为自由状态),则将 SBIOSR2<BB>清除为“0”。

### 14.4.8 中断服务需求发布与释放

当串行总线接口线路在主控模式,并传输 SBI0CR1<BC>与 SBI0CR1<ACK>完成的时钟组,将成生串行总线接口中断需求(INTSBI0)。

在从属模式, 当上述与下列条件被满足时,将成生串行总线接口中断需求(INTSBI0)。

- 在应答信号的结尾,当接收到的从属地址符合 I2C0AR<SA>设定值,且 SBI0CR1<NOACK>设为“0”。
- 在应答信号的结尾,当广播呼叫被接收且 SBI0CR1<NOACK>设为“0”。
- 在传送或接收结尾,在配对从属地址之后或接收到广播呼叫。

当串行总线接口中断需求发生时, SBI0CR2<PIN>清除为“0”。在 SBI0CR2<PIN>为“0”的期间, SCL0 将被下拉为低电位。

将数据写入到 SBI0DBR,以设定 SBI0CR2<PIN>为“1”。从 SBI0CR2<PIN>设为“1”,到 SBI0 被释放的时间为  $t_{LOW}$ 。

虽然 SBI0CR2<PIN>可透过软件设定为“1”,但 SBI0CR2<PIN>无法由软件清除为“0”。

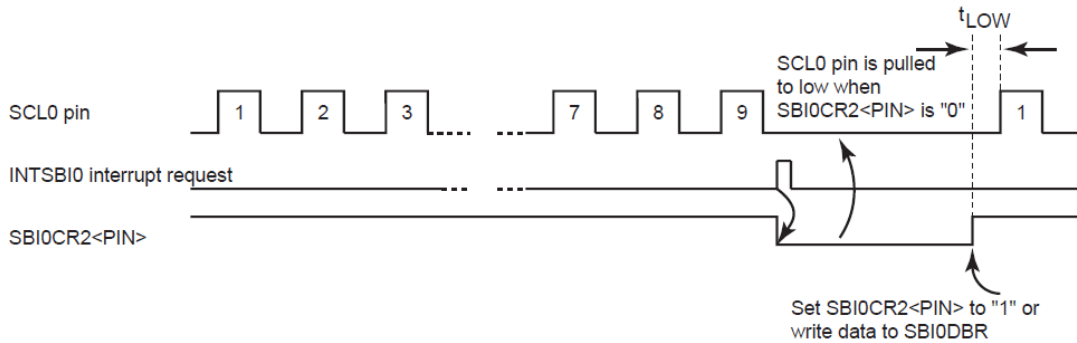


图 14- 11 SBIxCR2<PIN>与 SCLx 脚位(以 SBI0 为范例)

### 14.4.9 设定串行总线接口模式

SBI0CR2<SBIM>一般为设定串行总线接口模式。

将 SBI0CR2<SBIM>设为“1”,以选择串行总线接口模式; 若设定为“0”则选择端口模式。

将 SBI0CR2<SBIM>设为“1”,以设定串行总线接口模式.在设定串行总线接口模式前,先确认串行总线接口脚位元元在高电位,且写入“1”到 SBI0CR2<SBIM>。

确认总线是自由状态后切换为端口模式,且设定 SBI0CR2<SBIM>为“0”。

注 :当 SBI0CR2<SBIM>为“0”,除了 SBI0CR2<SBIM>之外,不能在 SBI0CR2 写入资料.在设定 SBI0CR2 之前,将“1”写入 SBI0CR2<SBIM>以启动串行总线接口模式。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 14.4.10 软件复位

串行总线接口线路具有软件复位功能,可初始化串行总线接口线路.若串行总线接口线路被锁住,举例而言,若有噪声时,则可透过此功能初始化。

在 SBIOCR2<SWRST>写入"10"然后写入"01",将进行软件复位。

在软件复位后,串行总线接口线路被初始化,且除了 SBIOCR2<SBIM>以外的 SBIOCR2 寄存器内容,与 SBIOCR1,I2C0AR<SA>,及 SBIOSR2 都被初始化。

### 14.4.11 仲裁丢失检测功能

当总线同时存在多主控装置时,为了确保传输的数据内容,会执行总线仲裁程序。

SDA 线的数据将用于 I2C 总线仲裁。

以下为一总线仲裁程序的范例.当两个主控装置同时存在时于总在线时,当主控 1 输出"1"且主控 2 输出"0",SDA 线是线与,且 SDA 线被主控 2 下拉到低电位.当总线的 SCL 线在 b 点被上拉,从属装置将从 SDA 线读到数据,此为主控 2 的数据,主控 1 所传输的数据将为无效的.此时主控 1 的状态称为"仲裁丢失".当一主控装置在仲裁丢失后将释放 SDA 脚位与 SCL 脚位,以不影响其他主控的数据传输.当有超过一个主控输出相同数据在第一个字时,仲裁将接续在第二个字进行。

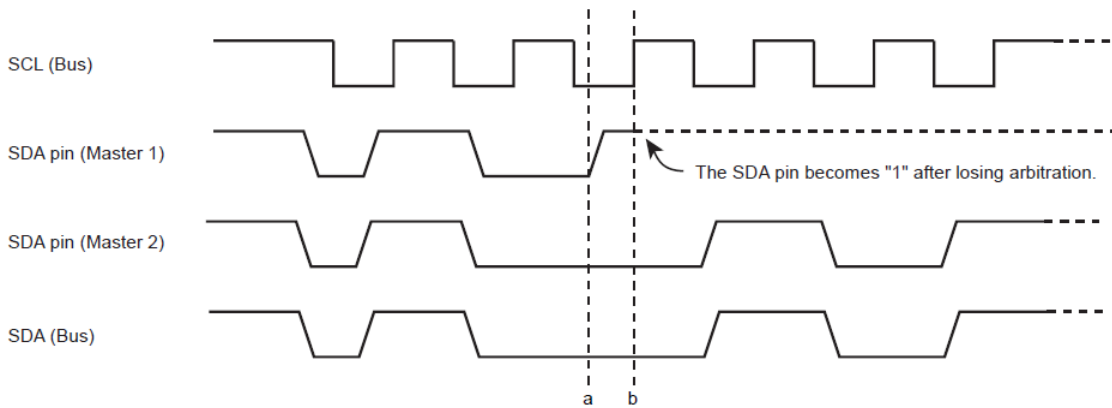


图 14- 12 仲裁丢失

当 SDA 在 SCL 上升前沿时,对串行总线接口线路与 SDA 总线的程度比较.若电平是不匹配的则仲裁丢失且 SBIOSR2<AL>设为"1"。

当 SBIOSR2<AL>设为"1", SBIOCR2<MST>与 SBIOCR2<TRX>清除为"0" 且模式变更为从属接收模式.因此,在 SBIOSR2<AL>设定为"1"之后,串行总线接口线路在数据传输时将停止时钟脉冲输出,. 在数据传输完成后, SBIOCR2<PIN>将清除为"0",且 SCL 将下拉到低电平。

当数据写入 SBIODBR,或是从 SBIODBR 读取数据,或是写入数据到 SBIOCR2, 则 SBIOSR2<AL>会被清除为"0"。

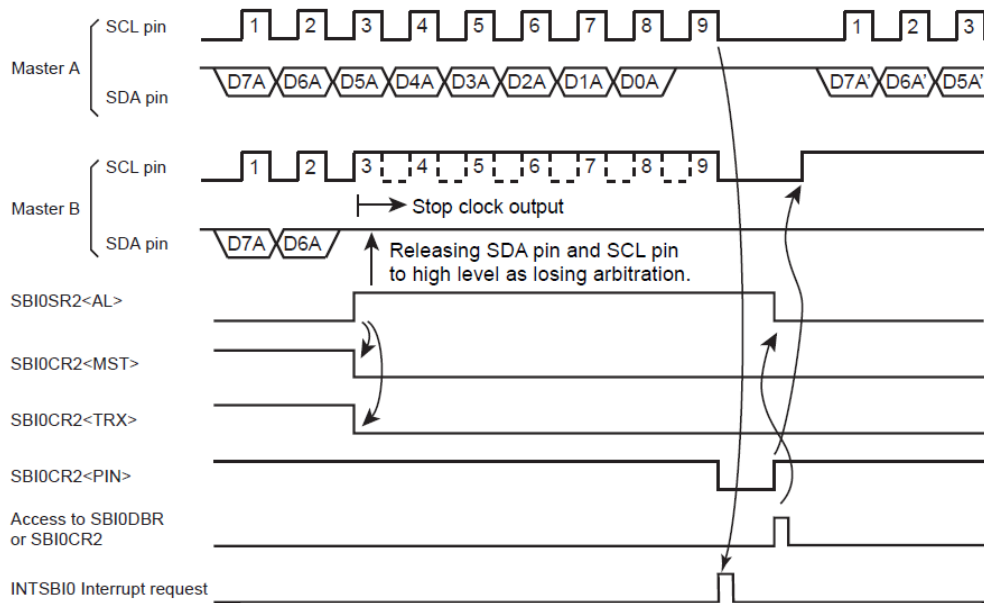


图 14- 13 主控 B 为串行总线接口线路(以 SBI0 为范例)

### 14.4.12 从属地址配对检测

在从属模式里,当接收数据为广播呼叫,或者接收的数据符合 I2COAR<SA>所设定的从属地址且 SBI0CR1<NOACK>设为“0”,同时 I2C 总线模式启动时(I2COAR<ALS>=“0”)时, SBI0SR2<AAS>为“1”。

设定 SBI0CR1<NOACK>为“1”,将使得后续从属地址配对与广播呼叫检测无效.即使收到广播呼叫或是接收到与 I2COAR<SA>设定值相同的从属地址, SBI0SR2<AAS>都将维持为“0”。

当串行总线接口线路在通用数据格式(I2COAR<ALS>= “1”)运作, 在接收第一字数据后,SBI0SR2<AAS>设为“1”。若将数据写入 SBI0DBR 或从 SBI0DBR 读取数据,则 SBI0SR2<AAS>将清除为“0”。

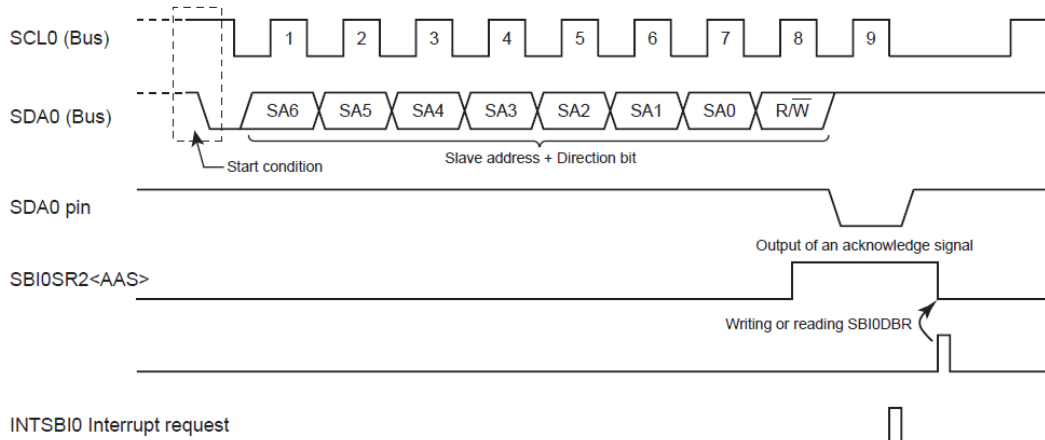


图 14- 14 变更从属地址配对检测监控(以 SBI0 为范例)

### 14.4.13 广播呼叫检测

当 SBI0CR1<NOACK>为“0”且广播呼叫(在开始条件后,所有 8 位接收数据马上为“0”).在从属模式下, SBI0SR2<AD0>为“1”。

将 SBI0CR1<NOACK>设为“1”,使得后续从属地址配对与广播呼叫检测无效.当广播呼叫被接收时, SBI0SR2<AD0>维持为“0”。

当总线被检测到开始或停止条件时, SBI0SR2<AD0 清除为“0”。

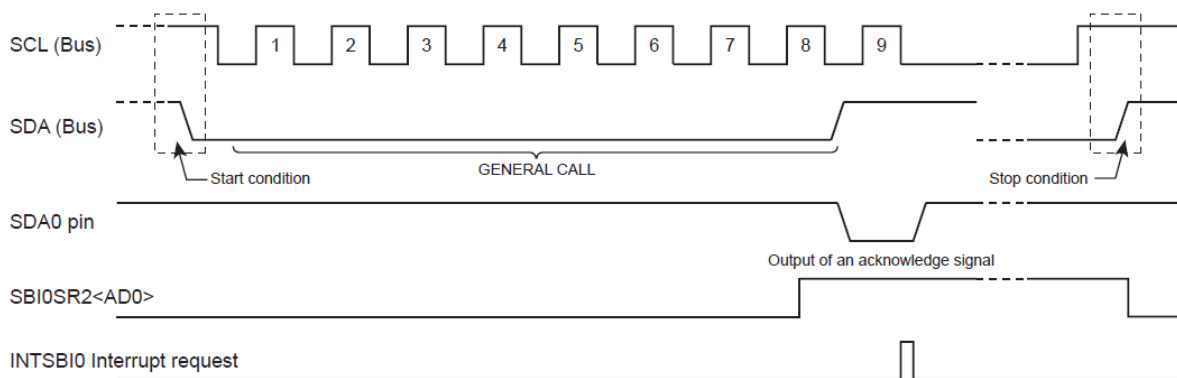


图 14- 15 广播呼叫变更(以 SBI0 为范例)

### 14.4.14 最后接收位的监控

SDA 线数值设定为 SBI0SR2<LRB>,并储存在 SCL 上升前沿。

在应答模式里, 当中断需求产生后,马上读取 SBI0SR2<LRB>,以读取应答信号。

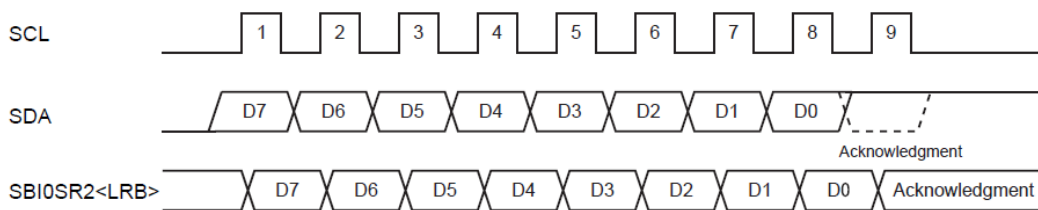


图 14- 16 最后接收位变更监控(以 SBI0 为范例)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

#### 14.4.15 从属位址与位址辨识模式说明

当串行总线接口线路使用于 I2C 总线模式,清除 I2COAR<ALS>为“0”,且设定 I2COAR<SA>为从属地址。

当串行总线接口线路用于通用数据模式且并未识别从属地址,设定 I2COAR<ALS>为“1”。在通用数据模式下,从属位址与位方向将不被辨识,并且从开始条件后将马上进行数据运算。



## 14.5 I2C 总线的数据传输

### 14.5.1 设备初始化

将 PCKEN2<I2C0EN>设为“1”。

确认串行总线接口脚位元元在高电位之后,设定 SBI0CR2<SBIM>为“1”,以选择串行总线接口模式。

将 SBI0CR1<ACK>设为“1”, SBI0CR1<NOACK>设为“0”, SBI0CR1<BC>设为“000”,以计算时钟数给应答信号,用以启动从属地址配对检测与广播呼叫检测,且设定数据长度为 8 位。于 SBI0CR1<SCK>设定  $t_{HIGH}$  与  $t_{LOW}$ 。

在 I2C0AR<SA>设定从属地址,且将 I2C0AR<ALS>设为“0”,以选择 I2C 总线模式。

最后,将 SBI0CR2<MST>, SBI0CR2<TRX>与 SBI0CR2<BB>设为“0”, SBI0CR2<PIN>设为“1”,且 SBI0CR2<SWRST>设为“00”,以在从属接收模式中定义默认值。

*注 1 : 串行总线接口线路的初始化,必须在所有连接到总线的装置初始化,但装置尚未启动开始状态时完成。如果不行,数据不能被正确接收,因为其他装置将在串行总线接口线路初始前启动传输。*

### 14.5.2 开始条件与从属地址产生

确认总线自由状态(SBI0SR2<BB>=“0”)。

设定 SBI0CR1<ACK>为“1”,且指出从属地址与数据方向位传输到 SBI0DBR。

将“1”写入 SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<BB>与 SBI0CR2<PIN>,总线将产生一开始条件,且从属地址与数据方向将由 SBI0DBR 输出。从生成开始条件直到 SBI0 拉低所需时间为  $t_{HIGH}$ 。

— 中断需求发生在第九个 SCL 时钟循环的下降前沿,且 SBI0CR2<PIN>清除为“0”。当 SBI0CR2<PIN>为“0”,SCL0 脚位被拉低到较低水平。当一中断需求发生,只有当应答信号从从属设备回传时, SBI0CR2<TRX>会依据数据方向位透过硬件变更。

*注 1 : 当数据传输时,不要在 SBI0DBR 写入从属地址。如果数据被写入 SBI0DBR,则输出数据将会毁坏。*

*注 2 : 此总线自由状态必须以软件确认在 98.0us 内确认。(依据 I2C 总线标准的一般模式的最短传输时间), 或 23.7 us (依据 I2C 总线标准快速模式,最短的传输时间) 在设定从属地址输出后。如果写入从属地址且未在 98.0us 或 23.7 us 内设定 SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<BB>与 SBI0CR2<PIN>, 则其他主控可开始传输且写入 SBI0DBR 的从属地址可能会中断。*

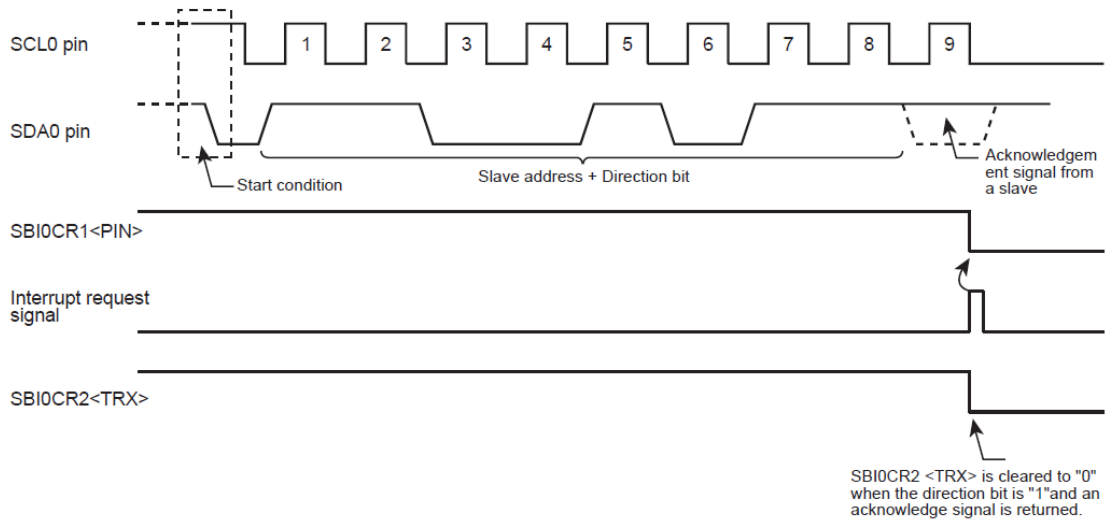


图 14- 17 产生开始条件与从属地址(以 SBI0 为范例)

### 14.5.3 字数据传输

在 1 字数据完成传输后,透过中断程序确认 SBIOSR2<MST>,并决定该模式是主控或是从属模式。

#### 14.5.3.1 当 SBIOSR2<MST>为“1” (主控模式)

确认 SBIOSR2<TRX>并决定是传输或接收模式。

##### (a) 当 SBIOSR2<TRX>为“1”(传输模式)

确认 SBIOSR2<LRB>.当 SBIOSR2<LRB>为“1”,接收端不会要求数据.过程执行将产生停止条件(会在下章节叙述),将停止数据传输。

当 SBIOSR2<LRB>为“0”,接收端将需求后续数据.当数据传输不是 8 位时,重新设定 SBI0CR1<BC>,将 SBI0CR1<ACK>设为“1”,并在 SBI0DBR 写入传送数据。

写入数据后, SBI0CR2<PIN>将为“1”,为从 SCL0 脚位进行后续一字数据传输,将生成一串行时钟脉冲,然后经由 SDA0 脚位进行一字数据传输。

数据传输后,发生一中断需求. SBI0CR2<PIN>将为“0”且 SCL0 脚位设为低电平. 如果数据传输长度超过一字节,将重复以上 SBIOSR2<LRB>确认程序。

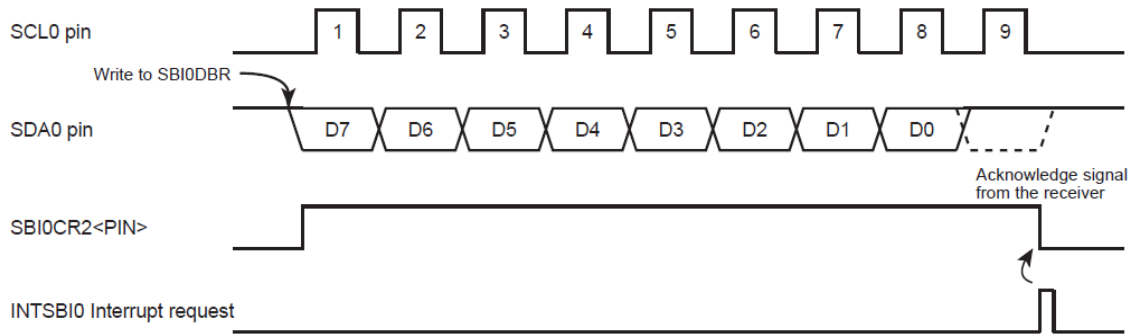


图 14- 18 SBI0CR1<BC>="000"与 SBI0CR1<ACK>="1" 传输(以 SBI0 为范例)

(b) 当 SBIOSR2<TRX>为“0”(接收模式)

当后续数据传输非 8 位,将重新设定 SBI0CR1<BC>.将 SBI0CR1< ACK>设为“1” 且从 SBI0DBR 读取接收的数据(在从属地址传送出后,读取的数据并未被立即定义)。

当数据被读取后,将空的数据(0x00)写入 SBI0DBR,以设定, SBI0CR2<PIN>为“1”. 串行总线接口线路输出一串行时钟脉冲到 SCL0 脚位,并传输后续 1 字数据,且在应答信号时间,将 SDA0 设为“0”。

当中断须求发生且 SBI0CR2<PIN>为“0”.串行总线接口线路输出一时钟脉冲给 1 字数据传输与应答信号. 应答信号在读取接收的数据后,将数据写入 SBI0DBR 或是将 SBI0CR2<PIN>设为“1”产生。

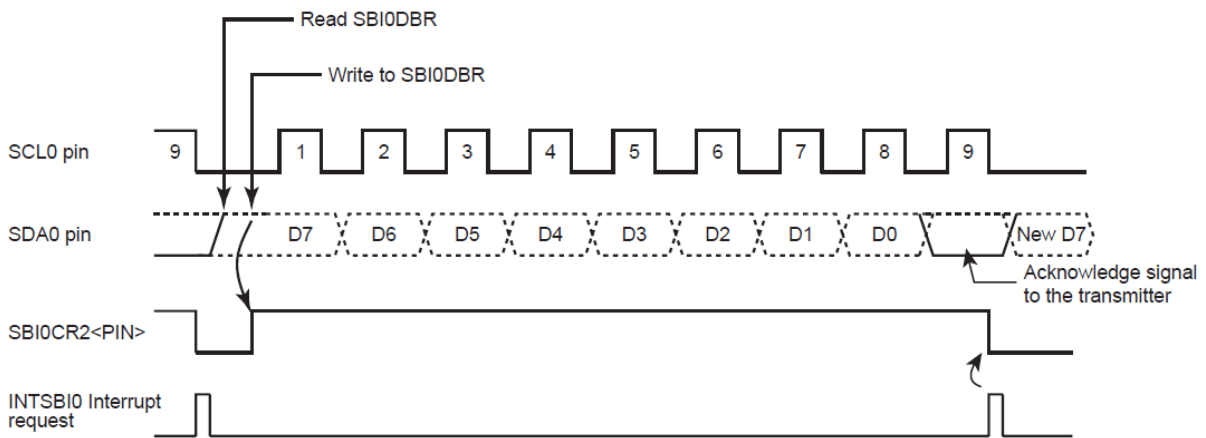


图 14- 19 SBI0CR1<BC>="000" 与 SBI0CR1<ACK>="1"接收(以 SBI0 为范例)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

若要使传送端中止传输,请在接收最后一笔数据前执行以下程序:

1. 读取所接收的数据
2. 将 SBI0CR1<ACK>清除为“0” 且设定 SBI0CR1<BC>为“000”
3. 将 SBI0CR2<PIN>设为“1”,将空资料(0x00)写入 SBI0DBR

在时无时钟产生给应答信号时进行一字数据传输,设定 SBI0CR2<PIN>为“1”,接着操作以下步骤:

1. 读取接收的数据
2. 将 SBI0CR1<ACK>清除为“0”,且设定“ SBI0CR1<BC>为“001”
3. 设定 SBI0CR2<PIN>为“1”, 在 SBI0DBR 写入空资料(0x00)

设定 SBI0CR1<PIN>为“1”,传输 1 位数据。

在此状况下,因为主控装置为接收端, 总线的 SDA 线将维持高电位.传送端接收到一高电位的信号将被视为否定的应答信号.接收端将告知传送端此数据传输已完成。

在收到一位数据且产生中断需求,将产出停止条件并停止数据传输。

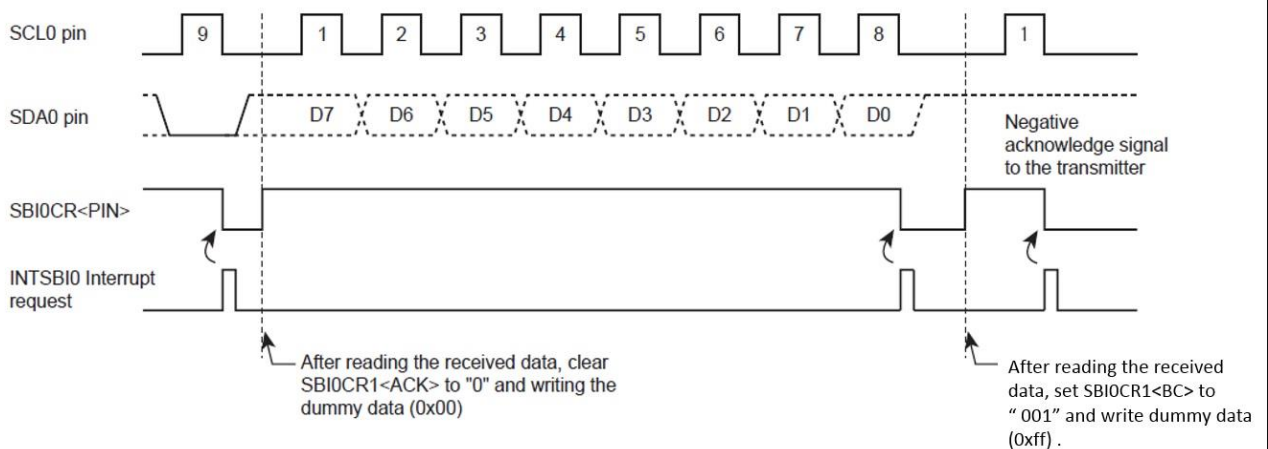


图 14- 20 在主机接收模式下的数据传输中止(以 SBI0 为范例)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 14.5.3.2 当 SBIOSR2<MST>为“0”(从属模式下)

在从属模式下,串行总线接口线路将在一般从属模式或者是丢失仲裁后的从属模式下运作。

在从属模式下,产生串行总线接口中断需求(INTSBI0)的条件如下列:

- 在应答信号结尾,当所接收的从属地址与 IZCOAR<SA>的设定值相符且 SBIOCR1<NOACK>为“0”
- 在应答信号结尾,收到广播呼叫,且 SBIOCR1<NOACK>设为“0”
- 当传输结束时,或是接收从属地址配对后,或接收广播呼叫后

如果在主机模式下丢失仲裁,串行总线接口线路会变成从属模式.在丢失了仲裁后,如果有一个字的数据传送,将会产生一个中断信号,且丢失仲裁后的 SBIOCR2<PIN>行为将如表 14.4 所列。

	When the Arbitration Lost Occurs during Transmission of Slave Address as a Master	When the Arbitration Lost Occurs during Transmission of Data as Master Transmitter
interrupt request	An interrupt request is generated at the termination of word-data transfer.	
SBIOCR2<PIN>	SBIOCR2<PIN> is cleared to "0".	

表 14-4 中断需求与仲裁丢失后 SBIxCR2<PIN>的行为(以 SBI0 为范例)

当中断请求发生时, SBIOCR2<PIN>将设为“0”,且 SCL0 线将设为低电位.不论是写入数据到 SBI0DBR 或是将 SBIOCR2<PIN>设为“1”,皆会在 t<sub>LOW</sub> 之后释放 SCL0 脚位。

检查 SBIOSR2<AL>, SBIOSR2<TRX>, SBIOSR2<AAS>与 SBIOSR2<AD0>, 并依据表 14.5 的条件,完成程序设定。

SBI0SR2<TRX>	SBI0SR2<AL>	SBI0SR2<AAS>	SBI0SR2<AD0>	Conditions	Process
1	1	1	0	The serial bus interface circuit loses arbitration when transmitting a slave address, and receives a slave address of which the value of the direction bit sent from another master is "1".	Set the number of bits in 1 word to SBI0CR1<BC> and write the transmitted data to the SBI0DBR.
	0	1	0	In the slave receiver mode, the serial bus interface circuit receives a slave address of which the value of the direction bit sent from the master is "1".	
		0	0	0	In the slave transmitter mode, the serial bus interface circuit finishes the transmission of 1-word data
0	1	1	1/0	The serial bus interface circuit loses arbitration when transmitting a slave address, and receives a slave address of which the value of the direction bit sent from another master is "0" or receives a "GENERAL CALL".	Write the dummy data (0x00) to the SBI0DBR to set SBI0CR2<PIN> to "1", or write "1" to SBI0CR2<PIN>.
		0	0	The serial bus interface circuit loses arbitration when transmitting a slave address or data, and terminates transferring the word data.	The serial bus interface circuit is changed to the slave mode. Write the dummy data (0x00) to the SBI0DBR to clear SBI0SR2<AL> to "0" and set SBI0CR2<PIN> to "1".
	0	1	1/0	In the slave receiver mode, the serial bus interface circuit receives a slave address of which the value of the direction bit sent from the master is "0" or receives "GENERAL CALL".	Write the dummy data (0x00) to the SBI0DBR to set SBI0CR2<PIN> to "1", or write "1" to SBI0CR2<PIN>.
		0	1/0	In the slave receiver mode, the serial bus interface circuit terminates the receipt of 1-word data.	Set the number of bits in 1-word to SBI0CR1<BC>, read the received data from the SBI0DBR and write the dummy data (0x00).

表 14-5 从属模式下的运作(以 SBI0 为范例)

注：在从属模式下,如果从属地址设定 I2C0AR<SA>为"0x00", 一个 I2C 标准的起始位"0x01"将被接收,此设备检测从属地址符合,且 SBI0CR2<TRX>设为"1". 不要将 I2C0AR<SA>设为"0x00".

### 14.5.4 停止条件产生

当 SBI0CR2<BB>为“1”,将 SBI0CR2<MST>, SBI0CR2<TRX>与 SBI0CR2<PIN>设为“1”,且将 SBI0CR2<BB>清除为“0”将会产生一个停止序列。在总线产生停止条件前,不要修改 SBI0CR2<MST>, SBI0CR2<TRX>, SBI0CR2<BB>与 SBI0CR2<PIN>的内容。

当 SCL 线被其他装置下拉,一串行总线接口线路在 SCL 线被释放后,产生停止条件.从 SCL 被释放到停止条件产生所需的时间为  $t_{HIGH}$ 。

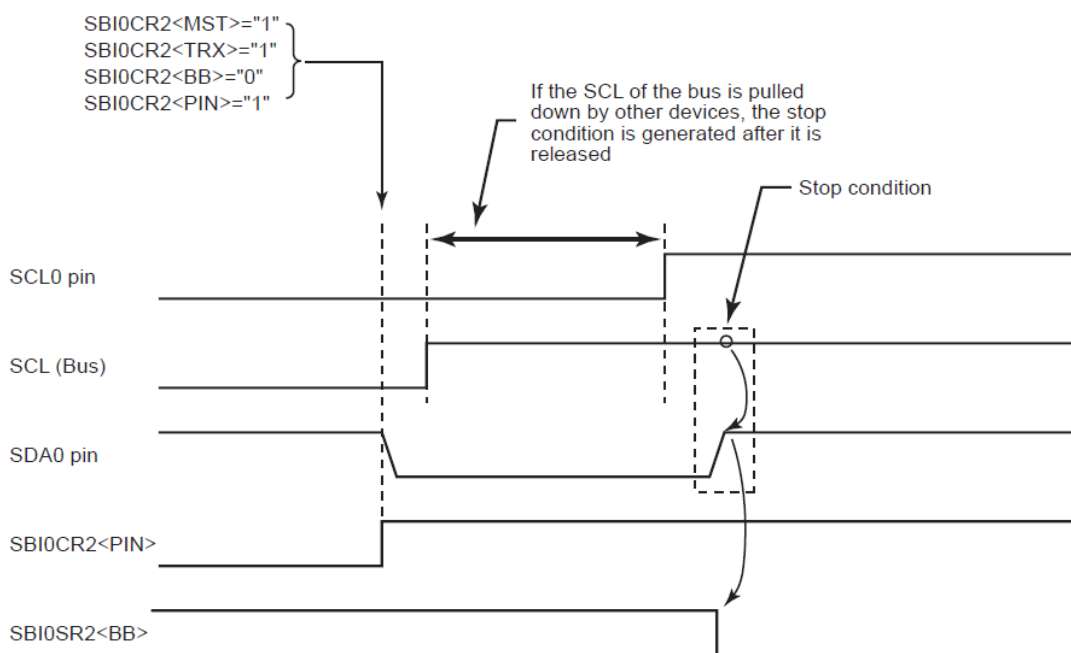


图 14-21 停止条件产生(以 SBI0 为范例)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 14.5.5 重新启动

重新启动一般用于变更主控装置与从属装置间的数据传输方向.以下详述如何重新启动串行总线接口线路。

将 SBI0CR2<MST>, SBI0CR2<TRX>,与 SBI0CR2<BB>清除为“0”,并且设定 SBI0CR2 <PIN>为“1”。 SDA0 脚位维持高电位且 SCL0 脚位将被释放。

因为这不是停止条件,总线将被其他装置认为处于忙碌的状态。

检查 SBI0SR2<BB>直到值为“0”,以检查串行总线接口线路的 SCL0 脚位是否被释放。

检查 SBI0SR2<LRB>直到值为“1”,以检查总线 SCL 线没有被其他装置拉低。

确认总线是否为自由状态后,产生开始条件,与“15.5.2 开始条件与从属地址产生”的相关程序。

为满足重新启动的设定时间,从重新确认总线自由直到开始条件产生,依 I2C 总线标准的标准模式软件至少需要 4.7us 的等待时间,依 I2C 总线标准的快速模式,至少须 0.6us 等待时间。

注：当主控在接收模式,在深眠模式产生之前,必须停止从从属装置传送数据.要停止传输,主控装置让从属装置接收负极性应答.因此在重新启动前,SBI0SR2<LRB>为“1”,且无法确认 SCL 线是否被其他装置下拉.若要确认 SCL 线状态需直接读取埠。

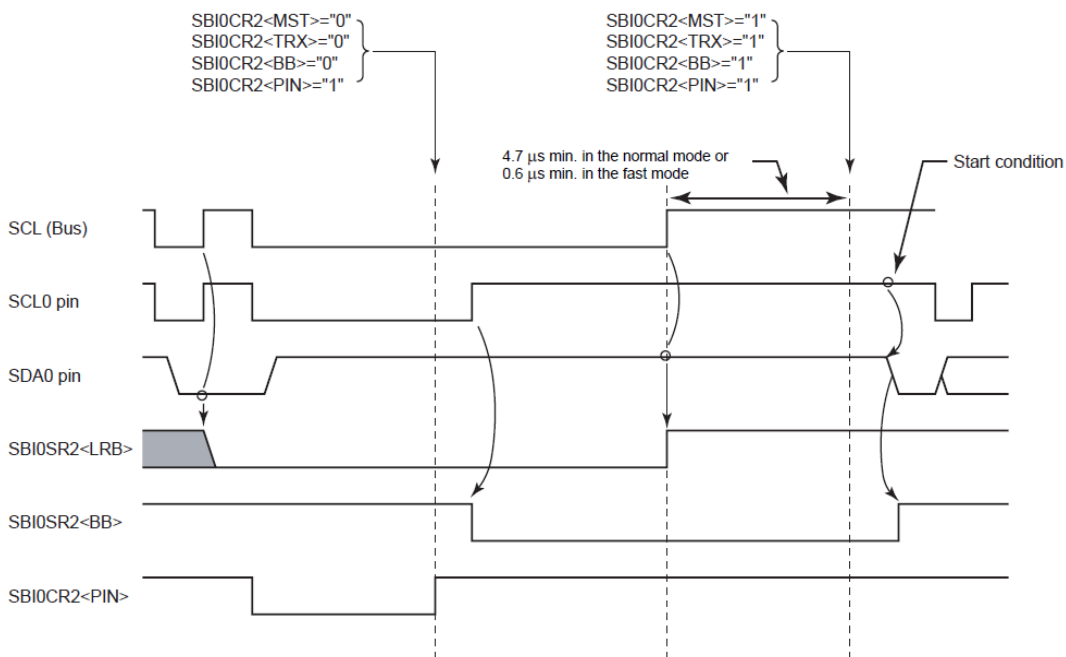


图 14-22 重新启动时的时序图(以 SBI0 为范例)



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 14.6 AC 规格

AC 规格如下所列。工作模式(快速或标准模式)应该选择适当的 fsysclk 频率.这些操作模式,请参考下列表格。

参数	代码	标准模式		快速模式		单位
		Min.	Max.	Min.	Max.	
SCL 时钟频率(注 2)	f <sub>SCL</sub>	0	fsysclk / (m+n)	0	fsysclk / (m+n)	us
重启条件保持时间。 第一个时钟脉冲产生跟 随在此时间之后发生。	t <sub>HD,STA</sub>	m / fsysclk	-	m / fsysclk	-	us
SCL 时钟(输出)低电平周 期	t <sub>LOW</sub>	n / fsysclk	-	n / fsysclk	-	us
SCL 时钟(输出)高电平周 期	t <sub>HIGH</sub>	m / fsysclk	-	m / fsysclk	-	us
SCL 时钟(输入)低电平周 期	t <sub>LOW</sub>	5 / fsysclk	-	5 / fsysclk	-	us
SCL 时钟(输入)高电平周 期	t <sub>HIGH</sub>	3 / fsysclk	-	3 / fsysclk	-	us
重启条件设置时间	t <sub>SU,STA</sub>	软件设定	-	软件设定	-	us
数据保持时间(hold time)	t <sub>HD,DAT</sub>	0	5 / fsysclk	0	5 / fsysclk	us
数据设置时间	t <sub>SU,DAT</sub>	250	-	100	-	ns
SDA 与 SCL 信号上升时 间	t <sub>r</sub>	-	1000	-	300	ns
SDA 与 SCL 信号下降时 间	t <sub>f</sub>	-	300	-	300	ns
停止条件设置时间	t <sub>SU,STO</sub>	m / fsysclk	-	m / fsysclk	-	us
停止条件与开始条件间 的总线自由时间	t <sub>BUF</sub>	软件设定	-	软件设定	-	us
SBxCR2<PIN>由“0”变“1” 后·SCL 开始爬升前的 时间	t <sub>SU,SCL</sub>	n / fsysclk	-	n / fsysclk	-	us

注 1 : 以上为特性值, 非经生产测试。

注 2 : 标准模式下 fsc1 最大值为 100kHz, 快速模式下 fsc1 最大值为 400kHz。

表 14-6 AC 规格(线路输出时序)

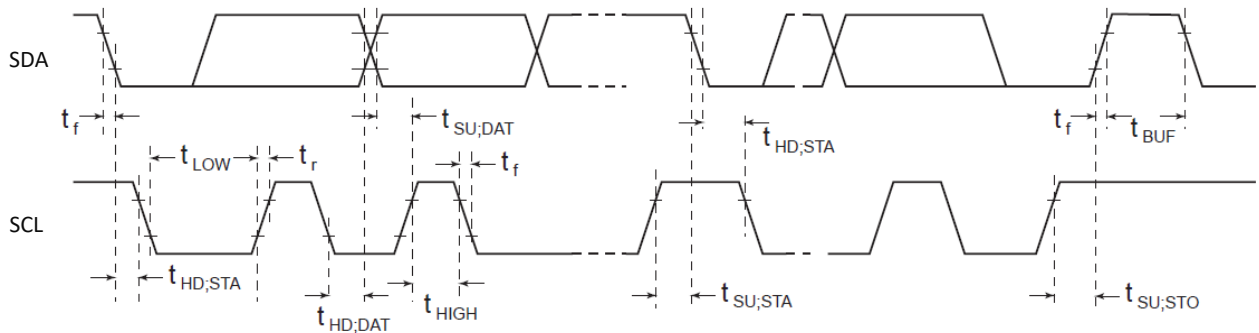


图 14-23 时序定义(No.1)

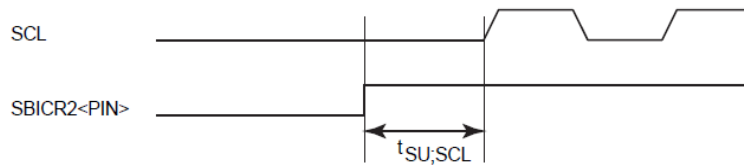


图 14-24 时序定义(No.2)

## 15 同步串行收发器(SIO)

SQ7613 产品具有同步时钟形态的高速 8 位串行接口，共有 2 个信道，其名称与地址可于下表对照查找。

### 15.1 框图

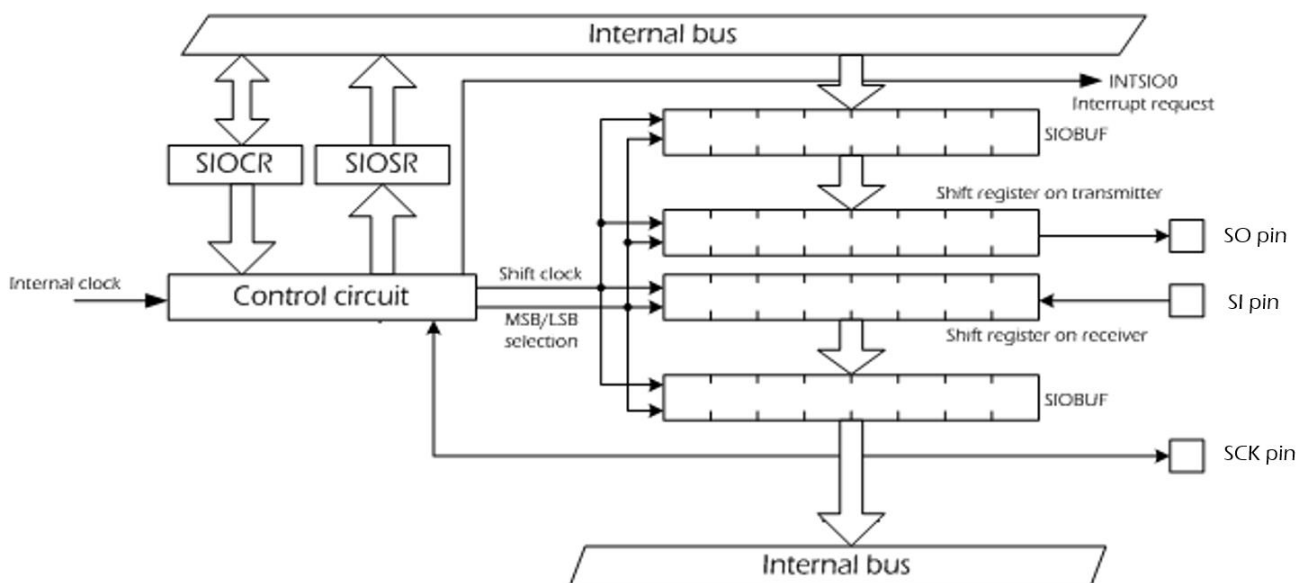


图 15-1 串行接口示意图

注：此串行接口引脚也可作为通用 I/O 埠使用。当用做串行接口时，I/O 埠寄存器需要做相应的设定，细节请见“99 通用 I/O”。

## 15.2 控制

同步串行接口 SIO 由外围电路时钟允许寄存器 2(PCKEN2)、串行接口控制寄存器(SIOxCR)、串行接口状态寄存器(SIOxSR)与串行接口缓存寄存器(SIOxBUF) 所控制。由于串行接口 SIO 的 2 组信道的设定雷同，故下皆以 SIO0 进行说明，相同叙述亦适用于 SIO1。

描述	SIO0	SIO1
外围电路时钟允许寄存器 2	PCKEN2 (0x017A)	
串行接口控制寄存器 1	SIO0CR1 (0x00D0)	SIO1CR1 (0x00D4)
串行接口控制寄存器 2	SIO0CR2 (0x00D1)	SIO1CR2 (0x00D5)
串行接口状态寄存器	SIO0SR (0x00D2)	SIO1SR (0x00D6)
串行接口缓存寄存器	SIO0BUF (0x00D3)	SIO1BUF (0x00D7)

外围电路时钟允许寄存器2(PCKEN2)

PCKEN2 (0x017A)	7	6	5	4	3	2	1	0
位符号	reserved	reserved	SIO1	SIO0	reserved	reserved	I2C1	I2C0
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

SIO1	SIO1 允许控制	0: 禁止 1: 允许
SIO0	SIO0 允许控制	0: 禁止 1: 允许
I2C1	I2C1 允许控制	0: 禁止 1: 允许
I2C0	I2C0 允许控制	0: 禁止 1: 允许

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

串行接口 0 控制寄存器 1(SIO0CR1)

SIO0CR1 (0x00D0)	7	6	5	4	3	2°	1	0
位符号	SIOEDG	SIOCKS[2:0]			SIODIR	SIOS	SIOM[1:0]	
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

SIOEDG	选择触发沿	0:上升沿接收数据且下降沿传送数据 1:上升沿传送数据且下降沿接收数据	
SIOCKS[2:0]	串行时钟选择[Hz]	系统时钟为 HIRC/PLL/HXTAL	系统时钟为 LIRC
		000 : fsysclk/2 <sup>9</sup>	-
		001 : fsysclk/2 <sup>6</sup>	-
		010 : fsysclk/2 <sup>5</sup>	-
		011 : fsysclk/2 <sup>4</sup>	-
		100 : fsysclk/2 <sup>3</sup>	-
		101 : fsysclk/2 <sup>2</sup>	-
		110 : fsysclk/2	fsysclk/2
		111 : 外部时钟输入	
SIODIR	选择传送模式(MSB/LSB)	0: LSB 优先(从 0 bit 开始传送) 1: MSB 优先(从 7 bit 开始传送)	
SIOS	传送工作启动/停止指令	0:工作停止(预设为停止) 1:工作开始	
SIOM[1:0]	传送模式选择与运作	00 : 运作停止(强制停止) 01 : 8 位传送模式 10 : 8 位接收模式 11 : 8 位传输与接收模式	

注 1: fsysclk 是系统时钟(Hz)。

注 2: 当 SIOS 写入“1”,运作开始,写入 SIOEDG, SIOCKS 与 SIODIR 将会是无效的,直到 SIO0SR<SIOF>为“0”。(当 SIOS 从“0”变更为“1”时, SIOEDG, SIOCKS 与 SIODIR 也可被变更)

注 3: 当 SIOS 写入“1”,运作开始,除了“00”之外,无法在 SIOM 写入其他数值直到 SIOF 为“0”(如果在 SIOM 写入“01”到“11”的数值,会被忽略)。在运作期间,传输模式将无法被改变。

注 4:当 SIOM 为“00”(运作停止)且 SIOS 写入“1”时· SIO 将维持为“0”。

注 5:当 SIO 在一般(低速时钟)或睡眠模式下· 须确定 SIOCKS 设定为“110”。如果 SIOCKS 设定为其他值· SIO 将不会运作。当 SIO 在一般(低速时钟)或睡眠模式下· 执行传输时须预先设定 SIOCKS=“110”· 或者在 SIO 停止后再变更 SIOCKS。

注 6: 当停止· 睡眠或睡眠(低速时钟)模式运作时· SIOM 将自动被清除为“00”且 SIO 停止运作。同时间 SIOS 被清除为“0”, 但 SIOEDG, SIOCKS 与 SIODIR 的设定值维持不变。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**串行接口 x 控制寄存器 2(SIO0CR2)**

SIO0CR2 (0x00D1)	7	6	5	4	3	2	1	0
位符号	reserved						reserved	SIOEN
读/写	R						R/W	R/W
复位后	0						0	0

SIOEN	SIO 允许	0 : 禁止 1 : 允许
-------	--------	------------------

**串行接口 0 状态寄存器(SIO0SR)**

SIO0SR (0x00D2)	7	6	5	4	3	2	1	0
位符号	SIOF	SEF	OERR	RENDB	UERR	TBFL	reserved	reserved
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

注 1 : 当 SIO0SR 被读取时，OERR 与 UERR 标志将被清除

注 2 : 当 SIO0BUF 被读取，RENDB 标志将被设为“0”

注 3 : SIO0SR 的 1-0 位都被读取为“0”。

SIOF	串行传输工作状态监控	0:传送没有进行 1:传送进行中
SEF	移位元运作状态监控	0:移位运作没有进行 1:移位运作进行中
OERR	OERR 接收溢出错误标志	0:无溢出错误发生 1:至少发生一次溢出错误
RENDB	REND 接收完成标志	0 : 无收到任何数据，因最后一笔收到数据已经被读出 1 : 最少接收到一笔数据
UERR	UERR 传送运作欠载错误标志	0:无传送欠载错误发生 1:至少一次传送欠载错误发生
TBFL	TBFL 传送缓存完全标志	0:传送缓存器清空 1:传送缓存器已有数据但尚未被传输

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**串行接口0缓存寄存器(SIO0BUF)**

SIO0BUF (0x00D3)	7	6	5	4	3	2	1	0
位符号	SIO0BUF[7:0]							
读/写	R	R	R	R	R	R	R	R
复位后	0	0	0	0	0	0	0	0

**串行接口0缓存寄存器(SIO0BUF)**

SIO0BUF (0x00D3)	7	6	5	4	3	2	1	0
位符号	SIO0BUF[7:0]							
读/写	W	W	W	W	W	W	W	W
复位后	1	1	1	1	1	1	1	1

注: SIO0BUF 是数据缓存器, 用于串行发送/接收数据。每次从 SIO0BUF 读取到的数据即为串行接口接收到的最新数据。如果 SIO0BUF 没有收到任何数据, 从 SIO0BUF 读到值会是 0。当向 SIO0BUF 写入数据时, 写入的数据即为串行接口要发送的数据。

### 15.3 低耗电功能

串行接口有外围电路时钟允许寄存器(PCKEN2), 当没有使用串行接口时, 可关闭所对应使用的时钟源, 可以节省功耗。

将 PCKEN2<SIO0>设定为 0, 可停止基础时钟对串行接口 x 的供应以节省能耗。须注意在此状况下串行接口将无法使用。将 PCKEN2<SIO0>设定为 1, 可启动基础时钟对串行接口 0 的供应, 并且允许串行接口进行运作。

重新设定复位后, PCKEN2<SIO0>被初始为“0”, 且串行接口不可用。当第一次使用串行接口, 请确保在初始化串行接口前将 PCKEN2<SIO0>设定为 1 (在串行接口控制寄存器运作之前)。

当串行接口运作时, 请勿将 PCKEN2<SIO0>变更为“0”, 否则串行接口将会不正常运作。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 15.4 功能

### 15.4.1 传送模式

传送模式可由 SIO0CR1<SIODIR> 设定为 MSB 优先或 LSB 优先。当 SIO0CR2<SIODIR> 设定为“0”时，将会以 LSB 优先为传送模式。此模式下，串行数据将由最低有效位开始传送。

当 SIO0CR1<SIODIR> 设为“1”时，将以 MSB 优先为传送模式。此模式下，串行数据将由最高有效位开始传送。

### 15.4.2 串行时钟

串行时钟可由 SIO0CR1<SIOCK> 选择。Master mode 频率最高为  $f_{sysclk}/2$ ，Slave mode 频率最高为 4MHz。

将 SIO0CR1<SIOCKS> 设定为“000”到“110”，选择内部时钟做为串行时钟。此时，串行时钟从 SCLK 引脚输出。串行数据传送与 SCLK 引脚边沿输出同步。

将 SIO0CR1<SIOCKS> 设定为“111”，选择外部时钟做为串行时钟。此时，外部串行时钟将从 SCLK 引脚输入。串行数据传送与外部时钟边沿输出同步。

串行数据触发边沿可由外部时钟或者内部时钟选择。详细可参考 15.4.3 节触发边沿选择。

SIOxCR <SIOCKS>	Serial clock [Hz]		f <sub>sysclk</sub> =8MHz		f <sub>sysclk</sub> =16MHz		f <sub>sysclk</sub> =32.768kHz	
	f <sub>sysclk</sub> : HIRC/PLL/HXTAL	f <sub>sysclk</sub> : LIRC	1-bit time (us)	Baud rate (bps)	1-bit time (us)	Baud rate (bps)	1-bit time (us)	Baud rate (bps)
000	$f_{sysclk}/2^9$	-	64	15.6k	32	31.3k	-	-
001	$f_{sysclk}/2^6$	-	8	125k	4	250k	-	-
010	$f_{sysclk}/2^5$	-	4	250k	2	500k	-	-
011	$f_{sysclk}/2^4$	-	2	500k	1	1M	-	-
100	$f_{sysclk}/2^3$	-	1	1M	0.5	2M	-	-
101	$f_{sysclk}/2^2$	-	0.5	2M	0.25	4M	-	-
110	$f_{sysclk}/2$	$f_{sysclk}/2$	0.25	4M	0.13	8M	61	16.4k

表 15-1 传输速率(BAUD)



### 15.4.3 触发沿选择

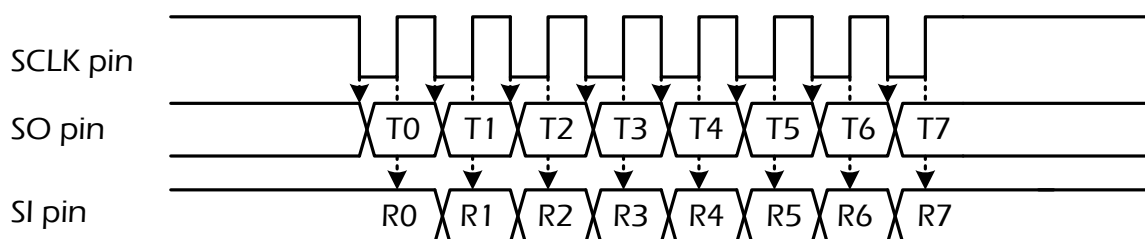
由 SIO0CR1<SIOEDG>选择串行数据触发边沿。

SIOxCR1 <SIOEDG>	Data transmission	Data reception
0	Falling edge	Rising edge
1	Rising edge	Falling edge

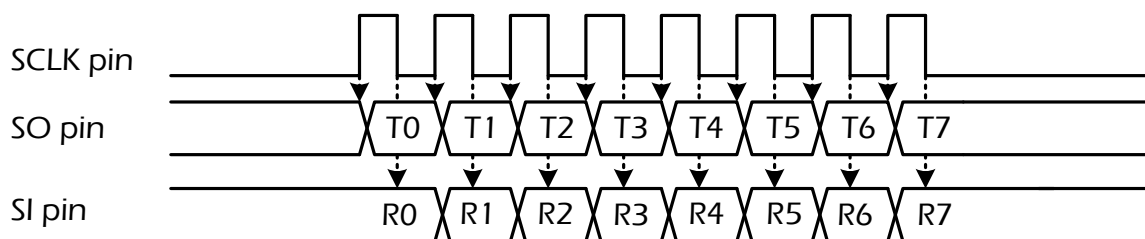
表 15-2 传输触发沿选择

当 SIO0CR1<SIOEDG>为 0，数据传送与时钟下降沿同步，且数据接收与时钟上升沿同步。

当 SIO0CR1<SIOEDG>为 1，数据传送与时钟上升沿同步，且数据接收与时钟下降沿同步。



当 SIO0CR1<SIOEDG> = "0"的情况



当 SIO0CR1<SIOEDG> = "1"的情况

图 15-2 触发沿

注: 当使用外部时钟输入, 在接收第 8 个位与下一笔传送的第 1 个位的触发边沿的间隔须为  $4/f_{sysclk}$  或更久。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 15.5 传送模式

### 15.5.1 8 位传送模式

将 SIO0CR1<SIOM> 设定为“01”，选择 8 位传送模式。

#### 15.5.1.1 设定

开始传送工作前，由 SIO0CR1<SIOEDG> 选择触发边沿，SIO0CR1<SIODIR> 选择传送模式，SIO0CR1<SIOCKS> 选择串行时钟。若以内部时钟做为串行时钟，由 SIO0CR1<SIOCKS> 选取适合的串行时钟。要使用外部时钟做为串行时钟，则设定 SIO0CR1<SIOCKS> 为“111”。

将 SIO0CR1<SIOM> 设定为 01，可选择 8 位传送模式。

当传输数据第一个位字节写入 SIO0BUF，且将 SIO0CR1<SIOS> 设定为“1”，将启动传送工作。

当串行传输进行时或 SIO0SR<SIOF> 为 1 时，写入 SIO0CR1<SIOEDG, SIOCKS 与 SIODIR> 的数据将会是无效的。请在串行传输停止后再进行设定。

当串行传输进行时(SIO0SR<SIOF>="1")，只有 SIO0CR1<SIOM> 写入“00”或 SIO0CR1<SIOS> 写入“0”是有效的。

#### 15.5.1.2 启动传输工作

传输工作在 SIO0BUF 写入数据且 SIO0CR1<SIOS> 设定为“1”后启动。传输数据从 SIO0BUF 转送移位内存，且依 SIO0CR1<SIOEDG, SIOCKS 和 SIODIR> 设定，串行数据由 SO 引脚传送。若 SIO0BUF 未写入任何数据就启动传送操作，则传送出的串行数据将不确定。

内部时钟工作，特定波特率的串行时钟将从 SCLK 引脚输出。外部时钟工作时，则需提供 SCLK 引脚外部时钟。

设定 SIO0CR1<SIOS> 为 1，SIO0SR<SIOF 与 SEF> 将自动设为“1”且将产生一个 INTSIO0 中断要求。

当串行数据的第 8 位输出时，SIO0SR<SEF> 将被清除为“0”。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 15.5.1.3 传输缓存与移位(shift)运算

当串行传输进行中且移位寄存器为空时，往 SIO0BUF 写入的数据将马上被传送到移位寄存器。此时 SIO0SR<TBFL>维持为 0。

如果数据写入 SIO0BUF，且移位寄存器中仍有数据时，SIO0SR<TBFL>将设定为“1”。此状态下有新数据写入 SIO0BUF，则原数据会被新数据取代。在数据写入 SIO0BUF 之前，请确认 SIO0SR<TBFL>为“0”。

### 15.5.1.4 传输完成后的操作

传输完成后的操作，跟工作时钟与 SIO0SR<TBFL>状态相关。

#### (a) 当使用内部时钟且 SIO0SR<TBFL>为“0”的情况

当数据传输完成时，SCLK 引脚将回到初始状态且 SO 引脚为高电平，SIO0SR<SEF>维持“0”。当使用内部时钟，串行时钟与数据输出将停止直到下一个传输数据写入 SIO0BUF(自动等待)。

接下来的数据被写入 SIO0BUF，SIO0SR<SEF>将为“1”，SCLK 引脚输出串行时钟且重新启动传送操作。在重新启动传送时，INTSIO0 将会产生一个中断要求。在重新启动传送操作时，将会产生一个 INTSIO0 中断要求。

#### (b)当使用外部时钟且 SIO0SR<TBFL>为“0” 的情况

当数据传输完成，SO 引脚会维持为最后一个位输出数据的状态。当数据传输完成后，一个外部串行时钟输入 SCLK 引脚，则会传送一未定义的数值，此时运作欠载错误标志 SIO0SR<UERR>为 1。

如果传输欠载运行错误发生，此未被定义的数据将不会被写入 SIO0BUF。(建议用户将 SIO0CR<SIOS>设定为“0”，以结束传输工作；或者将 SIO0CR1<SIOM>设定为“00”，强制停止传送。)

执行读取 SIO0SR 操作后，传送欠载运行的错误标志 SIO0SR<UERR>会自动清除。

#### (c)当使用内部时钟或外部时钟且 SIO0SR<TBFL>为“1” 的情况

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

数据传输完成后，SIO0SR<TBFL>被清除为“0”。SIO0BUF 的数据被传送到移位寄存器且开始进行后续数据传送。此时 SIO0SR<SEF>变为“1”且将产生一个 INTSIO0 中断要求。

### 15.5.1.5 停止传输工作

将 SIO0CR1<SIOS>设为“0”可停止数据传输。当 SIO0SR<SEF>为“0”或移位操作没有进行时，发送将立即停止并产生一个 INTSIO0 中断要求。当 SIO0SR<SEF>为“1”，所有移位寄存器数据被传输后，数据传输将停止。

当发送工作完成后，SIO0SR<SIOF, SEF 与 TBFL>被清除为“0”，其他 SIO0SR 寄存器仍维持原本数值。

传输工作进行时，将 SIO0CR<SIOM>设定为“00”，可强制停止传送。将 SIO0CR<SIOM>设为“00”，SIO0CR<SIOS>与 SIO0SR 会清除为“0”，且 SIO 停止工作，SIO0SR<SEF>的数值将不被考虑。SO 引脚将为高电平。若选择内部时钟，SCLK 引脚将重回初始电平。

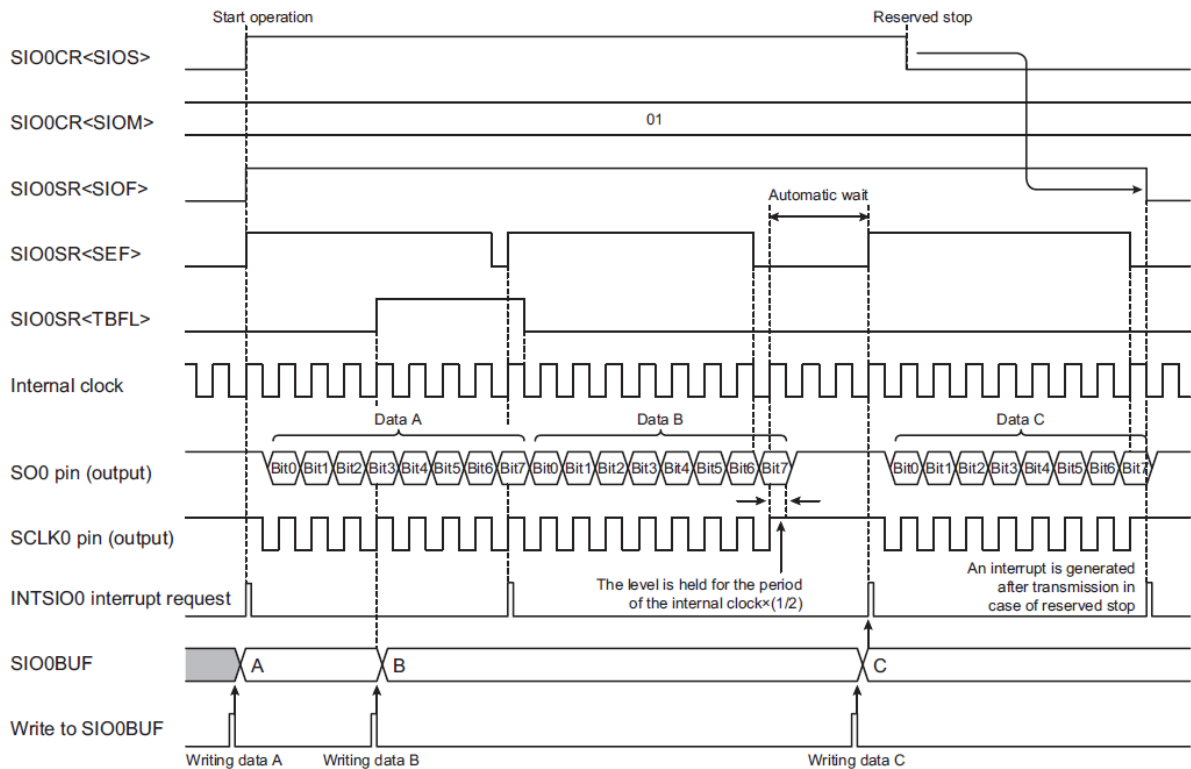


图 15-38 位元传送模式(内部时钟且预定停止)

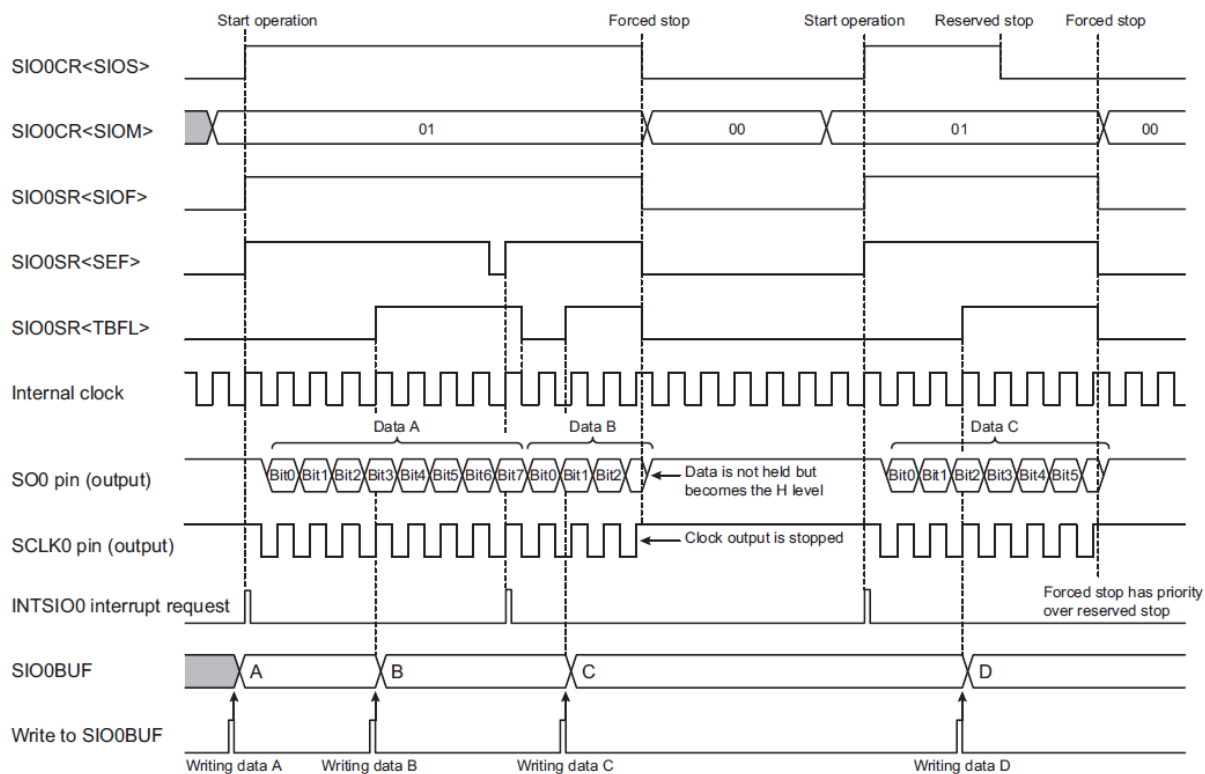


图 15-4 8 位元传送模式(内部时钟且强制停止)

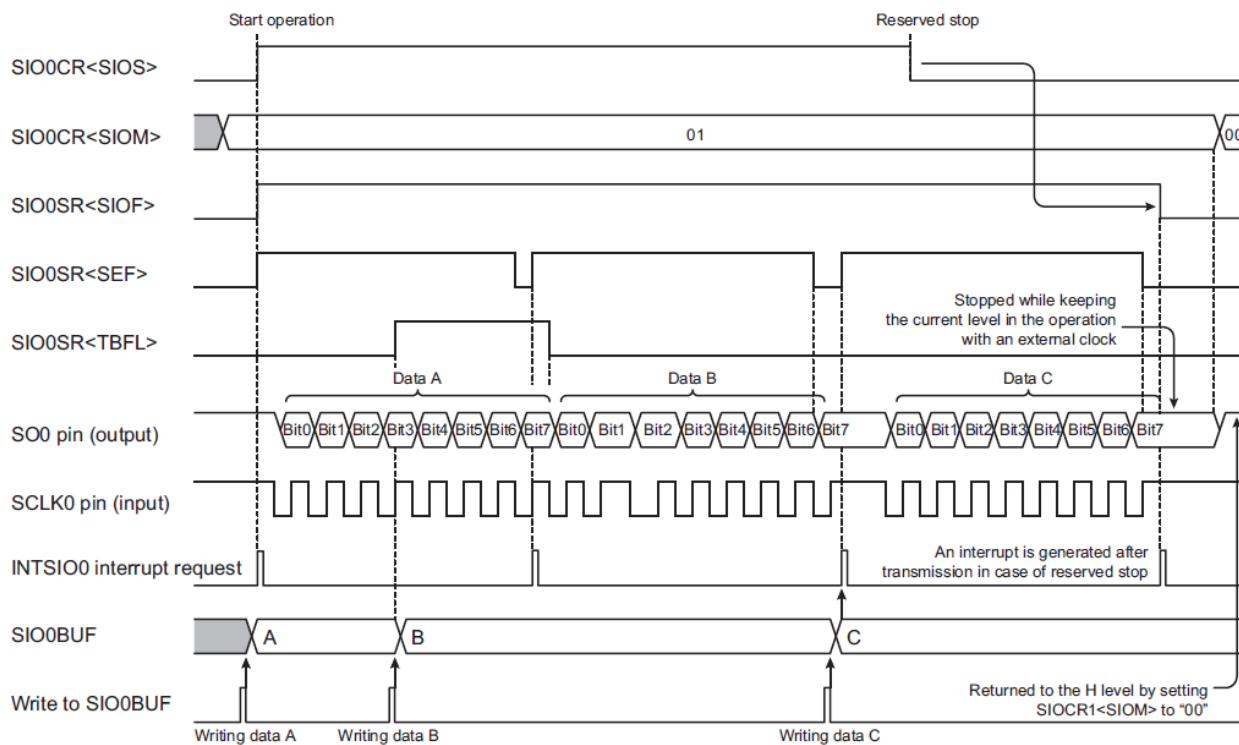


图 15-5 8 位元传送模式(内部时钟且预约停止)

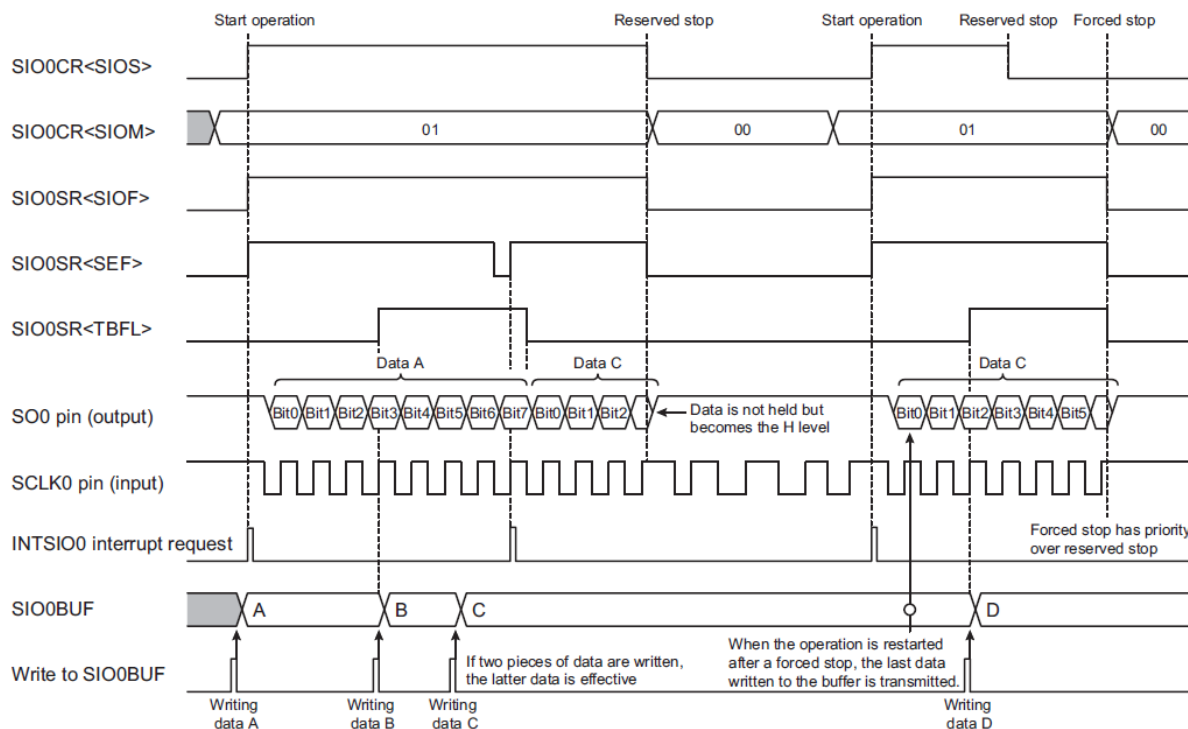


图 15-6 8 位元传送模式(外部时钟且强制停止)

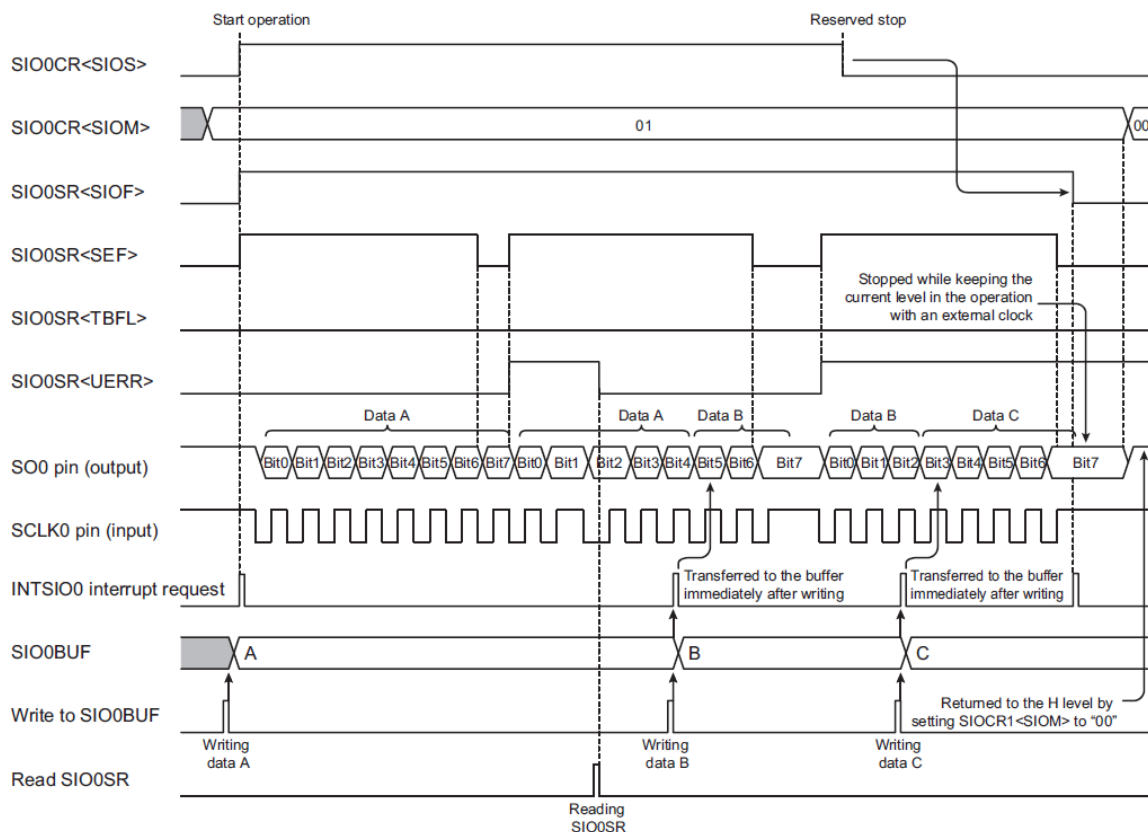


图 15-7 8 位元传送模式(外部时钟溢出错误发生)

## 15.5.2 8 位接收模式

将 SIO0CR1<SIOM> 设为“10”可选择 8 位接收模式。

### 15.5.2.1 设定

此传输模式，在开始接收数据前，在 SIO0CR1<SIOEDG> 选择触发边沿，SIO0CR1<SIODIR> 选择传送模式且 SIO0CR1<SIOCKS> 选择串行时钟。若要使用内部时钟做为串行时钟，在 SIO0CR1<SIOCKS> 选择适合的串行时钟。若要使用外部时钟做为串行时钟，将 SIO0CR1<SIOCKS> 设定为“111”。

将 SIO0CR1<SIOM> 设为“10”，以选择 8 位接收模式。

当 SIO0CR1<SIOS> 为 1 时，开始接收工作。

当串行传输进行或是 SIO0SR<SIOF> 为“1”时，写入 SIO0CR1<SIOEDG, SIOCKS 与 SIODIR> 的数据将会是无效的。请在串行传输停止后再进行设定。当串行传输进行时 (SIO0SR<SIOF> = “1”)，只有在 SIO0CR1<SIOM> 写入“00”或是 SIO0CR1<SIOS> 写入“0”会是有效的。

### 15.5.2.2 启动接收工作

当 SIO0CR1<SIOS> 设为“1”时，开始接收工作。根据 SIO0CR1<SIOEDG, SIOCKS 与 SIODIR> 设定，外部串行数据将从 SI 引脚被写入移位寄存器。

内部时钟运作，指定波特率的串行时钟从 SCLK 引脚输出；外部时钟工作时，则需提供 SCLK 引脚外部时钟。

当 SIO0CR1<SIOS> 设为“1”，SIO0SR<SIOF 与 SEF> 将自动设为“1”。

### 15.5.2.3 完成接收时的工作

当数据接收完成后，数据将从移位寄存器传送到 SIO0BUF，且会产生一个 INTSIO0 中断要求。接收完成标志 SIO0SR<RENDB> 会变为“0”。

内部时钟工作时，串行时钟输出将停止，直到接收数据从 SIO0BUF 被读取。同时 SIO0SR<SEF> 会变为“0”。从 SIO0BUF 读取所接收数据后，SIO0SR<SEF> 会变为“1”，串行时钟输出会重新启动且会持续接收工作。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

使用外部时钟工作时，即使不读取 SIO0BUF，数据也会持续接收。这种情况下，在后续的数据接收完成前必须读取 SIO0BUF。如果后续数据完全被接收，才读取 SIO0BUF，此数据溢出错误标志 SIO0SR<OERR>将为“1”。当数据溢出错误发生，将 SIO0CR1<SIOM>设为“00”以中止接收工作。在数据溢出错误发生时，接收到的数据将被丢弃，SIO0BUF 将保留数据溢出发生前所接收的数据。

读取 SIO0BUF 数据，SIO0SR<RENDB>将被清除为“0”。读取 SIO0SR 数据，SIO0SR<OERR>将被清除。

### 15.5.2.4 停止接收工作

设定 SIO0CR1<SIOS>为“0”以停止接收运作。当 SIO0SR<SEF>为“0”或当移位操作没有进行时，接收会立即停止。与传送模式不同，此情况下，不会产生 INTSIO0 中断要求。

强制停止接收模式，可在工作时将 SIO0CR1<SIOM>设为“00”。设定 SIO0CR1<SIOM>为“00”，SIO0CR1<SIOS>与 SIO0SR 会被清除为“0”且 SIO 停止作业时，而与 SIO0SR<SEF>的值无关。若选择内部时钟，SCLK 引脚将回到初始电平。

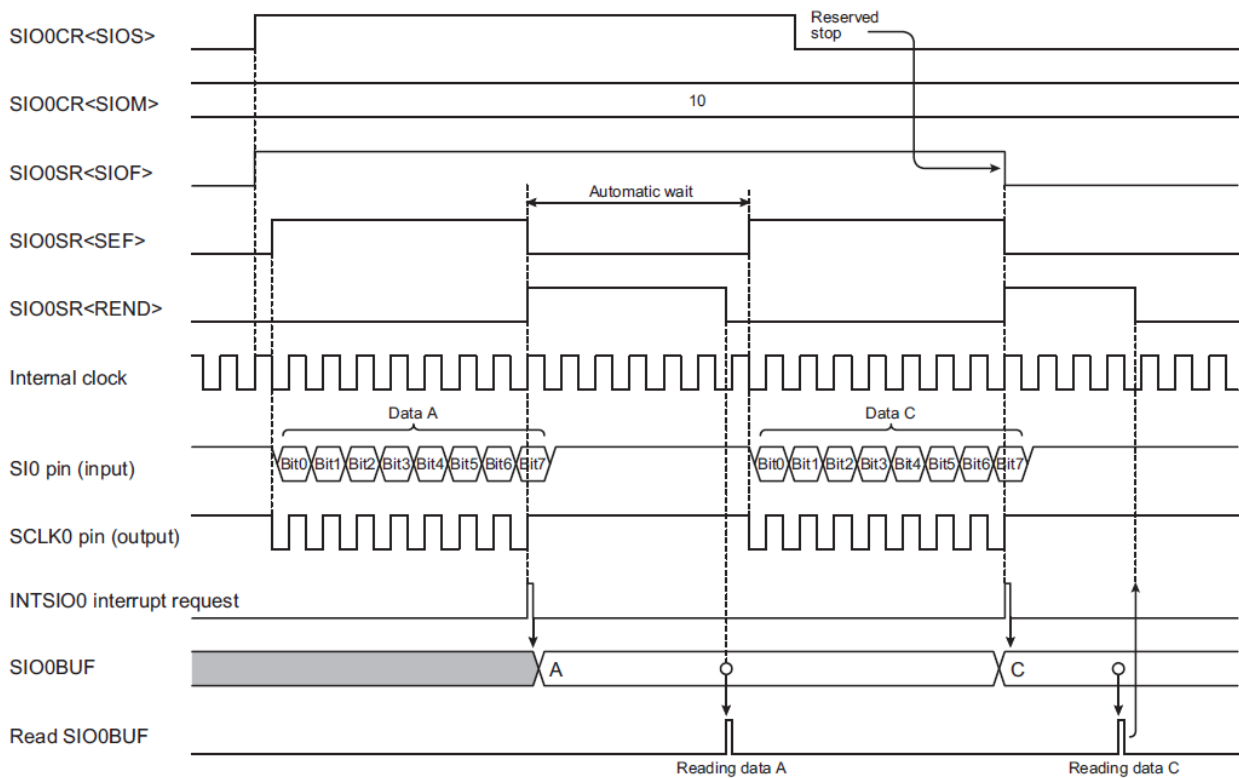


图 15- 8 8 位接收模式(内部时钟且预约停止)



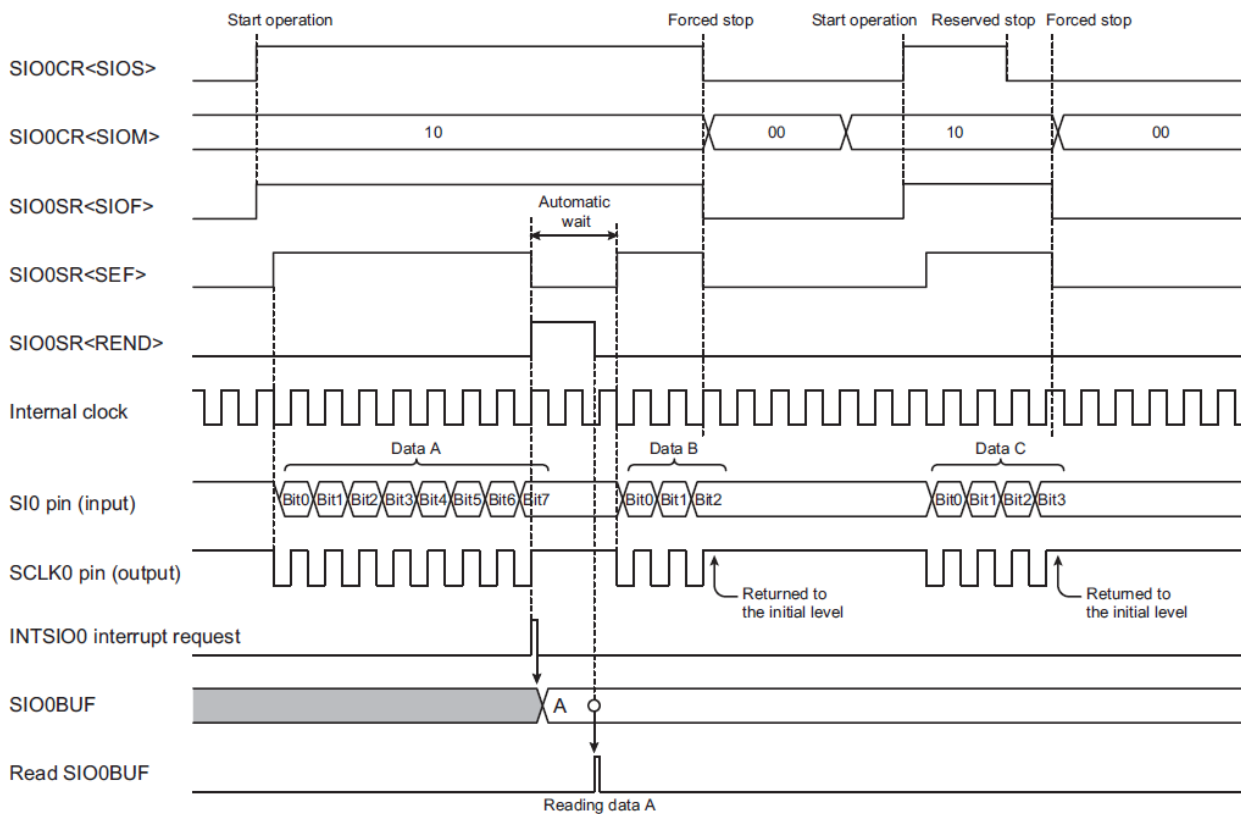


图 15-9 8 位接收模式(内部时钟且强制停止)

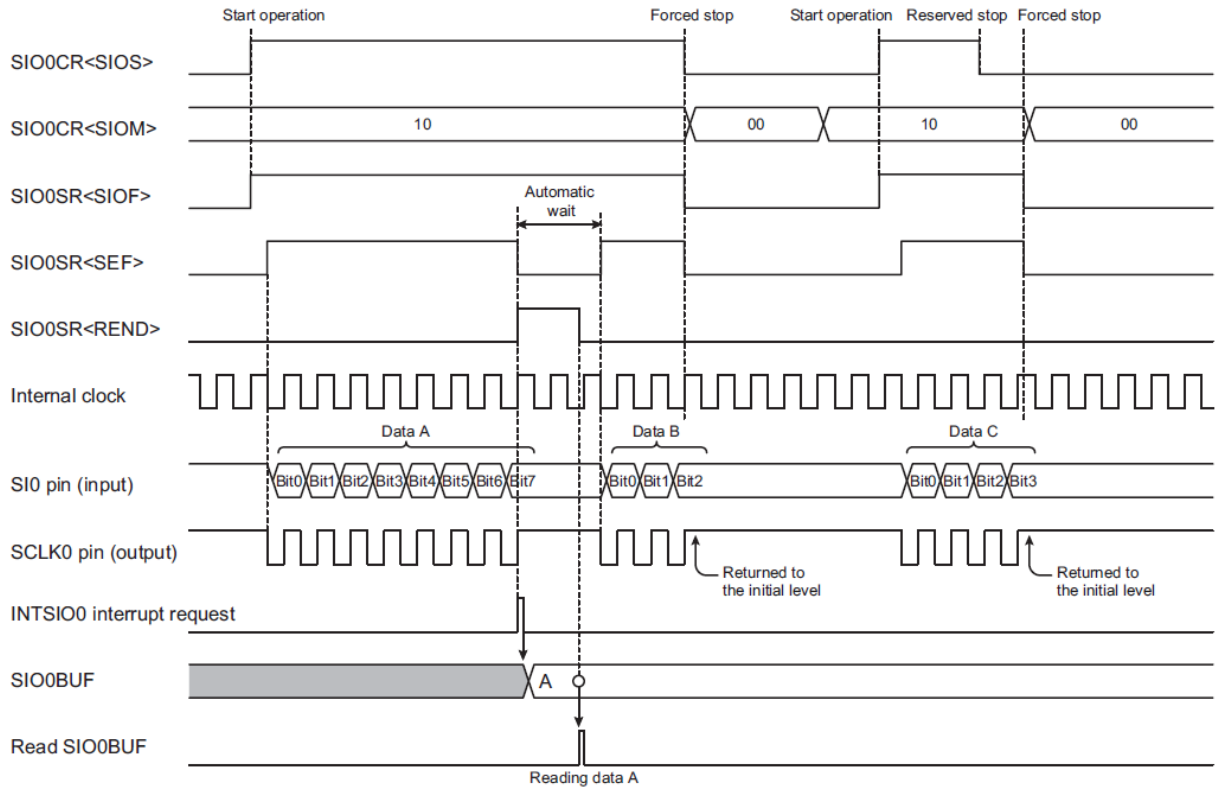


图 15- 10 8 位接收模式(外部时钟且预约停止)

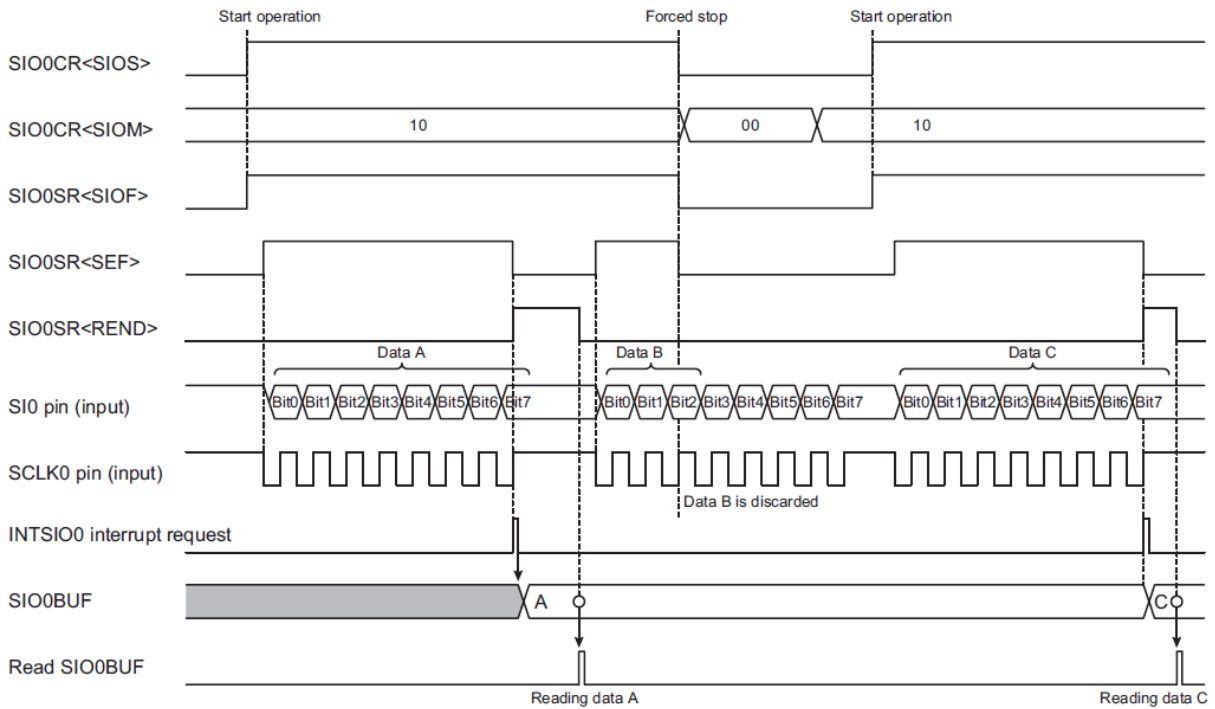


图 15- 11 8 位接收模式(外部时钟且强制停止)

No. : TDDS01-57613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

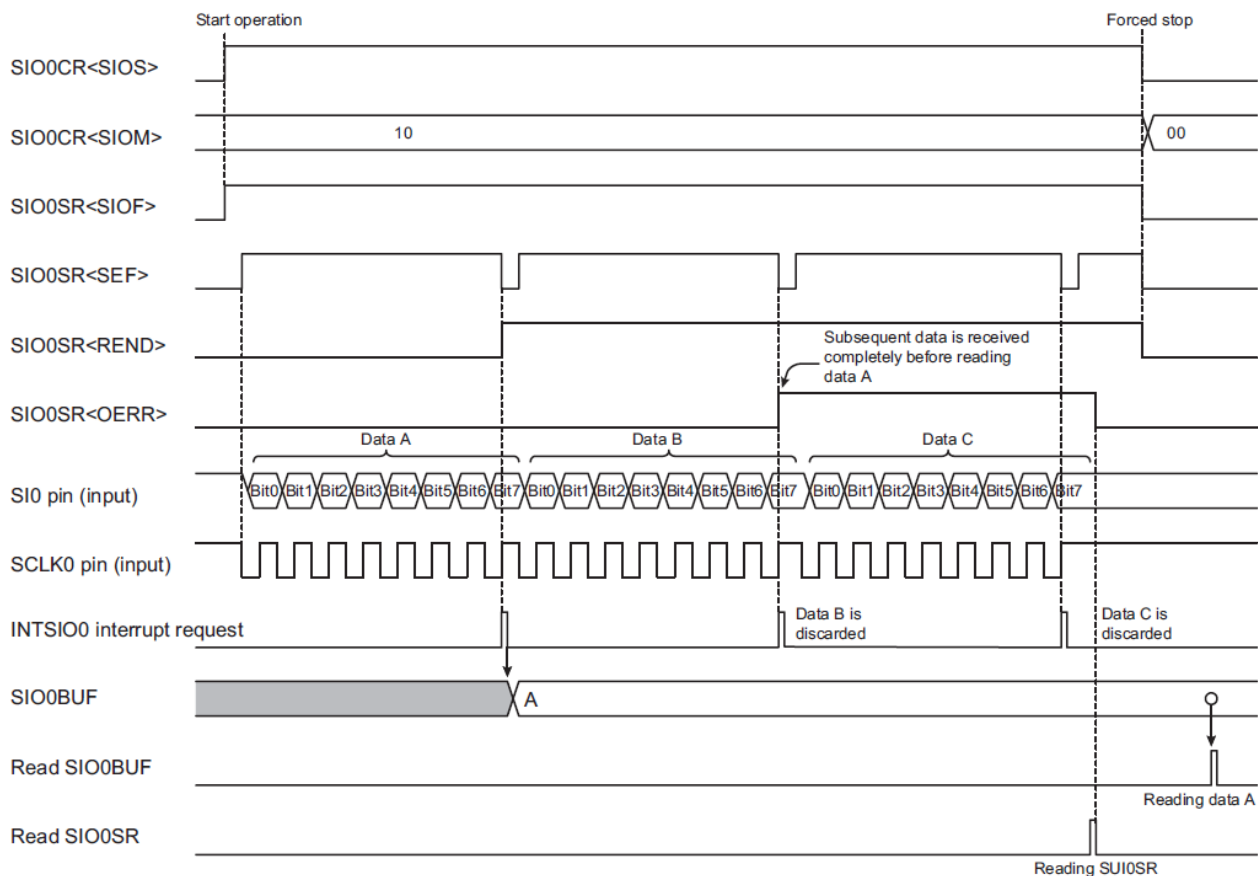


图 15- 12 8 位接收模式(外部时钟与溢出错误发生)

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 15.5.3 8 位传送/接收模式

将 SIO0CR1<SIOM>设定为“11”，选择 8 位传送/接收模式。

#### 15.5.3.1 设定

启动发送/接收作业前，由 SIO0CR1<SIOEDG>选择触发边沿，SIO0CR1<SIODIR>的传送模式和 SIO0CR1<SIOCKS>串行时钟。使用内部时钟做为串行时钟，由 SIO0CR1<SIOCKS>选择一个适合的时钟。使用外部时钟做为串行时钟，将 SIO0CR1<SIOCKS>设为“111”。

透过设定 SIO0CR1<SIOM>为“11”，选择 8 位发送/接收模式。

向 SIO0BUF 写入一个字节组数据且设定 SIO0CR1<SIOS>为“1”后，将会启动发送/接收操作。

当串行传输进行 SIO0SR<SIOF>为“1”时，数据写入 SIO0CR1<SIOEDG, SIOCKS 与 SIODIR>将会是无效的。请在串行传输停止后再进行设定。当串行传输进行时(SIO0SR<SIOF>="1")，只有写入“00”到 SIO0CR1<SIOM>或写入“0”到 SIO0CR1<SIOS>会是有效的。

#### 15.5.3.2 启动传送/接收工作

当 SIO0BUF 写入数据且 SIO0CR1<SIOS>设为“1”时，发送/接收工作将启动。发送数据由 SIO0BUF 移到寄存器，且依据 SIO0CR1<SIOEDG, SIOCKS 与 SIODIR>设定，串行数据从 SO 引脚开始发送。同时，根据 SIO0CR1<SIOEDG, SIOCKS 与 SIODIR>设定，从 SI 引脚开始接收串行数据。

内部时钟工作时，指定波特率的串行时钟从 SCLK 引脚输出；外部时钟工作时，则需提供 SCLK 引脚外部时钟。

若发送/接收工作开始时，且没有任何发送数据写入 SIO0BUF，则发送的数据将无法被辨识。

设定 SIO0CR1<SIOS>为“1”，SIO0SR<SIOF 与 SEF>将自动设为“1”且将产生一个 INTSIO0 中断请求。

当接收到数据的第 8 个 bit 时，SIO0SR<SEF>将清除为“0”。

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### 15.5.3.3 发送缓存与移位(shift)工作

当串行传输进行中且移位寄存器是空的时 任何数据写入 SIO0BUF 都将会立即传送到移位寄存器。同时 SIO0SR<TBFL>维持为“0”。

当移位寄存器仍留有一些数据，SIO0SR<TBFL>被硬件设为“1”，此状态下，有新数据写入 SIO0BUF，SIO0BUF 将会写入新的资料。请确保新数据写入 SIO0BUF 之前，SIO0SR<TBFL>须为“0”。

### 15.5.3.4 完成发送/接收工作

数据发送/接收完成时，SIO0SR<RENDB>为“0”且产生一个 INTSIO0 中断要求。依据工作时钟，会有不同的工作状态。

#### (a) 使用内部时钟

如果 SIO0SR<TBFL>为“1”，将 SIO0SR<RENDB>清除为“0”，且发送/接收工作持续进行。如果 SIO0SR<RENDB>已为“0”，则 SIO0SR<OERR>为“1”。

SIO0SR<TBFL>设为“0”，传送/接收作业将停止。SCLK 引脚将回到初始状态且 SO 引脚变为高电平。SIO0SR<SEF>维持为“0”。当后续数据写入 SIO0BUF，SIO0SR<SEF>被硬件配置为“1”，SCLK 输出时钟且传送/接收作业将重新启动。要重新确认接收的数据，在 SIO0BUF 写入数据前，读取 SIO0BUF。

#### (b) 使用外部时钟

发送/接收工作进行时。如果外部串行时钟输入，且没有任何数据写入 SIO0BUF，则会反复传送最后写入 SIO0BUF 的数据。同时，传送欠载运作错误标志 SIO0SR<UERR>将为“1”。

在下一个 8 位数据完全接收前未完成 SIO0BUF 的读取，或者 SIO0SR<RENDB>为“0”时，SIO0SR<OERR>将为“1”。

### 15.5.3.5 停止发送/接收工作

将 SIO0CR1<SIOS>设为“0”，可停止传送/接收作业。当 SIO0SR<SEF>为“0”或者当移位操作未进行时，工作将立刻被停止。

当 SIO0SR<SEF>为“1”，在 8 位数据完全被接收后，此工作将停止。

当工作完全停止后，SIO0SR<SIOF, SEF 与 TBFL>将清除为“0”。其他 SIO0SR 内存将维持原本的数据。

在发送/接收工作进行时将 SIO0CR1<SIOM> 设为“00”，可强制停止发送/接收工作。当 SIO0CR1<SIOM> 设定为“00”，且 SIO0CR1<SIOS> 与 SIO0SR 清除为“0”，SIO 作业停止，不管 SIO0SR<SEF>数值。SO 引脚将为高电平。选择内部时钟时，SCLK 引脚将回到初始电平。

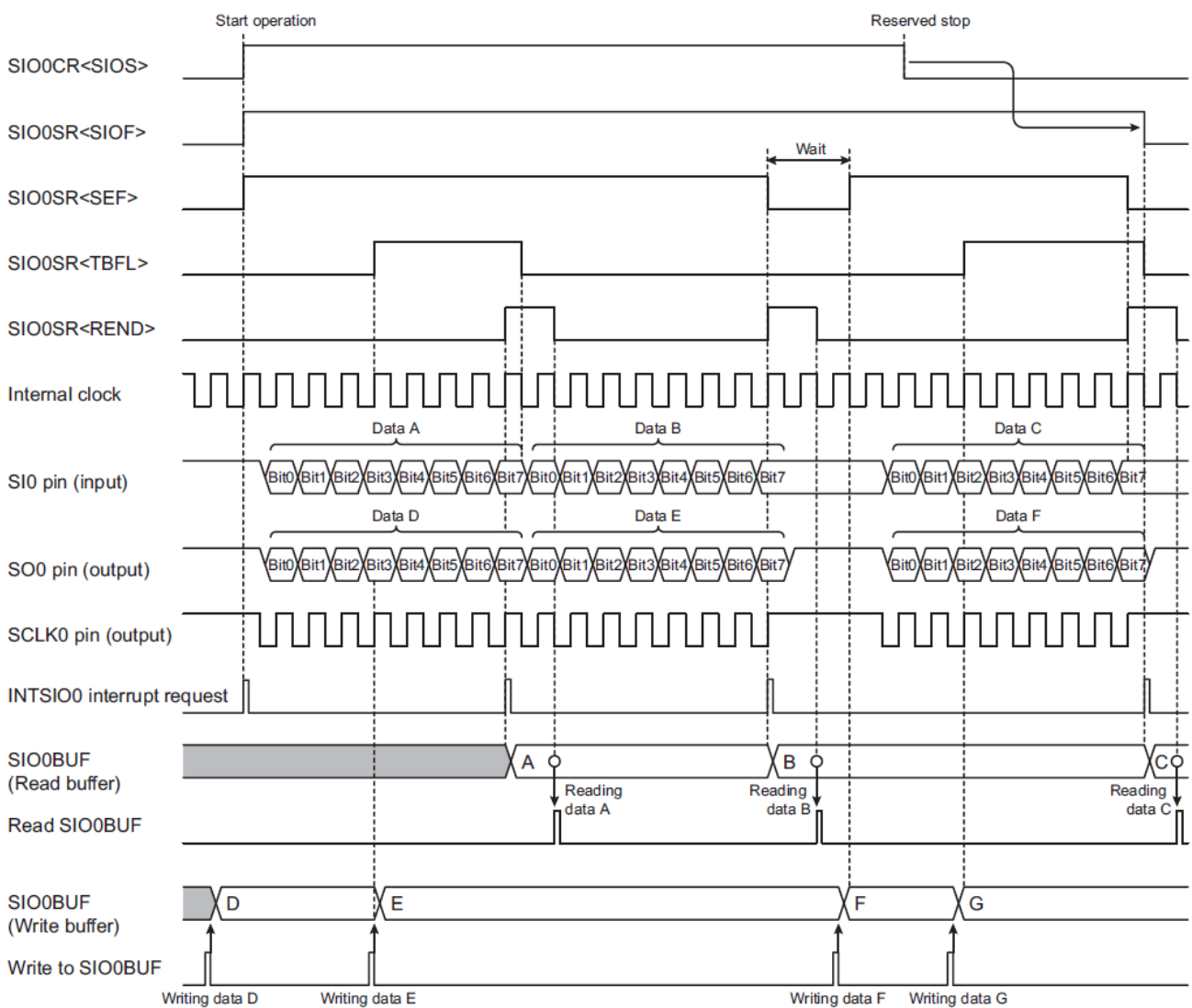


图 15- 13 8 位发送/接收模式(内部时钟且预约停止)

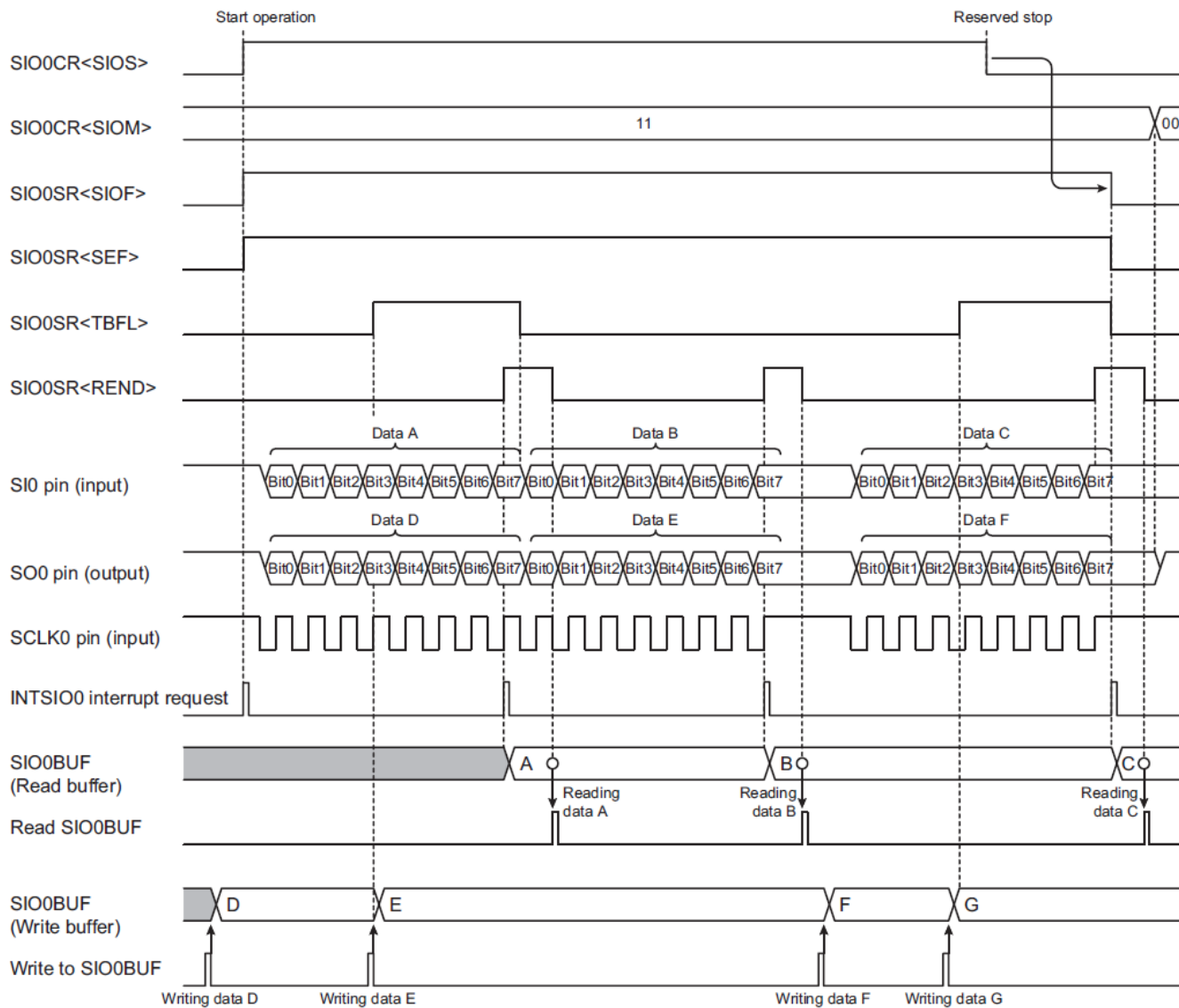


图 15- 148 位发送/接收模式(外部时钟且预约停止)

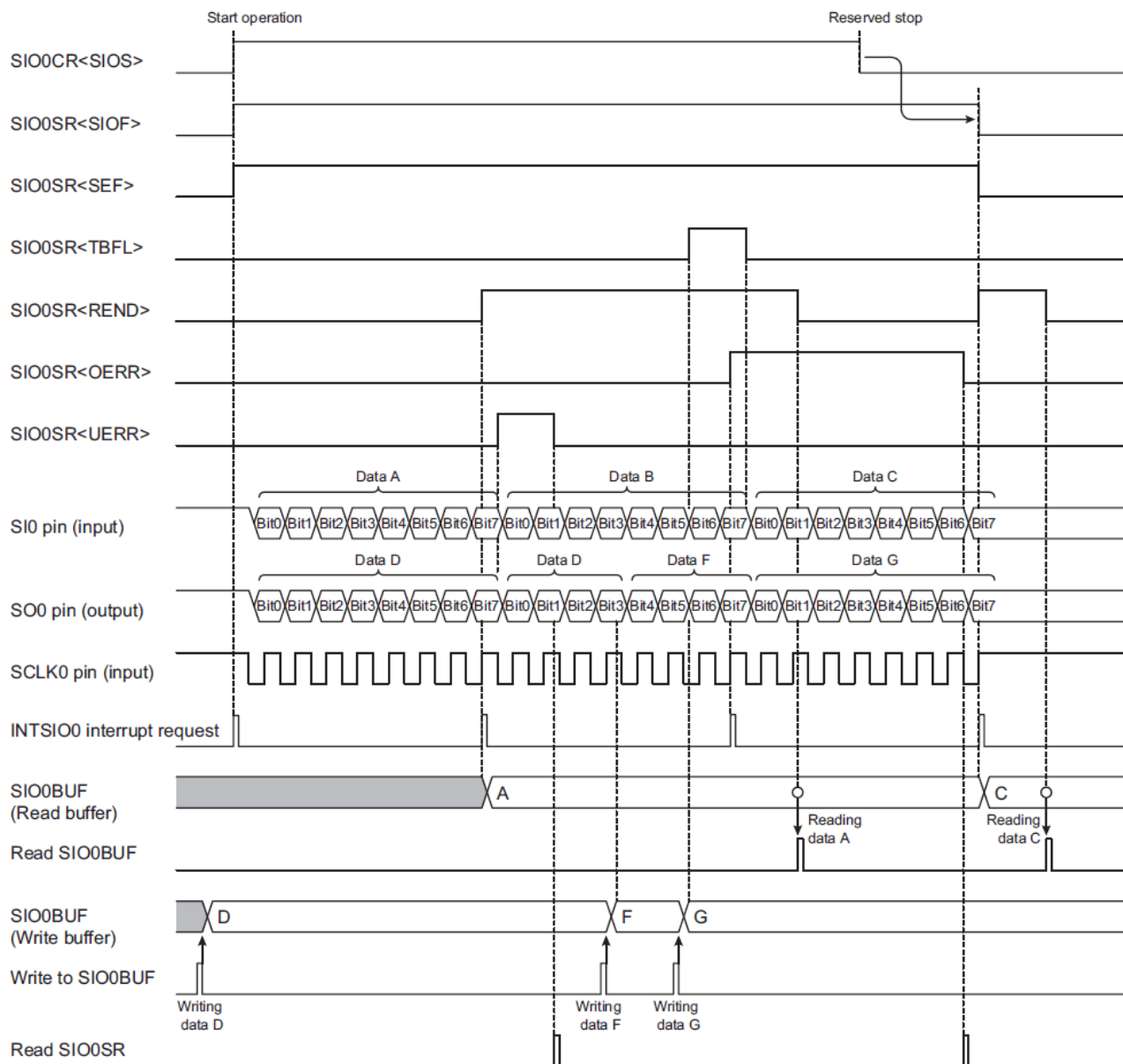


图 15-15 8 位发送/接收模式(外部时钟，数据欠载错误与数据溢写错误发生)



### 15.6 AC 特性

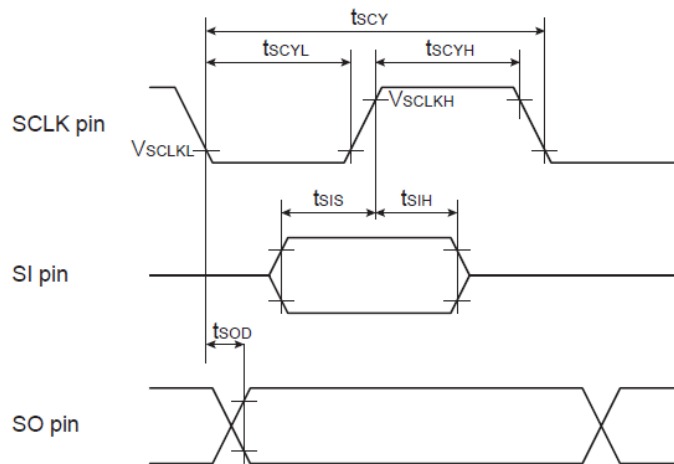


图 15-16 AC 特性图

$V_{ss}=0, V_{DD}=4.5V-5.5V, T_{opr}=-40\sim 85^{\circ}C$

Parameter	Symbol	Condition	Min	Typ	Max	Unit
SCLK cycle time	$t_{scy}$	Internal clock operation SO pin and SCLK pin load capacity= 100pF	$2 t_{sysclk}$	-		ns
SCLK“L” pulse width	$t_{scyL}$		$t_{sysclk}-25$	-		
SCLK“H” pulse width	$t_{scyH}$		$t_{sysclk}-15$	-		
SI input setup time	$t_{sis}$		60	-		
SI input hold time	$t_{sih}$		35	-		
SO output delay time	$t_{sod}$	-50	-	50		
SCLK cycle time	$t_{scy}$	External clock operation SO pin and SCLK pin load capacity= 100pF	$2 t_{sysclk}$	-		
SCLK“L” pulse width	$t_{scyL}$		$t_{sysclk}$	-		
SCLK“H” pulse width	$t_{scyH}$		$t_{sysclk}$	-		
SI input setup time	$t_{sis}$		50	-		
SI input hold time	$t_{sih}$		50	-		
SO output delay time	$t_{sod}$	0	-	60		
SCLK low-level input voltage	$t_{SCLKL}$		0	-	$V_{DD} \times 0.30$	V
SCLK high-level input voltage	$t_{SCLKH}$		$V_{DD} \times 0.70$	-	$V_{DD}$	

Note 1:  $t_{sysclk}=1/f_{sysclk}$

Note 2: In slave mode, minimum cycle time = 250ns (slave mode maximum frequency is 4MHz)

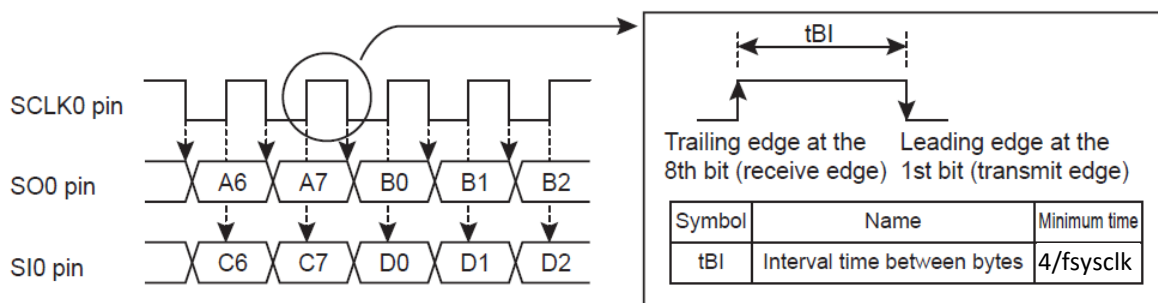


图 15-17 字节间的时间间隔

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 16 安全功能

SQ7613 具循环冗余校验(Cyclic Redundancy Check, CRC)與数据正确性确认(Data Integrity Check, DIC)功能，其功能與寄存器設定如下章節說明。

### 16.1 循环冗余校验(Cyclic Redundancy Check, CRC)

#### 16.1.1 CRC 功能概述

循环冗余校验(Cyclic Redundancy Check, CRC)功能，藉由加入区块(block)的衍生位或是区块字符串中的位，以此侦测与校正误差的方法。大型区块可能须概率地比较 CRC，故预先计算各个区块的 CRC 后再进行比较。若 CRC 比较结果为不相同，区块就不相同；但 CRC 比较结果符合，仍有很小机会区块是不相符的，可透过增加 CRC 位降低误差机率。當 CRC 運行時，CRCCR1 需設為 0x02。

CRC 生成多項式對應 CRC-16-CCITT 的“ $X^{16}+X^{12}+X^5+1$ ”。CRCCR0<SETONE>可設定 CRC 初始值，当 CRCCR0<SETONE>为 0 时，CRC 初始值为 0x0000；当 CRCCR0<SETONE>为 1 时，CRC 初始值为 0xFFFF。

#### 16.1.2 CRC 控制寄存器

地址	寄存器	描述
0x0850	CRCCR0	CRC 控制寄存器 0
0x0851	CRCCR1	CRC 控制寄存器 1
0x0858	CRCDI	CRC 輸入寄存器
0x085C	CRCDO0	CRC 輸出寄存器 0
0x085D	CRCDO1	CRC 輸出寄存器 1

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### CRC 控制寄存器 0 (CRCCR0)

CRCCR0 (0x0850)	7	6	5	4	3	2	1	0
位符号	DATARDY	reserved					SETONE	CRCEN
读/写	R	R					R/W	R/W
复位后	1	0	0	1	0	0	1	0

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 系統保留位均須填入 0

注 3 : Bit[6:1]為系統保留。

DATARDY	CRC 运算数据就位	0 : CRC 運行中 1 : CRC 運算結果已完成 當 CRCDI 寫入時 · CRC 啟動 · 此位將自動被硬件清除
SETONE	CRC 初始值	0 : CRC 初始值为 0x0000 1 : CRC 初始值为 0xFFFF
CRCEN	CRC 启动	0 : CRC 停止 1 : CRC 啟動

### CRC 控制寄存器 1 (CRCCR1)

CRCCR1 (0x0851)	7	6	5	4	3	2	1	0
位符号	reserved	reserved	reserved	reserved	reserved	reserved	reserved	reserved
读/写	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	-	0	0	0	0	0	0	0

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 當程序運行時 · CRCCR1 需設為 0x02

### CRC 輸入寄存器(CRCDI)

CRCDI (0x0858)	7	6	5	4	3	2	1	0
位符号	CRCDI[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	0	0	0	0	0	0	0	0

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 系統保留位均須填入 0

CRCDI[7:0]	8 位 CRC 輸入
------------	------------

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**CRC 输出寄存器 0(CRCDO0)**

CRCDO0 (0x085C)	7	6	5	4	3	2	1	0
位符号	CRCDO0[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 系统保留位均须填入 0

注 3 : 需先读回 CRCDO0 · 再读 CRCDO1.



**CRC 输出寄存器 1(CRCDO1)**

CRCDO1 (0x085D)	7	6	5	4	3	2	1	0
位符号	CRCDO1[7:0]							
读/写	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位后	1	1	1	1	1	1	1	1

注 1 : 所有硬件与软件复位皆可使此寄存器复位

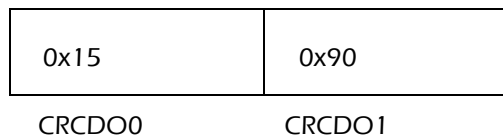
注 2 : 系统保留位均须填入 0

注 3 : 需先读回 CRCDO0 · 再读 CRCDO1.



若 CRC 结果为 0x9015 · crc\_out 的排列为{0x15,0x90}。

16-bit Integer



## 16.2 数据正确性确认(Data Integrity Check, DIC)

### 16.2.1 DIC 功能概述

数据正确性确认(Data Integrity Check, DIC)使用芯片的 CRC 模块进行演算,可使用 Flash 或是 SRAM 空间。因为 DIC 需使用 CRC 引擎,因此使用 DIC 功能前须先启动 CRC 控制。

启动 DIC 运算,首先需适当的配置 CRC。DIC 无对应的 PCKEN,将计数值写入 DIC 计数寄存器(DICCNT),若 DICCNT = 0,即为 65536 bytes;若 DICCNT = 1,即为 1 bytes。然后将起始地址写入 DIC 地址寄存器(DICADR)。为确保 DIC 正常运作, DIC 一次仅能在一种存储器空间进行(Flash 或 SRAM),无法同时在 Flash 与 SRAM 进行。使用者需确保起始位与计数后的位置皆在指定的存储器空间内。

欲启动 DIC,将 DIC 启动位设为 1( DICEN=1)。当 DIC 进行时, DIC 完成位(DONE)会自动清除为 0。当 DIC 完成后, DIC 启动位会清除为 0( DICEN=0),而 DIC 完成位(DONE)会设为 1。使用者可轮询 DONE 的值,以确定 DIC 运算是否以完成。若 DIC 与程序从相同的地方开始进行,则 CPU 会停滞直到 DIC 运算完成。

DIC 范例如下:

```

PCKEN7_CRC = 1;           // 外围电路时钟允许 CRC
CRCCR0 = 0x00;           // 初始化 CRC
CRCCR1 = 0x02;           // 初始化 CRC
DICCR = 0x00;           // 初始化 DIC
CRCCR0 = 0x01;           // 启动 CRC
DICCNT0 = 0x00;          // DIC 长度设为 0x1000
DICCNT1 = 0x10;          // DIC 长度设为 0x1000

DICADR0 = 0x00;          // 起始 FLASH Memory Map : 0x00400000
DICADR1 = 0x00;          // 起始 SRAM Memory Map : 0x00800000
DICADR2 = 0x40;
DICADR3 = 0x00;

DICCR = 0x01;           // 启动 DIC

while(DICCR_DONE == 0) // Wait for DIC done
{
    __ASM("NOP");
}

dic_data[0] = CRCD00;    // CRC 输出
dic_data[1] = CRCD01;    // CRC 输出

```

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

系统地址则如下图所示：

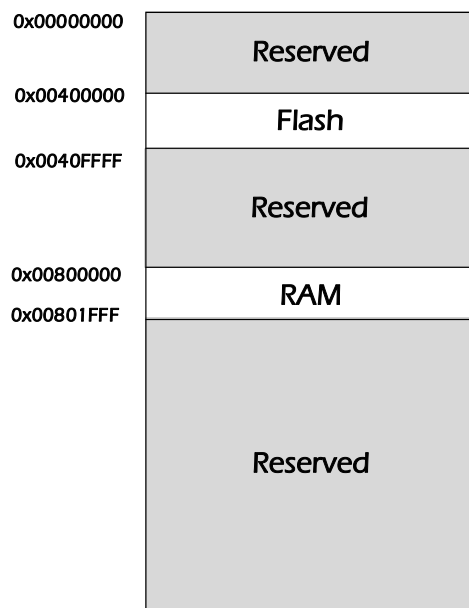


图 16-1 系统地址

### 16.2.2 DIC 控制寄存器

地址	寄存器	描述
0x0860	DICCR	DIC 控制寄存器 0
0x0862	DICCNT0	DIC 计数寄存器 0
0x0863	DICCNT1	DIC 计数寄存器 1
0x0864	DICADR0	DIC 地址寄存器 0
0x0865	DICADR1	DIC 地址寄存器 1
0x0866	DICADR2	DIC 地址寄存器 2
0x0867	DICADR3	DIC 地址寄存器 3

#### DIC 控制寄存器 0(DICCR)

DICCR (0x0860)	7	6	5	4	3	2	1	0
位符号	DONE	reserved	reserved	DICIE	reserved	reserved		DICEN
读/写	R	-	-	R/W	-	R/W		R/W
复位后	0	-	-	0	-	1	0	0

注 1 : 所有硬件与软件复位皆可使此寄存器复位

注 2 : 當程序運行時 · DICCR-Bit [2:1]需設為 0.

DONE	DIC 完成旗帜	0: DIC 进行中 1: DIC 已完成/空闲状态 当 DICEN 设为 1 时,DIC 将自动启动,位将自动清除
DICIE	DIC 中断	0:禁止 1:允许
DICEN	DIC 启动	0:DIC 停止 1:DIC 启动 当 DIC 完成 · 此位将自我清除.

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**DIC 数据长度计数寄存器 0(DICCNT0)**

DICCNT0 (0x0862)	7	6	5	4	3	2	1	0
位符号	DICCNT0							
读/写	R/W							
复位后	0							

注 1 : 所有硬件与软件复位皆可使此寄存器复位

DICCNT	DIC 数据长度计数
--------	------------

**DIC 数据长度计数寄存器 1(DICCNT1)**

DICCNT1 (0x0863)	7	6	5	4	3	2	1	0
位符号	DICCNT1							
读/写	R/W							
复位后	0							

注 1 : 所有硬件与软件复位皆可使此寄存器复位

DICCNT1	DIC 数据长度计数
---------	------------

**DIC 地址寄存器 0(DICADR0)**

DICADR0 (0x0864)	7	6	5	4	3	2	1	0
位符号	DICADR0[7:0]							
读/写	R/W							
复位后	0							

注 1 : 所有硬件与软件复位皆可使此寄存器复位

DICADR1[7:0]	DIC 32 位地址寄存器,含数据区块的起始地址
--------------	--------------------------



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

**DIC 地址寄存器 0(DICADR1)**

DICADR1 (0x0865)	7	6	5	4	3	2	1	0
位符号	DICADR1[7:0]							
读/写	R/W							
复位后	0							

注 1 : 所有硬件与软件复位皆可使此寄存器复

DICADR1[7:0]	DIC 32 位地址寄存器,含數據區塊的起始地址
--------------	--------------------------

**DIC 地址寄存器 2(DICADR2)**

DICADR2 (0x0866)	7	6	5	4	3	2	1	0
位符号	DICADR2[7:0]							
读/写	R/W							
复位后	0							

注 1 : 所有硬件与软件复位皆可使此寄存器复

DICADR2[7:0]	DIC 32 位地址寄存器,含數據區塊的起始地址
--------------	--------------------------

**DIC 地址寄存器 3(DICADR3)**

DICADR3 (0x0867)	7	6	5	4	3	2	1	0
位符号	DICADR3[7:0]							
读/写	R/W							
复位后	0							

注 1 : 所有硬件与软件复位皆可使此寄存器复

DICADR3[7:0]	DIC 32 位地址寄存器,含數據區塊的起始地址
--------------	--------------------------

## 附录 A. 仿真调适功能(On-chip Debug)

SQ7613 具有仿真调适功能。用户可以此功能结合 iMQ 的调试仿真器 MQ-Link 进行系统电路板上之软件调试 (degugging)。此仿真器可由 PC 上安装之调试软件进行操控，不论应用软件修改或系统设计调整均可藉此实现。

本章节说明仿真调适功能所需之控制引脚、及如何连接目标系统(target system)。

### 控制引脚

仿真调适功为 4 线仿真，脚位信息如表 A-1 所示。

4线仿真				
IC引脚名称 (执行仿真调适功能期间)	输入/输出	MQ-LINK仿真器 对应接口名称(注)	功能描述	IC引脚名称 (MCU模式下)
DBG	输入/输出	OCDIO	通讯引脚	P3.4/ <u>KWI</u> 14/EINT4
RESET	输入	RESET	复位控制引脚	RESET
VDD	电源	VCC	5.0V (2.0V to 5.5V)	
VSS	电源	GND	0V	

表 A-1 仿真调适功能所使用之引脚

注：MQ-LINK 仿真器对应接口请参考图 A-1 MQ-LINK 正面外观图。



图 A-1 MQ-LINK 正面外观图

## 如何将 MQ-Link 调试器连接至目标系统

欲使用仿真调适功能，必须将目标系统上之特定引脚连接至 MQ-Link 调试器。iMQ 将提供连接目标系统与 MQ-Link 调试器之控制缆线。在目标系统安装此缆线可使仿真调适功能更佳简易。相关连接如图 A-2 所示。

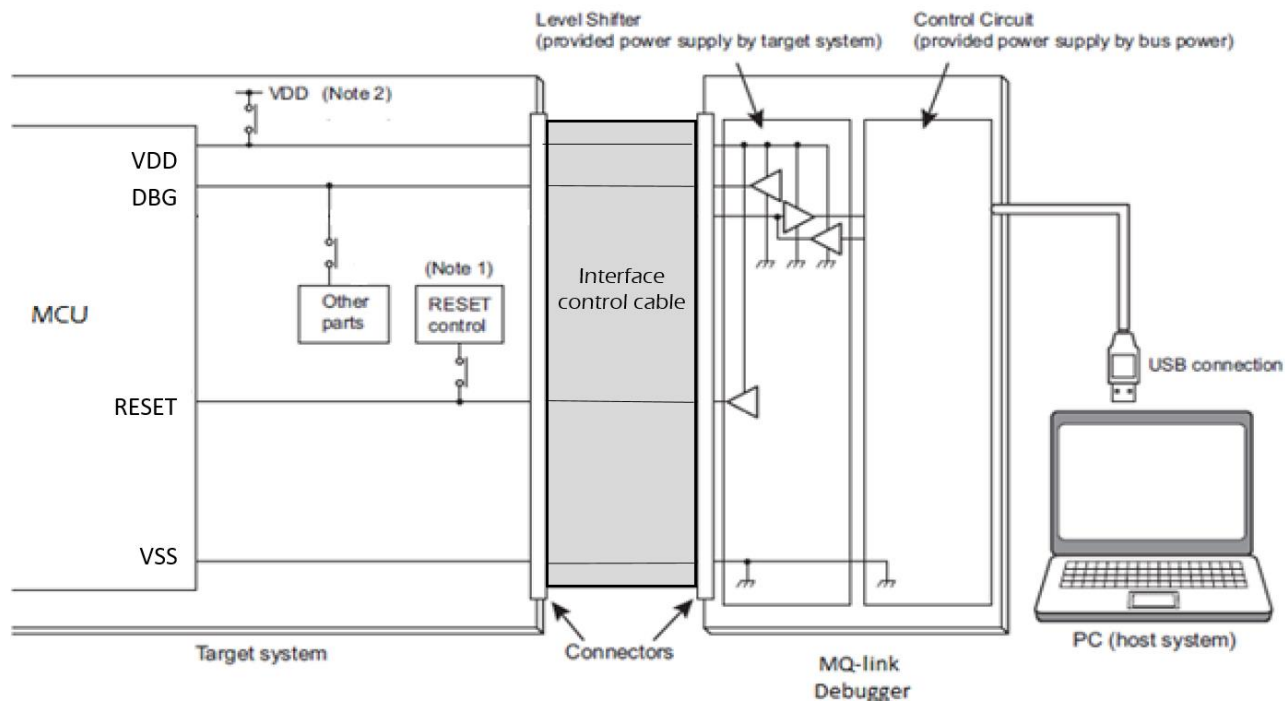


图 A-2 如何将 MQ-LINK 调试器连接至目标系统

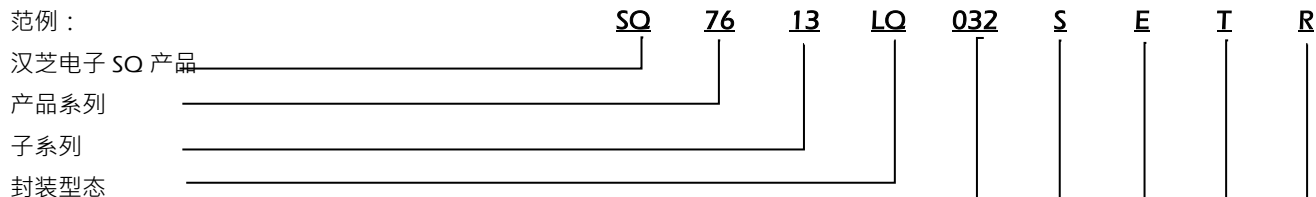
注 1：如果系统应用板上之复位控制电路会影响线仿真调适功能的控制，请务必以跨接器或开关等断开。

注 2：执行仿真调适功能时，目标系统之 SQ7613 电源 VDD 由 MQ-Link 调试器直接提供。仿真调适功能完成后，SQ7613 即可使用目标系统之电源。

注 3：有关 MQ-Link 的使用细节，参阅“iMQ i87 IDE 使用手册”。

## 附录 B. 产品型号信息

范例：



代码	封装	代码	封装
ST	SOT23	SD	SDIP
SP	SOP	LQ	LOFP 7x7
MS	MSOP	LA	LOFP 10x10
SS	SSOP	LE	LOFP 14x14
DP	PDIP	N4	QFN 4x4
TS	TSOP	N5	QFN 5x5
DS	TSSOP		

脚位数

代码	封装	代码	封装
005	5	032	32
006	6	036	36
008	8	040	40
010	10	044	44
014	14	048	48
016	16	064	64
020	20	080	80
024	24	096	96
028	28	100	100

程序存储器容量

数据存储器容量

数据存储器容量

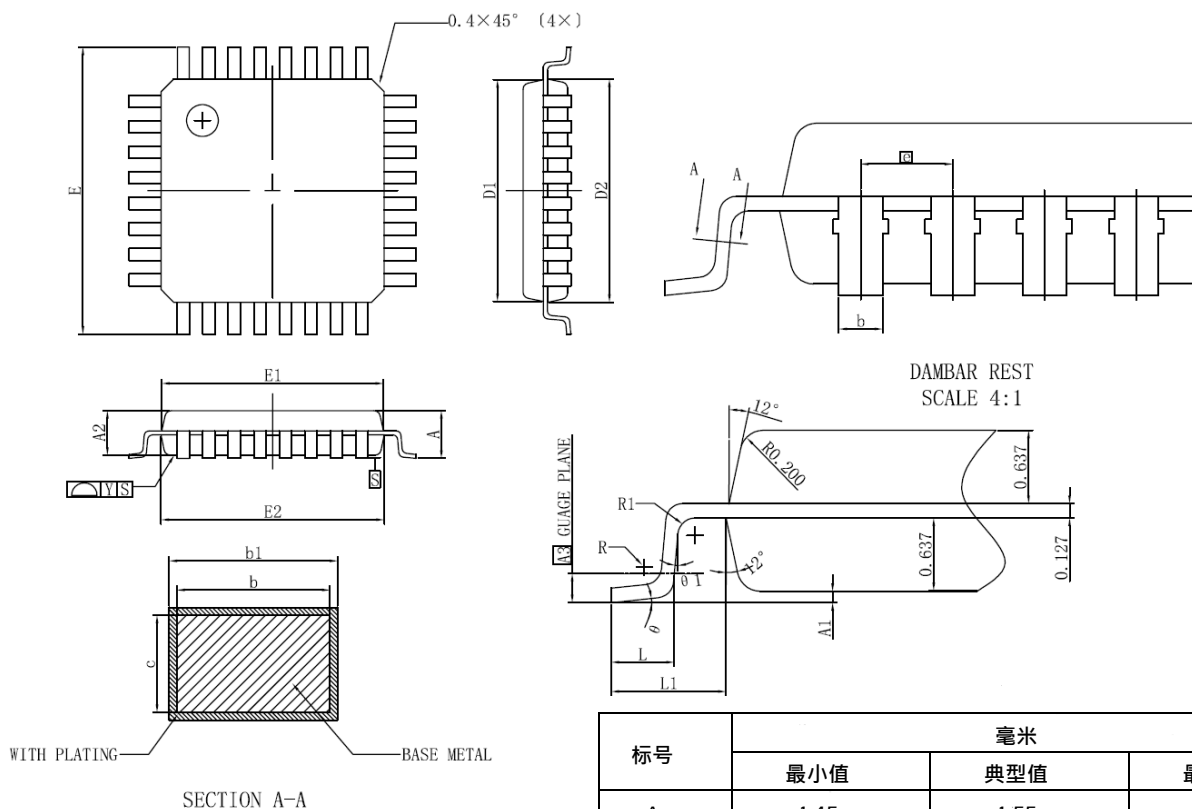
代码	程序/数据存储器容量	代码	程序/数据存储器容量
A	128 Bytes	K	24K Bytes
B	256 Bytes	M	32K Bytes
E	512 Bytes	N	40K Bytes
J	1K Bytes	P	48K Bytes
L	2K Bytes	S	64K Bytes
T	4K Bytes	U	96K Bytes
G	8K Bytes	W	128K Bytes
C	12K Bytes	V	无
H	16K Bytes		

工作温度

代码	工作温度
R	-40~85°C

## 附录 C. 封装信息

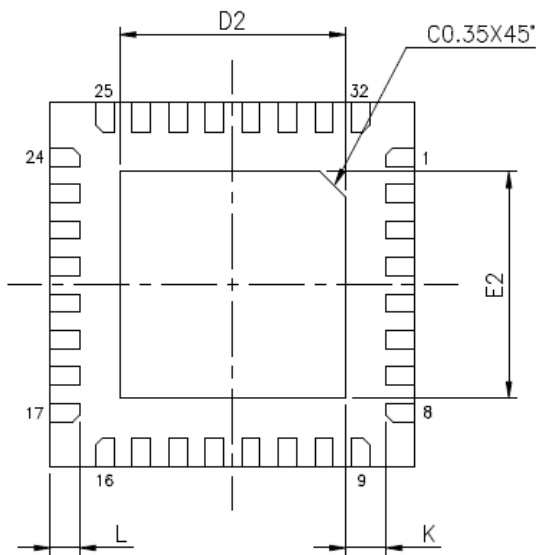
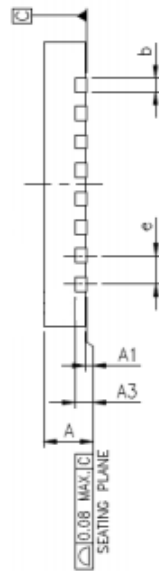
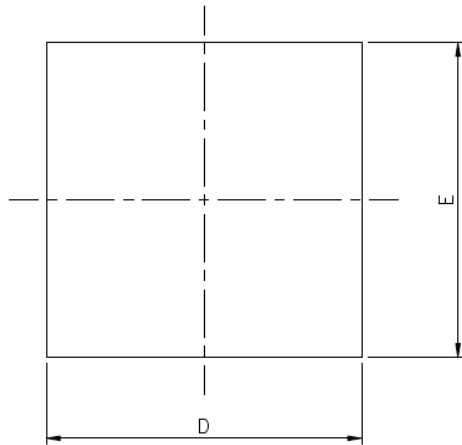
### LQFP 32 (7x7) (产品型号: SQ7613LQ032SETR)



标号	毫米		
	最小值	典型值	最大值
A	1.45	1.55	1.65
A1	0.01	-	0.21
A2	1.3	1.4	1.5
A3	-	0.254	
b	0.30	0.425	0.45
b1	0.31	0.37	0.43
c	-	0.127	-
D1	6.85	6.95	7.05
D2	6.9	7.00	7.10
E	8.8	9.00	9.20
E1	6.85	6.95	7.05
E2	6.9	7.00	7.10
e	-	0.8	-
L	0.45	-	0.75
L1	0.90	1.0	1.10
R	0.1	-	0.25
R1	0.1	-	-
theta	0	-	10°
theta1	0	-	-
y	-	-	0.1
Z	-	0.70	-

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

### QFN 32 (5x5) (产品型号: SQ7613N5032SETR)



标号	毫米		
	最小值	典型值	最大值
A	0.7	0.75	0.80
A1	0.00	0.02	0.05
A3	0.203 REF.		
b	0.18	0.25	0.30
D	5.00 BSC		
E	5.00 BSC		
e	0.50 BSC		
L	0.35	0.40	0.45
K	0.20	-	-
D2	3.40	3.50	3.60
E2	3.40	3.50	3.60

## 附录 D. 使用注意事项

### (A) 仿真相关

1. 不支持低速仿真，若时钟源为 LIRC，将无法进行仿真；建议使用其他时钟源进行仿真。
2. 仿真模式下，当 CPU 单步执行时，CPU 中断时 TCAX (x=0~7)，会继续工作，不会产生中断。
3. 仿真模式下，CPU 中断时 ADC 会继续工作。

### (B) 时钟源相关

1. 外部高速时钟在启动后需等 2.5ms (16MHz, 25°C) 才能完全起振。

### (C) 工作模式相关

1. 若要使用 KWI 与 LVD 退出深眠模式，进深眠模式前需请将 CLKCR1 <HIRCEN>=1。

### (D) I/O 與電源相关

1. 请勿在 IC 断电时，对 I/O 管脚输入信号或电源。以避免引起电流注入而造成 IC 误操作。(IC 上电时间请参考 2.4 上电复位电气特性)

## (E) GPIO 相关

1. 若系统进入外部中断后，需立即读取 GPIO 状态，请在程序中加 NOP，以避免读错。程序范例如下。

```
//*****  
// 函数名 : __interrupt IntEX0()  
// 函数功能 : IntEX0 中断子程序  
// 备注:  
//*****  
void __interrupt IntEX0(void){  
    __asm("NOP"); // 进入外部中断后增加 NOP 指令  
}  
//*****  
// 函数名 : __interrupt IntEX1()  
// 函数功能: IntEX1 中断子程序  
// 备注:  
//*****  
void __interrupt IntEX1(void){  
    __asm("NOP"); // 進入外部中斷後增加 NOP 指令  
}  
  
// 函数名 : __interrupt IntEX2()  
// 函数功能: IntEX2 中断子程序  
// 备注:  
//*****  
void __interrupt IntEX2(void){  
    __asm("NOP"); // 进入外部中断后增加 NOP 指令  
}
```



No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## (F) 工作电流特性相关

1. 不同频率下的工作电流参考值如下列。

Operating @ 5V, Ta=40~85°C				
参数	符号	测试条件	标准	单位
普通模式 (LIRC 启动 · 由 Flash 执行)	I <sub>DD_NO</sub>	LPIRC 为 PLL 时钟源, 系统时钟为 24MHz, f <sub>LPIRC</sub> =1MHz,fsysclk=24MHz (PLL)	5.5	mA
		LPIRC 为 PLL 时钟源, 系统时钟为 12MHz, f <sub>LPIRC</sub> =1MHz,fsysclk=12MHz (fsysclk= PLL 24MHz 除 2),	3.3	
		LPIRC 为 PLL 时钟源, 系统时钟为 6MHz, f <sub>LPIRC</sub> =1MHz,fsysclk=6MHz (PLL 24MHz 除 4),	2.2	
		LPIRC 为 PLL 时钟源, 系统时钟为 3MHz, f <sub>LPIRC</sub> =1MHz,fsysclk=3MHz (PLL 24MHz 除 8),	1.6	
	I <sub>DD_N1</sub>	内部高速时钟(HIRC)为系统时钟 , f <sub>HXIN</sub> =0MHz,fsysclk=16 MHz (HIRC 16MHz)	2.7	mA
		内部高速时钟(HIRC)为系统时钟 , f <sub>HXIN</sub> =0MHz,fsysclk=8 MHz (HIRC 16MHz 除 2)	2.7	
		内部高速时钟(HIRC)为系统时钟 , f <sub>HXIN</sub> =0MHz,fsysclk=4 MHz (HIRC 16MHz 除 4)	1.4	
		内部高速时钟(HIRC)为系统时钟 , f <sub>HXIN</sub> =0MHz,fsysclk=2 MHz (HIRC 16MHz 除 8)	1.4	
	I <sub>DD_N3</sub>	外部高速时钟(HXTAL)为系统时钟 fsysclk=16MHz (HXTAL 16MHz)	3.8	mA
		外部高速时钟(HXTAL)为系统时钟 fsysclk=8MHz (HXTAL 16MHz 除 2)	2.3	
		外部高速时钟(HXTAL)为系统时钟 fsysclk=4MHz (HXTAL 16MHz 除 4)	1.5	
		外部高速时钟(HXTAL)为系统时钟 fsysclk=2MHz (HXTAL 16MHz 除 8)	1.2	

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

参数	符号	测试条件	标准	单位
睡眠模式 (LIRC 启动 · CPU 时钟停止运行)	I <sub>DD_SL0</sub>	LPIRC 为 PLL 时钟源, 系统时钟为 24MHz, f <sub>LPIRC</sub> =1MHz,fsysclk=24MHz (PLL 24MHz)	2.7	mA
		LPIRC 为 PLL 时钟源, 系统时钟为 12MHz, f <sub>LPIRC</sub> =1MHz,fsysclk=12MHz (fsysclk= PLL 24MHz 除 2) ,	1.8	
		LPIRC 为 PLL 时钟源, 系统时钟为 6MHz, f <sub>LPIRC</sub> =1MHz,fsysclk=6MHz (PLL 24MHz 除 4) ,	1.4	
		LPIRC 为 PLL 时钟源, 系统时钟为 3MHz, f <sub>LPIRC</sub> =1MHz,fsysclk=3MHz (PLL 24MHz 除 8) ,	1	
	I <sub>DD_SL1</sub>	内部高速时钟(HIRC)为系统时钟 , f <sub>HXIN</sub> =0MHz,HIRC 16 MHz (HIRC 16MHz)	1.3	mA
		内部高速时钟(HIRC)为系统时钟 , f <sub>HXIN</sub> =0MHz,fsysclk=8 MHz (HIRC 16MHz 除 2)	1.3	
		内部高速时钟(HIRC)为系统时钟 , f <sub>HXIN</sub> =0MHz,fsysclk=4 MHz (HIRC 16MHz 除 4)	0.7	
		内部高速时钟(HIRC)为系统时钟 , f <sub>HXIN</sub> =0MHz,fsysclk=2 MHz (HIRC 16MHz 除 8)	0.7	
	I <sub>DD_SL3</sub>	外部高速时钟(HXTAL)为系统时钟 fsysclk=16MHz (HXTAL 16MHz)	2.0	mA
		外部高速时钟(HXTAL)为系统时钟 fsysclk=8MHz (HXTAL 16MHz 除 2)	1.4	
		外部高速时钟(HXTAL)为系统时钟 fsysclk=4MHz (HXTAL 16MHz 除 4)	1	
		外部高速时钟(HXTAL)为系统时钟 fsysclk=2MHz (HXTAL 16MHz 除 8)	0.8	

### (G) RAM 分配给 Bootrom 使用区域

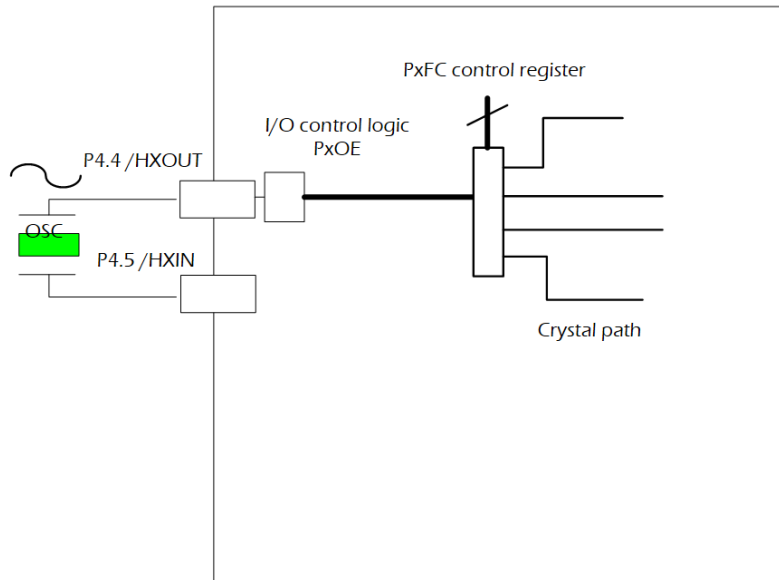
1. 打开电源后或是复位后，0x1000 至 0x1075 会分配给 Bootrom 使用，RAM 的内容将改变，建议客户排除使用这区块，用于用户数据储存。

### (H) PNIC 設定相關

以 PNIC 设定外围功能时，请依以下顺序设定：先设定 FSELR，再设定 PCSELR，后续再对 PxFC1 及 PxFC2 进行设定。

### (I) 使用 P4.4HXOUT 功能, 对应 P4OE 设定说明

当 P4OE 设定为输出，外部晶振的震荡讯号将无法链接到 IC 内部的震荡线路。若要使用外部晶振(HXOUT)功能，需将对应的 P4OE\_P4 设为 0。



### (J) 使用汇编语言注意事项

使用汇编语言时，在读取奇数地址的 SFR 时，仅能以 8 bits GPR 承接。  
 此处包含 WA、BC、DE、HL、IX、IY ..... 等各种类似及变型。

非法范例：LD WA, (奇数地址 SFR); // WA = 16 bits GPR

合法范例：LD A, (奇数地址 SFR); // A = 8 bits GPR

### (K) 使用高级语言注意事项

使用高级语言时，读取奇数地址的 SFR 时，仅能以 8 bits 长度读出。  
 此处包含间接寻址、2 bytes 指标、4 bytes 指标、2 bytes 转型、4 bytes 转型 ..... 等各种类似及变型。

非法例一：unsigned short r\_temp = \*((unsigned short \*) &奇数地址 SFR );

本例，对目标 SFR 的地址，强制转型并进行 2 bytes 数据读取。

非法例二：unsigned short r\_temp = \*((unsigned long \*) &奇数地址 SFR );

本例，对目标 SFR 的地址，强制转型并进行 4 bytes 数据读取。

非法例三：Line\_000 unsigned short \*p\_ptr = &奇数地址 SFR;

Line\_001 unsigned short r\_temp = p\_ptr[0];

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

本例·将目标 SFR 的地址传递给指针 ( 2 bytes 型态 ) ·  
再用指针 ( 2 bytes 型态 ) 进行 2 bytes 的数据读取。

非法例四 : `Line_000 unsigned long * p_ptr = &奇数地址 SFR;`  
`Line_001 unsigned long r_temp = p_ptr[0];`

本例·将目标 SFR 的地址传递给指针 ( 4 bytes 型态 ) ·  
再用指针 ( 4 bytes 型态 ) 进行 4 bytes 的数据读取。

合法例一 : `unsigned char r_temp = SFR;`

合法例二 : `unsigned short r_temp = SFR;`

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

## 修改记录

版本	发布日期	改版描述
V1.5	2023/4/20	<ol style="list-style-type: none"> <li>「8.1 功能叙述」修正描述为“当芯片Reset后，需再重新设定FCKDIV。”</li> <li>「8.2 Flash储存控制寄存器」FCKDIV 寄存器，修正描述“注1：进行Flash编程/读写或擦除，Flash频率必需为1MHz；Flash频率为系统时钟/(FCKDIV + 1)”</li> <li>「12.3.2 时基定时器控制」，修改 TBTCR&lt;DV9CK&gt;=1 为fclk</li> <li>「14.6 AC 规格」新增注 1 與注 2</li> <li>「图14-23 时序定义(No.1)」表头新增 SDA, SCL标示</li> <li>「附录 D. 使用注意事项」新增:(J)使用汇编语言注意事项、(K) 使用高级语言注意事项</li> </ol>
V1.4	2022/8/11	<ol style="list-style-type: none"> <li>章节标号调整</li> <li>修改「1.1 功能特性」叙述，普通模式 170 uA/MHz @ 3.3V</li> <li>「4.1 系统存储器架构」更新圖 4-1 程序存储器映像、PMCFG 寄存器叙述</li> <li>「16.1.1 CRC 功能概述」新增叙述“CRCCR0 可设定 CRC 初始值，当 CRCCR0 为 0 时，CRC 初始值为 0x0000；当 CRCCR0 为 1 时，CRC 初始值为 0xFFFF。”</li> <li>新增 CRCCR0，修改 CRCCR0、CRCDO0、CRCDO1 复位值</li> <li>修改 DICCR&lt;DONE&gt; reset 值为“0”，DICCR[2:1] reset 值为“10”；新增图 16-1 系统地址。</li> </ol>
V1.3	2022/1/10	<ol style="list-style-type: none"> <li>修改「图2-1 上电复位时序图」，「2-5 BROR电气特性」，「图2-2 BROR 复位」</li> <li>「3.6 LVD电气特性」新增Note</li> <li>更新「图 7-6 ADC 工作流程示意图」</li> <li>新增「CH6.1.4.1 低功耗模式唤醒源」，将原本于5.1.1系统控制寄存器」章节部分内容，调整到「CH6.1.4.1 低功耗模式唤醒源」</li> <li>“CH5.1.1系统控制寄存器” UID寄存器，与“9.2 Flash储存控制寄存器”FCR0新增备注</li> <li>“14.通用异步收发器(UART)”内容说明以UART0取代UARTx</li> <li>“15.串行总线接口(SBI)/I2C”内容说明以SBI0/I2C0取代SBIx/I2Cx</li> <li>“16.同步串行收发器(SIO)”内容说明以 SIO0 取代 SIOx</li> </ol>

No. : TDDS01-S7613-CN	Name : SQ7613 中文产品规格书	Version : V1.5
-----------------------	-----------------------	----------------

V1.2	2020/11/10	<ol style="list-style-type: none"> <li>1.修正「CH2.4引脚配置/说明」叙述移除ISP功能</li> <li>2.新增「CH3.5 BROR电气特性」, 「CH3.6 LVD电气特性」 timing规格, 「CH3.7 ADC电气特性」说明ADC sample rate公式</li> <li>3.修正「CH6.2.2复位控制」RSTFLG寄存器叙述</li> <li>4.修正「CH6.7.5中断标志寄存器」IFR0,IFR1 寄存器叙述</li> <li>5.新增「CH6.7.7中断优先级变更」内容</li> <li>6.修正「CH8.3 ADC寄存器」ADCSCAN1,ADCCLLVL, ADCCLLVH, ADCCHLVL, ADCCHLVH,ADCCR2寄存器叙述</li> <li>7.修正「CH12.3 PNIC控制寄存器」叙述·更新PCSELR0~2,PCSELR4~5描述</li> <li>8.修正「CH13.4.3.1 定时器模式」(c)自动抓取内容, 新增(e)范例</li> <li>9.新增「CH13.4.3.6 可程序设计脉冲产生PPG输出模式」范例</li> <li>10.新增「CH14.6.2 如何以TCA作为UART的时钟源」内容</li> <li>11.新增「附录D. 使用注意事项」:(H)PNIC设定相关、(I)使用P4.4 HXOUT功能·对应P4OE设定说明</li> </ol>
V1.1	2020/05/11	<ol style="list-style-type: none"> <li>1.«6.8.2外部中断功能»·表6-5叙述更新</li> <li>2.«9. Flash存储控制器» 移除双字节相关叙述</li> <li>3.«12.2 PNIC 操作流程»新增备注</li> <li>4.«16.4.2串行时钟»新增Master mode与 Slave mode 最高频率描述·更新表16.2 内容</li> <li>5.«16.6 AC 特性»新增备注</li> </ol>
V1.0	2019/12/24	新发行